di GIORGIO OBER (GIOBE2000)

l'angolo di Mr A.KEER

(parte ventiquattresima)

PROGETTARE con le PORTE LOGICHE

Registri a 8 bit

Completiamo in questa puntata la rassegna degli elementi di memoria di tipo D-Type descrivendo i Registri a 8 bit, indispensabili nel progetto digitale, e proponendone in dettaglio i componenti commerciali, tutti della serie TTL.

Registri a 8 bit (TTL): 74LS273 74LS3377, 74LS374, ...

L'importanza dei **Flip-Flops D-Type** è ribadita dalla straordinaria disponibilità di ***Registri a 8 bit***, strutture integrate che ne contengono 8, solitamente organizzati per condividere lo stesso sincronismo (*Clock*) e le stesse linee di controllo, di volta in volta diverse e in ogni caso correlate con il tipo di funzionamento assicurato.

Un ***Registro a 8 bit*** è importante perchè ha la stessa dimensione dell'informazione gestita direttamente dai microcontrollori ed è comunque una parte di quella dei processori più potenti, che operano con dati da 16 bit, 32 bit, 64 bit; sia gli uni che gli altri dispongono sempre di memorie simili direttamente dentro di sé, al fine di elaborare velocemente, in modo aritmetico o logico, l'informazione assunta dal (o lasciata sul) Bus Dati.

Di fatto, i ***Registri a 8 bit*** sono presenti in ogni dispositivo programmabile, anche come *memoria temporanea interna* o come *porta d'uscita* per consentire il collegamento (***interfaccia***) con altri dispositivi simili o con periferiche specializzate a ricevere informazioni, come una batteria di Led o di Relè, o come un Monitor o un Hard Disk; non di rado si tratta di canali d'uscita relativamente delicati, non essendo di norma in grado di fornire la corrente desiderata o, semplicemente, per il fatto che un loro guasto può determinare la crisi di tutto il microprocessore, se non di tutto il computer che lo ospita.

Essi sono inoltre del tutto uguali ai componenti che costituiscono la ***Cache Memory*** dei nostri computer, cioè la ***Static RAM***, **SRAM**: poiché ogni bit è realizzato con un piccolo circuito elettronico bistabile, appunto un Flip-Flop, si capisce perché la SRAM sia più costosa e più veloce della DRAM (Dynamic RAM) di solito usata per la memoria convenzionale.

I componenti che andiamo ad analizzare possono costituire un importante "*strato di hardware*" da porre a valle di dispositivi "*intelligenti*", al fine di sollevarli dai compiti più gravosi, come vedremo più avanti; tutti contengono una batteria di 8 normali elementi di memoria, sincronizzati contemporaneamente con un *Clock* condiviso, e la gran parte sono dotati di un buffer 3-state su ciascuna delle loro 8 uscite; solo due di loro ne sono eccezionalmente sprovvisti: il **74LS273** e il **74LS377**.

Il **74LS273** (definito dai costruttori **Octal D-Type Flip-Flops with Clear**) è un ***Registro a 8 bit*** dotato di 8 ***D-Type***, ciascuno con la sola uscita diretta Q; l'informazione sugli 8 ingressi D viene trasferita sulle uscite sul fronte positivo (*positive-edge triggered*) del *Clock*, se mantenuta stabile almeno per un tempo pari al *Setup Time*, prima del suo arrivo.

La *Figura 1* mostra il suo *pin-out*, dal quale si nota che il segnale di *Clock* (come quello del controllo *Clear*) è in comune a tutti e 8 i ***D-Type***.

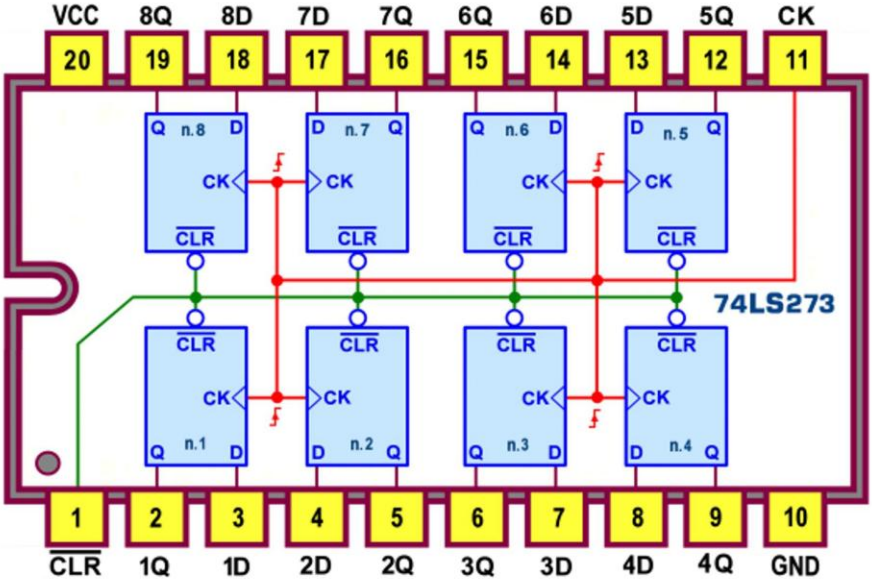


Figura 1 - Octal D-Type Flip-Flops 74LS273: Pin-out

Lo *schema funzionale* è visibile in *Figura 2*; i componenti **74LS175** (uguale al **74LS171**, ma con pin in posizioni diversa) e **74LS174** (descritti due puntate fa) hanno la sua stessa struttura (più ***D-Type*** con *Clear*), ma con numero minore di Flip-Flops (rispettivamente 4 e 6).

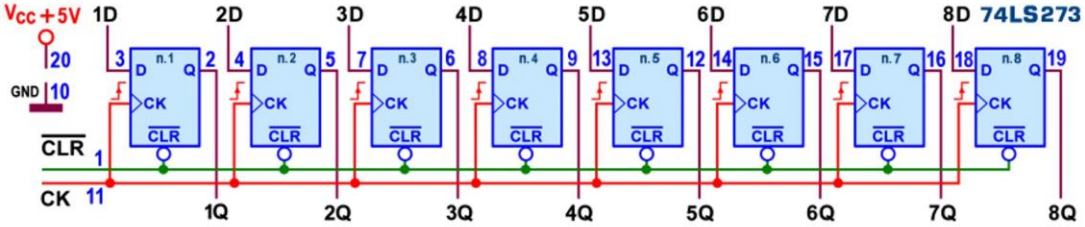


Figura 2 - Octal D-Type Flip-Flops 74LS273: Schema funzionale

Lo *schema pratico* è mostrato in *Figura 3*, insieme alla *Tabella di verità*, dalla quale si può notare che il segnale *Clear* (attivo basso e tipicamente *asincrono*) opera la sua azione sulle uscite in modo del tutto prioritario, rispetto a quella esercitata dagli altri ingressi (di dato D e di *Clock*).

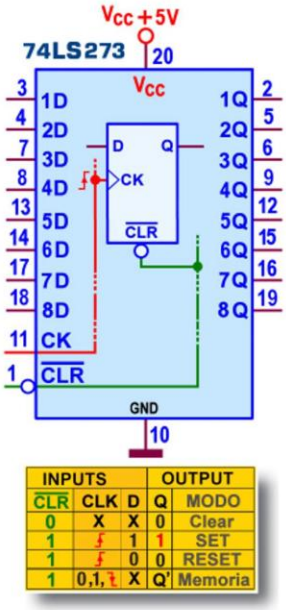


Figura 3 - Octal D-Type Flip-Flops 74LS273: Schema pratico

In *Figura 4* è disponibile il *simbolo logico* predisposto dallo *standard IEEE*.

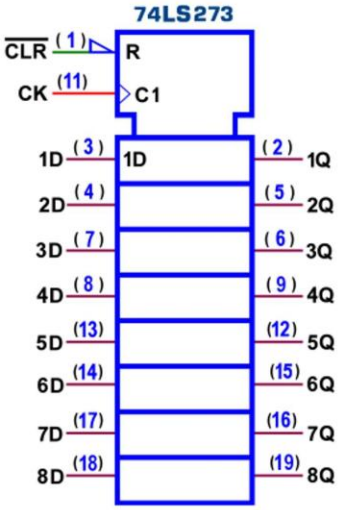


Figura 4 - Octal D-Type Flip-Flops 74LS273: Simbolo logico ANSI/IEEE Std. 91-1984

La potenza massima dissipata dal **74LS273** è di **135 mW**; in regime dinamico (con carico di **15**pF/**2k**ohm): i ritardi di propagazione massimi tra Clock o *Clear* e uscita Q (per entrambe le transizioni, $\mathbf{t_{PLH}}$ e $\mathbf{t_{PHL}}$) sono di **27 ns**; il valore minimo di *Setup Time*=$\mathbf{t_S}$=**20** ns e quello di *Hold Time*=$\mathbf{t_H}$=**5** ns; la frequenza massima è tipicamente di **40** Mhz.

Il componente **74LS377**, detto **Octal D-Type Flip-Flops with Enable**, ha la stessa disposizione dei piedini del precedente **74LS273** (vedi *pin-out*, in *Figura 5*) ma non dispone di *Clear*; al suo posto è presente una linea di abilitazione (*Enable*, E, attiva bassa), che consente invece di controllare l'influenza degli 8 ingressi D sui possibili cambiamenti delle rispettive uscite; anche per essi esiste una versione (descritta in passato) con la stessa struttura ma con minore numero di Flip-Flops: i componenti **74LS379** e **74LS378**, rispettivamente 4 e 6 ***D-Type***.

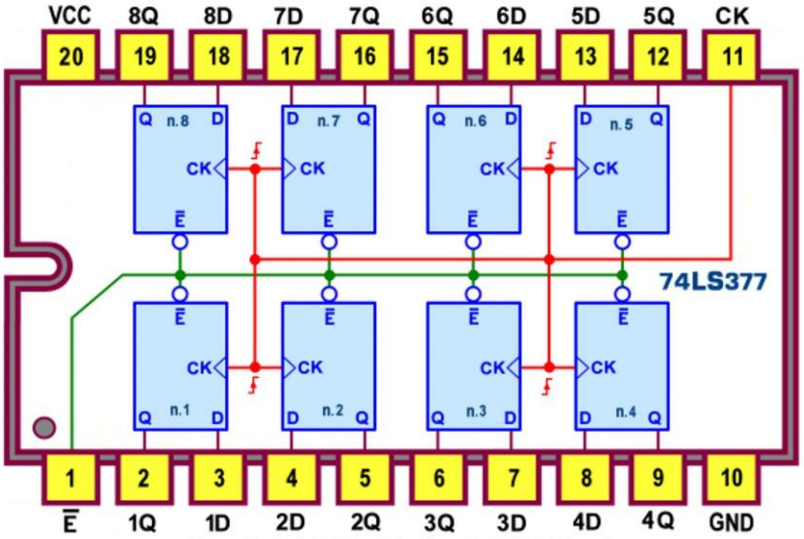


Figura 5 - Octal D-Type Flip-Flops 74LS377: Pin-out

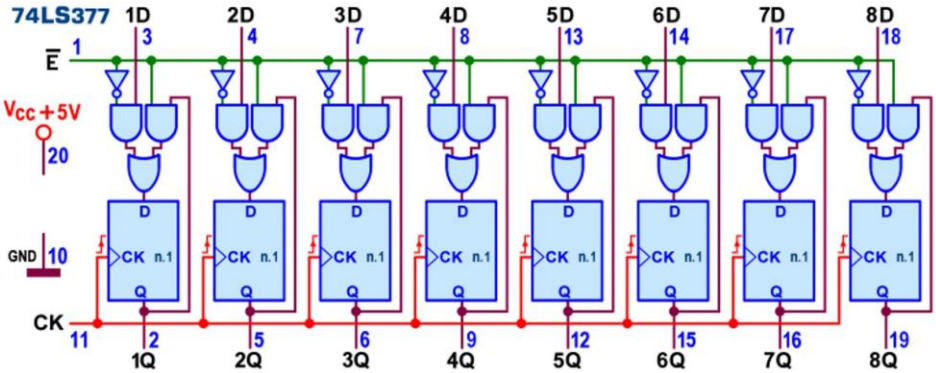


Figura 6 - Octal D-Type Flip-Flops 74LS377: Schema funzionale

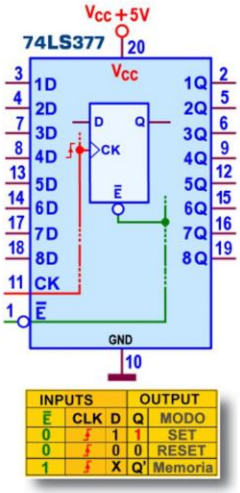


Figura 7 - Octal D-Type Flip-Flops 74LS377: Schema pratico

Osservando lo *schema funzionale* di *Figura 6* è facile capire che l'informazione presente su ciascuno degli 8 ingressi D viene trasferita sull'uscita Q sul fronte positivo del segnale di *Clock* (sempre se compatibile con i requisiti di S*etup Time*) solo se la linea di abilitazione degli ingressi (E, attiva bassa) è a 0 logico; se essa è disattiva (cioè a 1) si può notare che sull'ingresso interno del Flip-Flop viene riportato il valore attualmente presente in uscita, per cui ogni eventuale fronte attivo del *Clock* non potrà che riconfermare l'uscita, lasciandola inalterata, indipendentemente dal valore corrente di D.

Lo *schema pratico*, è disponibile in *Figura 7*, insieme alla *Tabella di verità*, chiamata a riassumere sinteticamente tutte le considerazioni precedenti.

In *Figura 8* è proposto, infine, il *simbolo logic*o secondo lo *standard IEEE*.

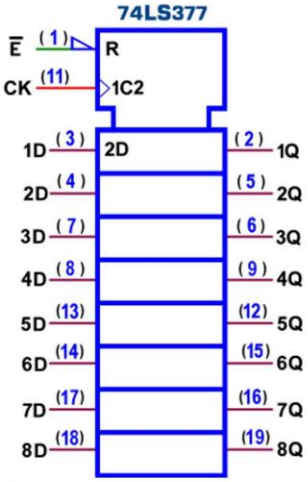


Figura 8 - Octal D-Type Flip-Flops 74LS377: Simbolo logico ANSI/IEEE Std. 91-1984

La potenza massima dissipata dal **74LS377** è di **140 mW**; in regime dinamico (con carico di **15**pF/**2k**ohm) i ritardi di propagazione massimi (per entrambe le transizioni, $\mathbf{t_{PLH}}$ e $\mathbf{t_{PHL}}$) sono di **25 ns** (tra Clock e uscita Q); il valore minimo di *Setup Time*=$\mathbf{t_S}$=**10 ns** (per i dati D) e $\mathbf{t_S}$=**20 ns** (per l'abilitazione E) e quello di *Hold Time*=$\mathbf{t_H}$=**5 ns**; la frequenza massima è di **30** Mhz.

Tutti gli altri ***Registri a 8 bit*** previsti dalla **serie TTL** (ben una decina!!) dispongono di *uscite 3-state*; questa opportunità è indispensabile nel progetto delle logiche programmabili che richiedono strutture organizzate a bus, e nelle precedenti puntate abbiamo già avuto modo di parlarne, trattando il **74LS173** (una versione ***D-Type*** a 4 bit, per altro molto sofisticata) e il **74LS373** (una versione ***D-Latch*** a 8 bit, limitata dall'effetto "trasparenza", tipico di questa categoria).

Il componente che descriveremo ora è proprio la naturale evoluzione di quest'ultimo, con esso pin-out compatibile, salvo la ovvia presenza, sul pin 11, del sincronismo di *Clock* (*positive edge triggered*) in vece di quello di *Enable* (*level triggered*).

Si tratta del **74LS374**, coerentemente detto **Octal D-Type Flip-Flops with 3-state Output**; osservando le funzioni associate a ciascun piedino del suo *pin-out* (vedi *Figura 9*) possiamo sottolineare una sostanziale pin-out compatibilità anche con i componenti **74LS273** e **74LS377**, descritti in precedenza, con la sola differenza del compito affidato al pin 1, associato in questi ultimi rispettivamente a *Clear* e a *Enable* e ora destinato al controllo del terzo stato (*Out Enable*).

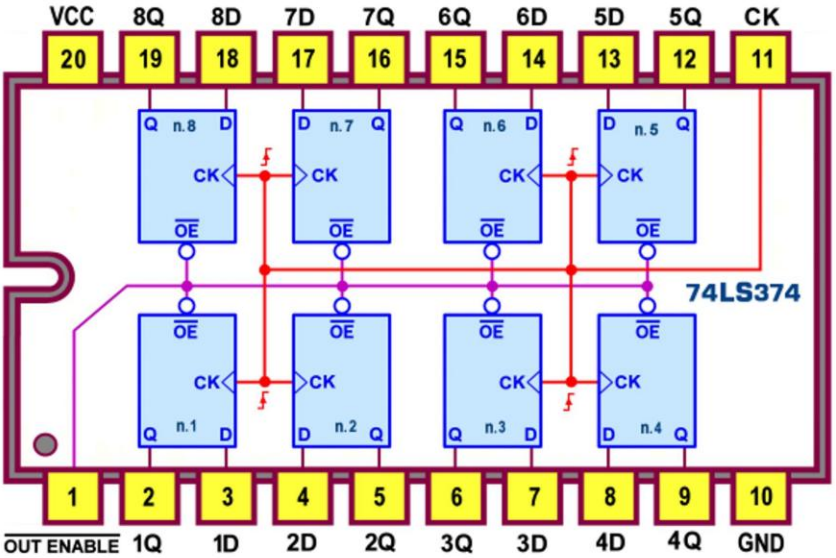


Figura 9 - 3-State Octal D-Type Flip-Flops 74LS374: Pin-out

Lo schema funzionale di *Figura 10* mette in evidenza la disponibilità di uscite Q amplificate non invertenti di tipo 3-state, progettate specificamente per pilotare carichi con impedenza relativamente bassa e controllate contemporaneamente da un segnale di abilitazione attivo basso, OE, la funzione del quale è del tutto simile a quella esercitata dalle abilitazioni G del buffer **74LS244**: quando è attiva (OE=0) consente il passaggio (sull'uscita effettiva) del livello logico presente sull'uscita interna del Flip-Flop, mentre quando non è attiva (OE=1) le 8 uscite esterne sono forzate *in alta impedenza*, cioè si comportano come un circuito aperto, lasciando di fatto "scollegati" i dispositivi da esse eventualmente pilotati.

L'ingresso di abilitazione, OE, non influenza le operazioni interne del Flip-Flop: mentre le uscite sono in alta impedenza i vecchi dati possono essere mantenuti oppure sostituiti con quelli nuovi eventualmente in arrivo dall'esterno.

Nel funzionamento normale questa opportunità non è strettamente necessaria e l'ingresso *Out Enable* va lasciato a massa: il componente utilizzato in questo modo (vedi *Figura 11*) si comporta come *porta d'uscita* (particolarmente consigliata per "mettere in sicurezza" quelle dei microprocessori o dei single-chip) in grado di gestire in blocco un'informazione di 8 bit (un byte ..) per esempio per accendere 8 led, o pilotare 8 relè, o controllare i 7 segmenti (e il decimal point) di un Digit, e così via.

Il valore delle uscite (ora sempre abilitate, OE=0) viene aggiornato sul *fronte di salita* del segnale di sincronismo (CK), con il valore logico predisposto in precedenza sugli ingressi corrispondenti D (di solito il Bus Dati di una CPU); in nessun altro istante dell'impulso sarà possibile imporre cambiamenti alle uscite, per cui esse saranno del tutto indifferenti ad ogni variazione dei rispettivi ingressi.

Poiché di norma gli impulsi di sincronismo sono attivi bassi, se il clock fosse fornito direttamente sul pin 11 (CK) l'effettiva memorizzazione avverrebbe con un ritardo pari alla durata dell'impulso fornito; è consigliabile dunque inserire un inverter sul pin di clock, per garantire la memorizzazione esattamente nell'istante in cui il sincronismo va basso (trascurando i 20 ns del ritardo di propagazione); ma, se la durata dell'impulso è effettivamente breve, la presenza dell'inverter esterno può essere ritenuta un lusso inutile...

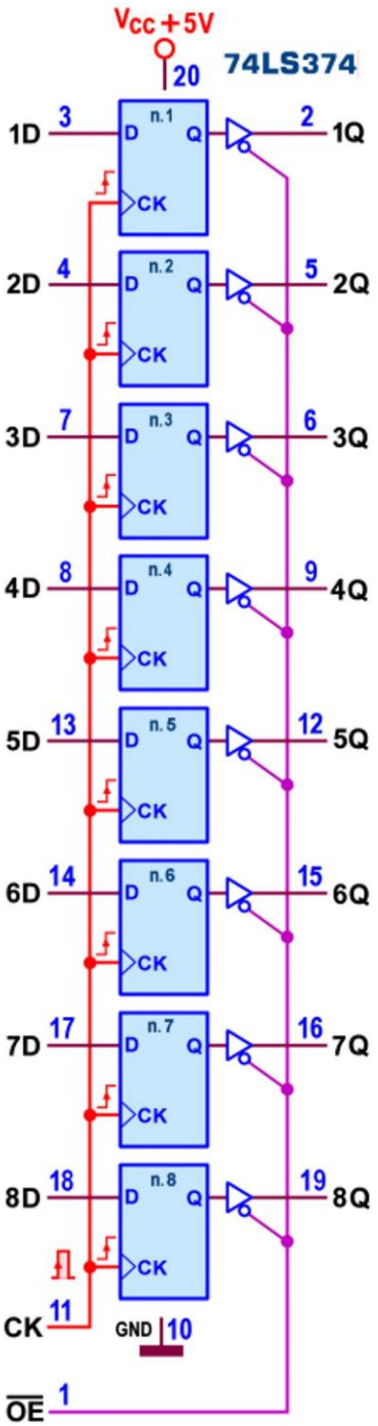


Figura 10 - 3-State Octal D-Type Flip-Flops 74LS374: Schema funzionale

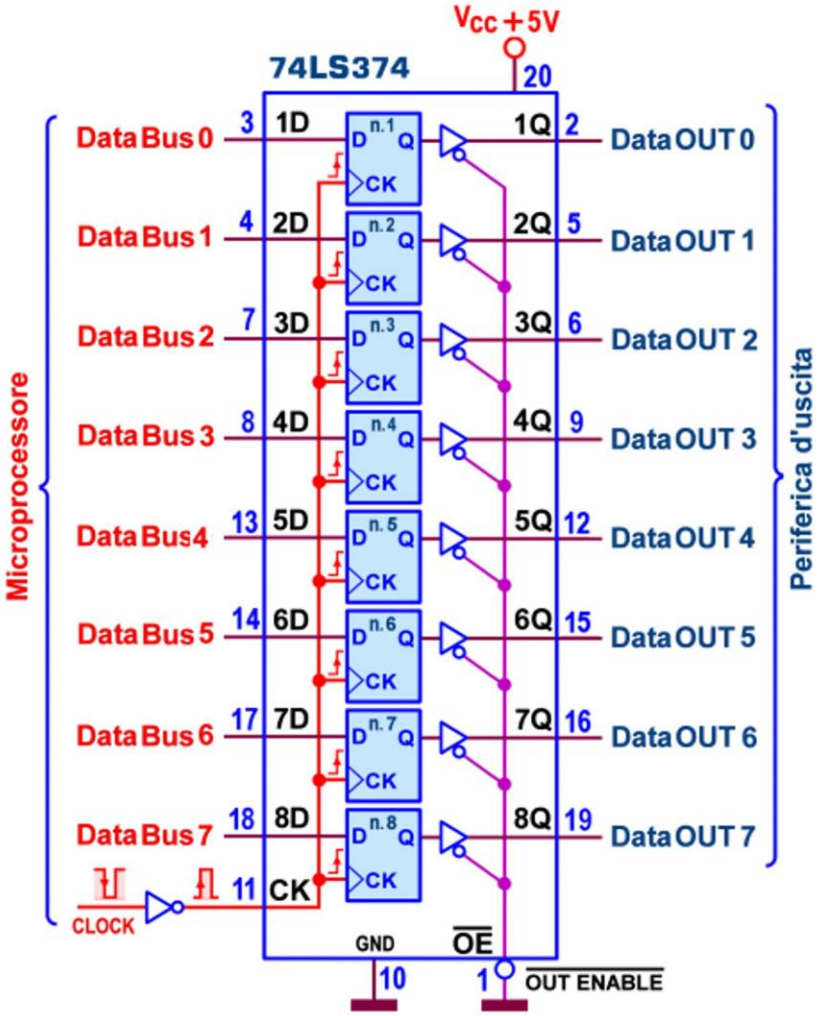


Figura 11 - 3-State Octal D-Type Flip-Flops 74LS374: Porta d'uscita

La *Figura 12* mostra lo schema pratico (consigliato nella stesura dei progetti per la sua sintetica completezza) insieme alla *Tabella di Verità*, dalla quale si trae conferma di tutto quanto detto finora.

In *Figura 13* è proposto, infine, il *simbolo logico* secondo lo *standard IEEE*; i segnali che entrano nel blocco di controllo comune (posto in alto, nel simbolo) sono quelli che si ritengono tali da influenzare tutti gli altri elementi presenti nel dispositivo: quello con etichetta C**1** è chiaramente un sincronismo di *Clock*, e il numero **1** alla sua destra è il modo per identificare l'etichetta dei segnali (appartenenti alla serie dei blocchi sottostanti) da esso influenzati; quello con etichetta EN lascia intendere che la sua azione sarà quella di abilitare la disponibilità dei dati su tutte le uscite, oppure di disabilitarle in blocco (che, in questo caso, significa porle in uno stato di alta impedenza).

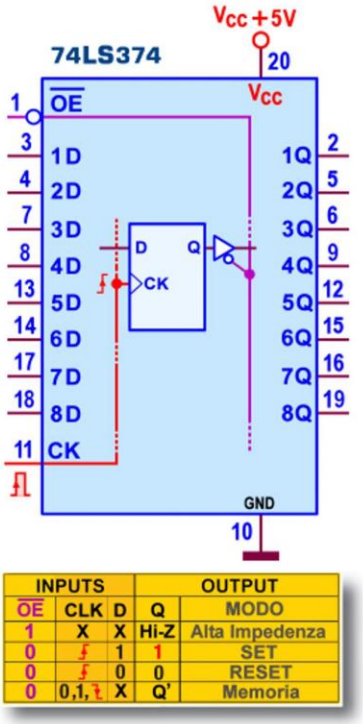


Figura 12 - 3-State Octal D-Type Flip-Flops 74LS374: Schema pratico e Tabella di Verità

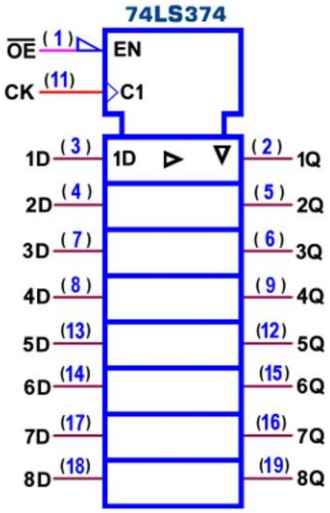


Figura 13 - 3-State Octal D-Type Flip-Flops 74LS374: Simbolo logico ANSI/IEEE Std. 91-1984

La parte inferiore del simbolo è composta da 8 blocchi (uno per Flip-Flop), identici tra loro e per i quali solo il primo deve essere redatto con dettaglio; nel nostro caso esso contiene: a) l'etichetta **1**D, chiaramente riferita ai Dati in ingresso, con davanti il numero **1** per far capire a quale segnale del blocco di controllo è da ritenersi correlata (appunto il *Clock* C**1**); b) un *triangolo* (per indicare la disponibilità di una amplificazione di corrente (buffer), cioè il fatto che il circuito di uscita può pilotare un carico più consistente di quello garantito da un circuito ordinario) rivolto verso destra (per indicare la direzione del flusso del Dato, appunto da sinistra a destra); c) un triangolo rivolto verso il basso, per indicare che l'uscita è a tre stati.

La potenza massima dissipata dal **74LS374** è di **225 mW**; la corrente erogata tipica in uscita (con Q=1) e di **2,6** mA mentre quella assorbita tipica in uscita (con Q=0) è di ben **24** mA; i ritardi di propagazione massimi (misurati con carico di **45**pF/**667**ohm) tra ingressi (D e OE) e uscite Q sono di **28** ns per entrambe le transizioni (**t_{PLH}** e **t_{PHL}**); il valore minimo di *Setup Time*=**t_S**=**20** ns e quello di *Hold Time*=**t_H**=**1** ns; la frequenza massima è tipicamente di **35** Mhz.

Il componente **74LS534** è la versione con uscite negate del **74LS374** e per esso vale dunque ogni considerazione appena descritta per quest'ultimo; per rimarcare la differenza riportiamo il suo *pin-out* (*Figura 14*) e il suo *schema pratico* (*Figura 15*), con la *Tabella di Verità*.

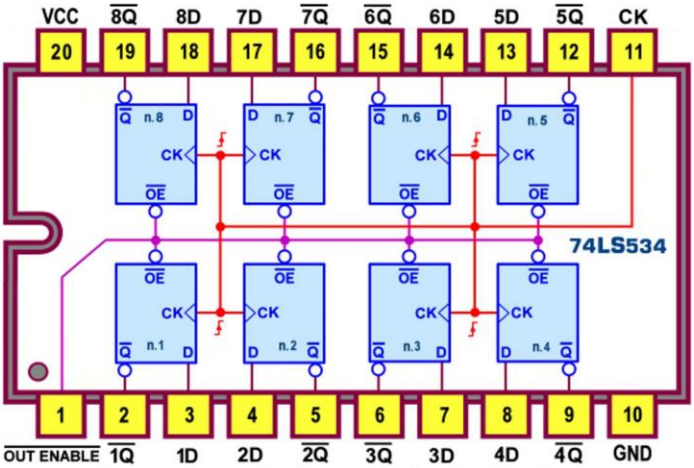
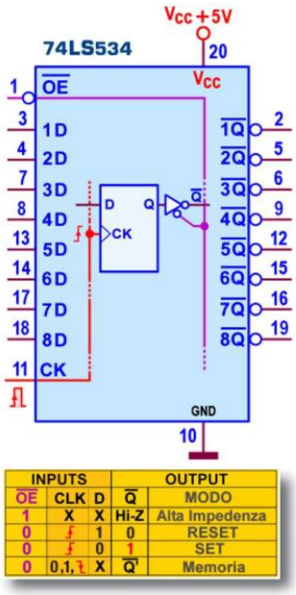


Figura 14 - 3-State Octal D-Type Flip-Flops 74LS534: Pin-out



INPUTS			OUTPUT	
$\overline{OE}$	CLK	D	$\overline{Q}$	MODO
1	X	X	Hi-Z	Alta Impedenza
0	↑	1	0	RESET
0	↑	0	1	SET
0	0,1,↓	X	$\overline{Q}'$	Memoria

Figura 15 - 3-State Octal D-Type Flip-Flops 74LS534: Schema pratico e Tabella di Verità

La *Figura 14bis* mostra lo *schema funzionale* e la *Figura 15bis* mostra il *simbolo logico* secondo lo *standard IEEE*....

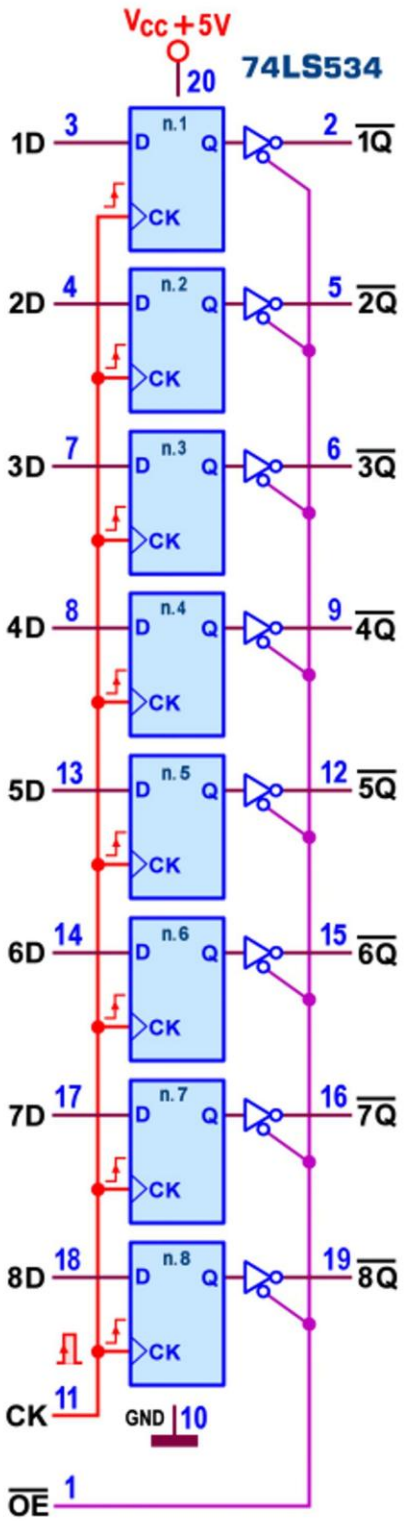
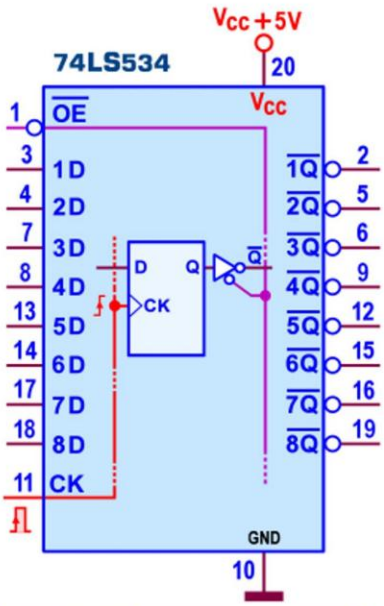


Figura 14bis - 3-State Octal D-Type Flip-Flops 74LS534: Schema funzionale



INPUTS			OUTPUT	
$\overline{OE}$	CLK	D	$\overline{Q}$	MODO
1	X	X	Hi-Z	Alta Impedenza
0	↑	1	0	RESET
0	↑	0	1	SET
0	0,1,↓	X	$\overline{Q}$'	Memoria

Figura 15 - 3-State Octal D-Type Flip-Flops 74LS534: Schema pratico e Tabella di Verità

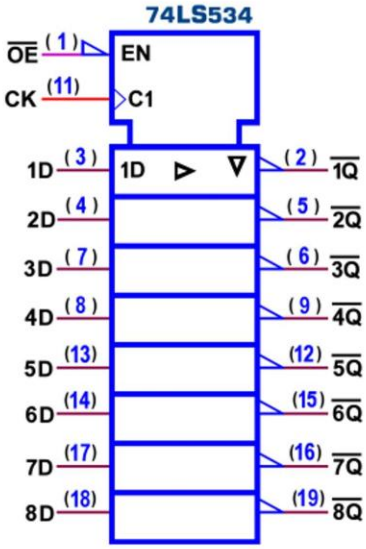


Figura 15bis - 3-State Octal D-Type Flip-Flops 74LS534: Simbolo logico ANSI/IEEE Std. 91-1984

La potenza massima dissipata dal **74LS534** è di **225 mW**; la corrente erogata tipica in uscita (con Q=1) e di **2,6** mA mentre quella assorbita tipica in uscita (con Q=0) è di ben **24** mA; i ritardi di propagazione massimi (misurati con carico di **45**pF/**667**ohm) tra ingressi (D e OE) e uscite Q sono di **28** ns per entrambe le transizioni (**t_{PLH}** e **t_{PHL}**); il valore minimo di *Setup Time*=**t_S**=**20** ns e quello di *Hold Time*=**t_H**=**1** ns; la frequenza massima è tipicamente di **35** Mhz.

La precedente coppia di ***Registri*** è caratterizzata da una strana collocazione degli ingressi e delle uscite, posti a coppie dallo stesso lato del circuito integrato; questa disposizione può creare qualche disagio nel progetto del circuito stampato, dato che sarebbe logico poter avere tutti gli 8 ingressi da un lato del chip e tutte le 8 uscite sul lato opposto; probabilmente per questa ragione (come per altro abbiamo rilevato nell'ambito dei "cugini" di tipo ***D-Latch***) anche per i Registri *edge triggered* (***D-Type***) sono disponibili componenti funzionalmente identici ai precedenti ma con gli 8 ingressi sul lato sinistro del chip e le 8 uscite sul lato destro.

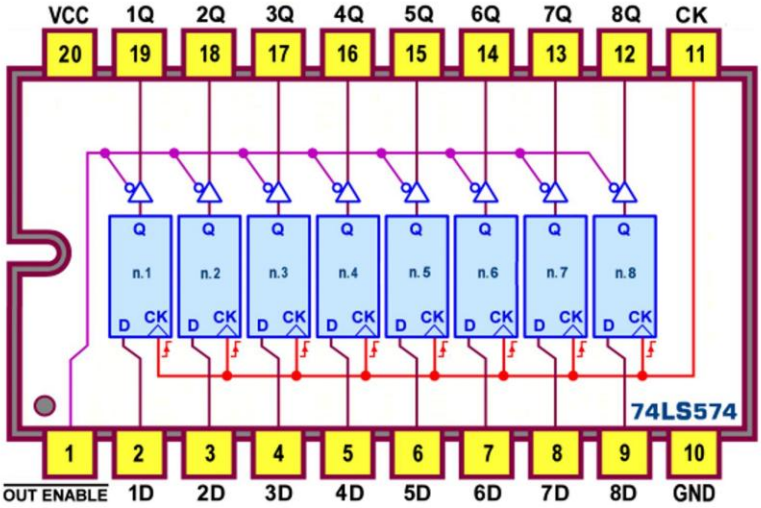


Figura 16 - 3-State Octal D-Type Flip-Flops 74LS574: Pin-out

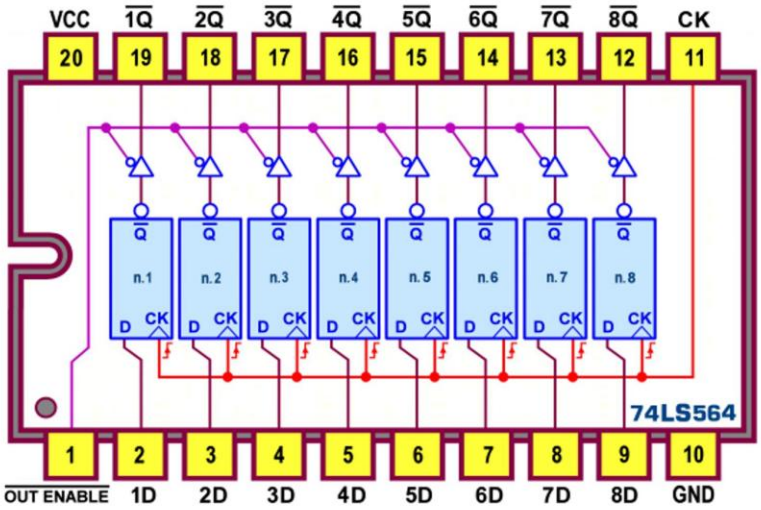


Figura 17 - 3-State Octal D-Type Flip-Flops 74LS564: Pin-out

Si tratta del **74LS574** (con uscite 3-state non invertenti) e del **74LS564** (con uscite 3-state invertenti), rispettivamente identici al **74LS374** e al **74LS534**, ma con *pin-out* diverso (vedi *Figura 16* e *Figura 17*); ciò significa che ogni loro aspetto funzionale e logico può essere ritenuto uguale a quello descritto in precedenza, comprese le caratteristiche elettriche e dinamiche.

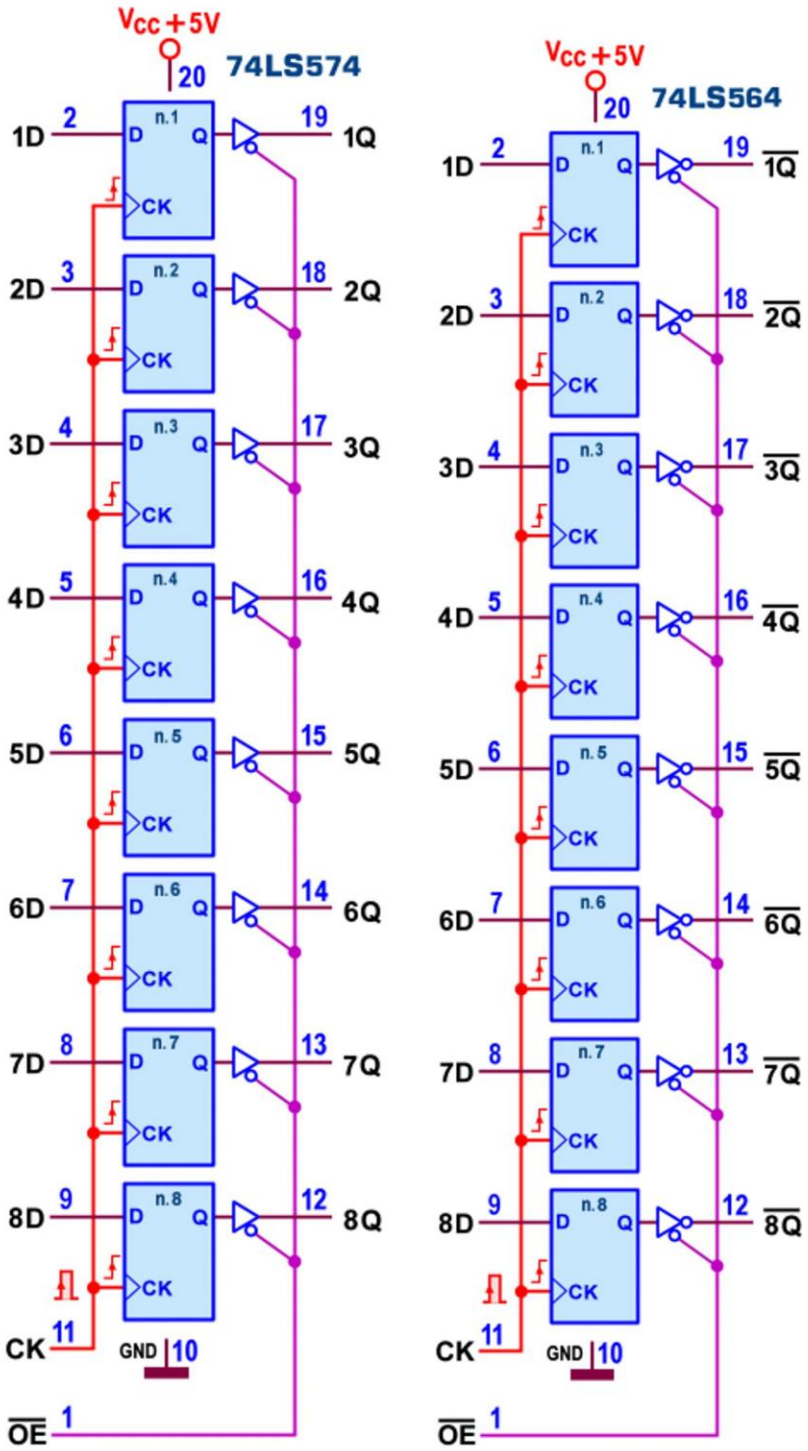


Figura 16bis - 3-State Octal D-Type Flip-Flops 74LS574 e 74LS564: Schema funzionale

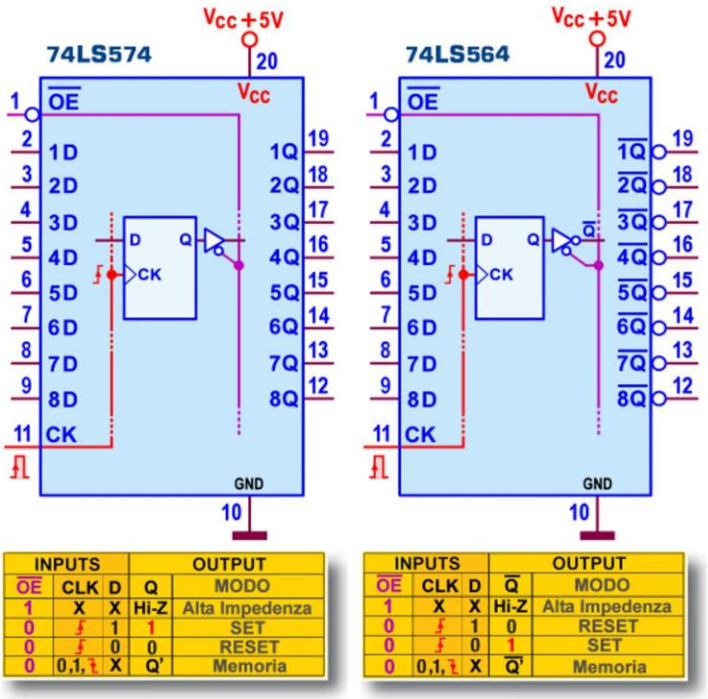


Figura 16ter - 3-State Octal D-Type Flip-Flops 74LS574 e 74LS564: Schema pratico e Tabella di Verità

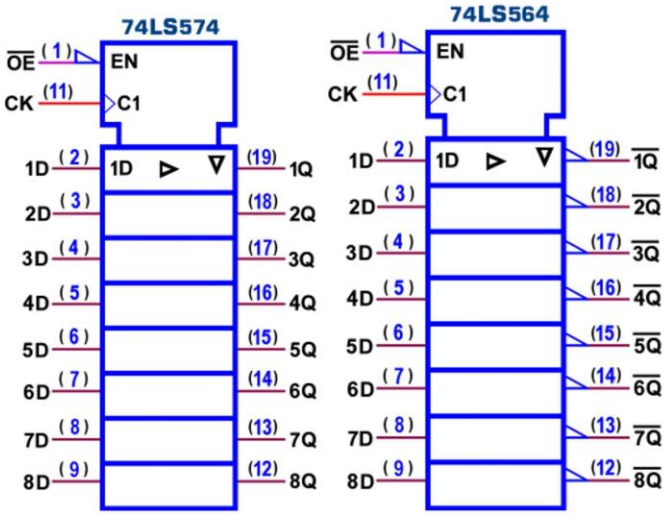


Figura 16quater - 3-State Octal D-Type Flip-Flops 74LS574 e 74LS564: Simbolo logico ANSI/IEEE Std. 91-1984

La potenza massima dissipata dai **74LS574**/**74LS564** è di **225 mW** (per il primo e di **300 mW** per ilsecondo); la corrente erogata tipica in uscita ($\mathbf{I_{OH}}$, con Q=1) e di **2,6** mA mentre quella assorbita tipica in uscita ($\mathbf{I_{OL}}$, con Q=0) è di ben **24** mA; la corrente erogata tipica in uscita ($\mathbf{I_{OH}}$, con Q=1) è di **2,6** mA mentre quella assorbita tipica in uscita ($\mathbf{I_{OL}}$, con Q=0) è di ben **24** mA ; il valore minimo di *Setup Time* vale $\mathbf{t_S}$=**20** ns e quello di *Hold Time* vale $\mathbf{t_H}$=**0** ns; la frequenza massima è tipicamente di **20** Mhz; i ritardi di propagazione massimi (misurati con carico di **45**pF/**2000**ohm) tra Clock e uscite Q sono mediamente di **28** ns per entrambe le transizioni ($\mathbf{t_{PLH}}$ e $\mathbf{t_{PHL}}$).

Esiste anche il componente **74ALS576** (con uscite 3-state invertenti) identico al **74LS564**, ma tecnologicamente migliore; per esso vale il *pin-out* proposto dalla *Figura 17* ed ogni considerazione funzionale e logica ad esso relativa; in virtù della sua natura avanzata (**ALS,** *Advanced Low Power Schottky*) la potenza massima dissipata e i ritardi di propagazione massimi sono pressoché dimezzati, rispetto al suo omologo, garantendo sempre la prestigiosa corrente assorbita tipica in uscita (**I_{OL}**, con Q=0) di **24** mA.

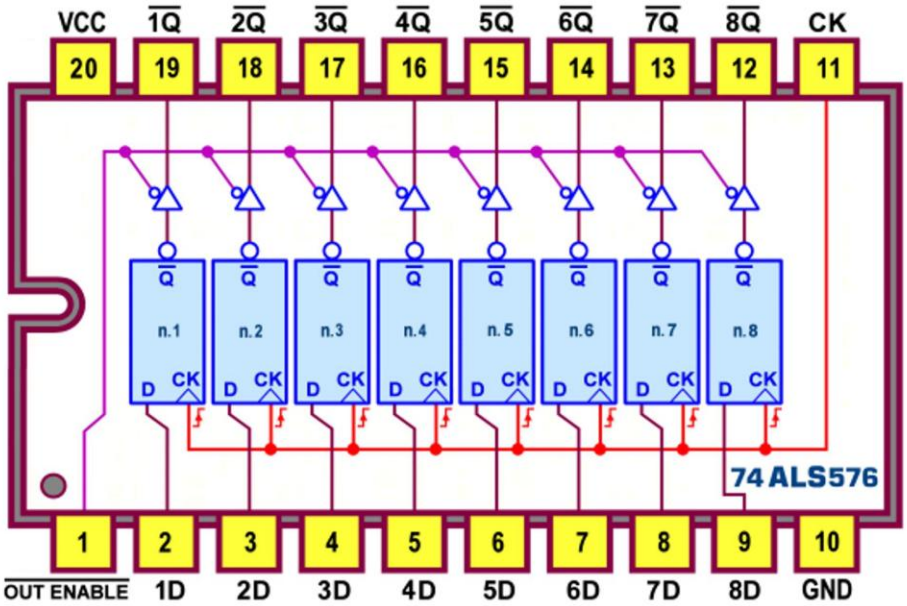


Figura 1x - 3-State Octal D-Type Flip-Flops 74ALS576: Pin-out

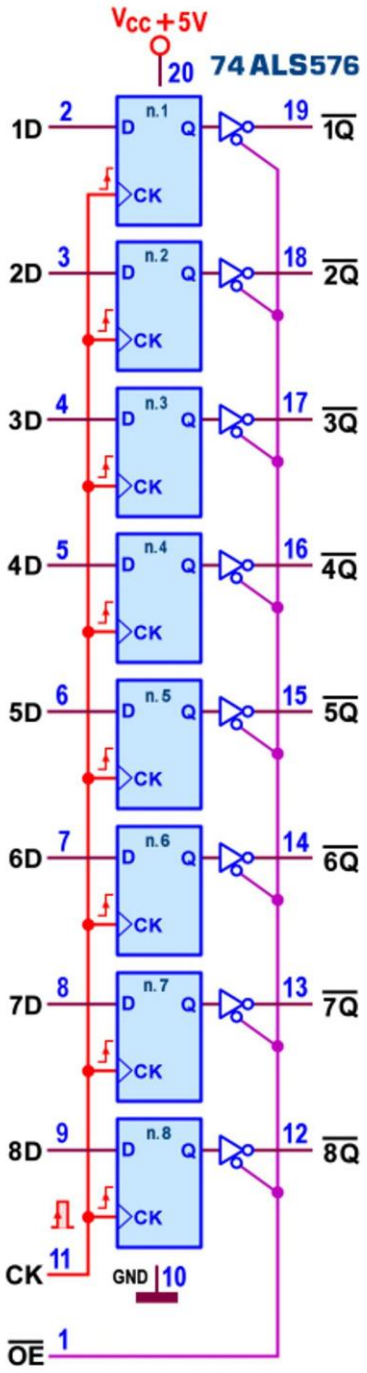


Figura 1xbis - 3-State Octal D-Type Flip-Flops 74ALS576: Schema funzionale

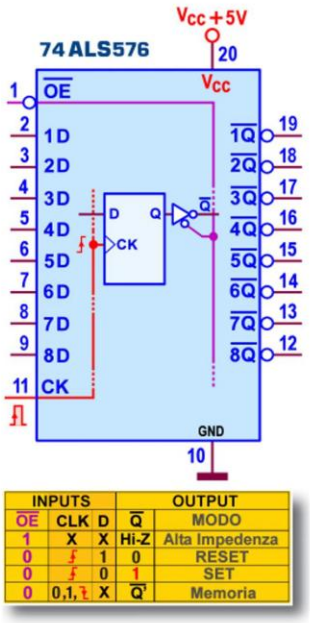


Figura 1xter - 3-State Octal D-Type Flip-Flops 74ALS576: Schema pratico e Tabella di Verità

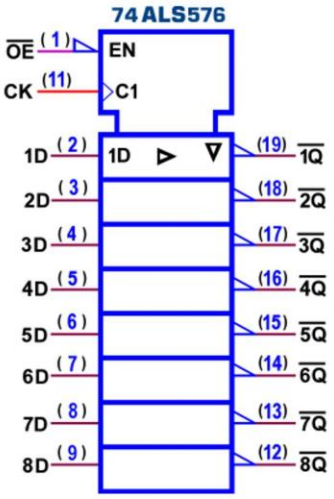


Figura 1xquater - 3-State Octal D-Type Flip-Flops 74ALS576: Simbolo logico ANSI/IEEE Std. 91-1984

La potenza massima dissipata dal **74ALS576** è di **150 mW** (**675 mW** per la serie **AS**); la corrente erogata tipica in uscita ($\mathbf{I_{OH}}$, con Q=1) e di **2,6** mA mentre quella assorbita tipica in uscita ($\mathbf{I_{OL}}$, con Q=0) è di **24** mA ($\mathbf{I_{OH}}$=**15** mA e $\mathbf{I_{OL}}$=**48** mA per la serie **AS**); il valore minimo di *Setup Time* vale $\mathbf{t_S}$=**15** ns (sia per gli ingressi di Dato che per la linea di *Clear*) (idem per la serie **AS**); quello di *Hold Time* vale $\mathbf{t_H}$=**0** ns (sia per gli ingressi di Dato che per la linea di *Clear*) (idem per la serie **AS**); la frequenza massima è tipicamente di **35** Mhz (**125** Mhz per la serie **AS**); i ritardi di propagazione massimi (misurati con carico di **50**pF/**500**ohm) tra Clock e uscite Q sono mediamente di **14** ns (**8** ns per la serie **AS**) per entrambe le transizioni ($\mathbf{t_{PLH}}$ e $\mathbf{t_{PHL}}$).

Tra i ***Registri ad 8 bit*** ne rimangono solo due: essi ricalcano le prestazioni dell'ultimo componente descritto, essendo realizzati nella stessa tecnologia avanzata (**ALS**), ma

dispongono di una opzione in più: sono entrambi dotati di una linea di *Clear* attiva bassa; si tratta del **74ALS575** (con uscite 3-state non invertenti) e del **74ALS577** (con uscite 3-state invertenti); la presenza di un pin in più richiede inevitabilmente un contenitore *dual-in-line* più grande, quello da 24 piedini, tre dei quali risulteranno per altro non utilizzati.

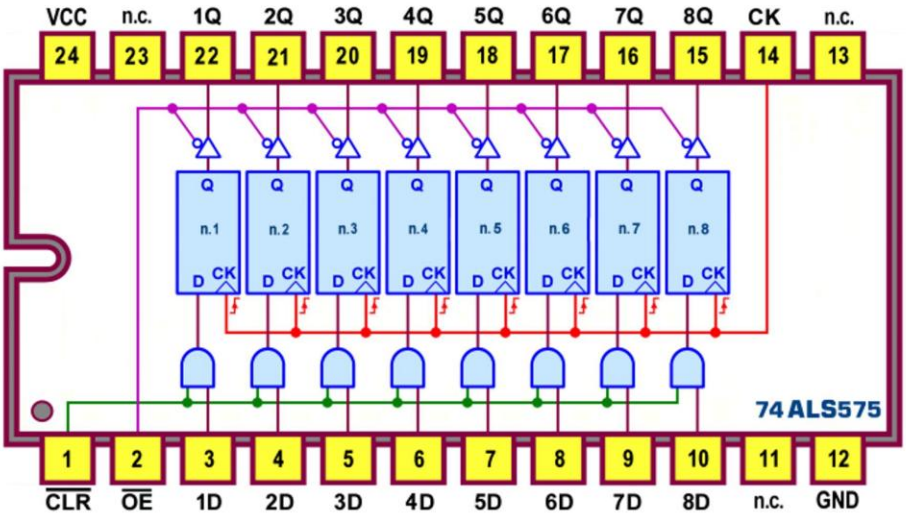


Figura 18 - 3-State Octal D-Type Flip-Flops 74LS575: Pin-out

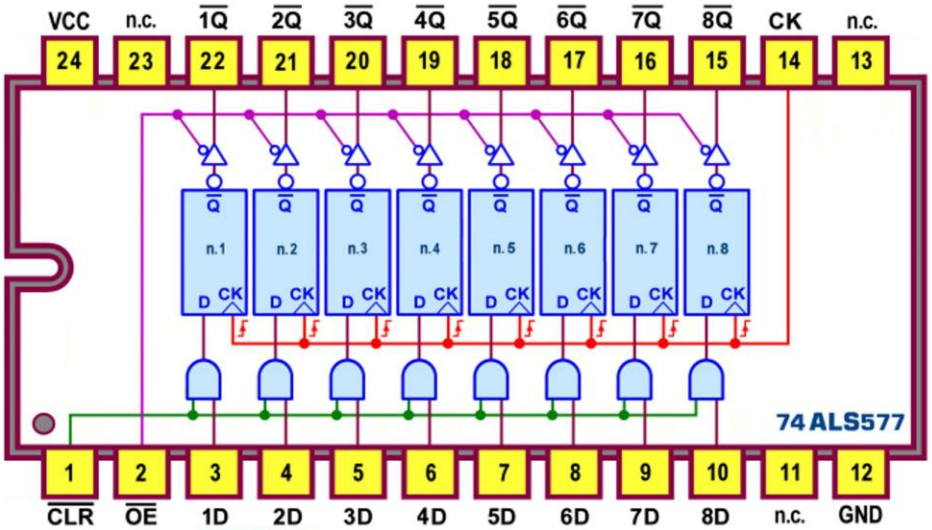


Figura 18 bis - 3-State Octal D-Type Flip-Flops 74ALS577: Pin-out

La *Figura 18* e la *Figura 19* mostrano rispettivamente il *pin-out* e lo *schema a blocchi* del primo, facilmente adattabili anche al secondo semplicemente ritenendo negate le 8 uscite (in virtù della presenza su di esse di un buffer ora invertente); possiamo notare che l'azione di *Clear* viene esercitata sugli ingressi (sostanzialmente chiudendo la porta AND con uno 0) e che tale effetto si tradurrà sulle uscite in corrispondenza del fronte di salita di clock; in particolare, osservando il dettaglio offerto dalla Tabella di Verità, le uscite del **74ALS575** saranno forzate a 0 mentre quelle del **74ALS577** (per effetto dell'inversione logica) saranno forzate a 1, dando luogo, in realtà, ad un effetto *Preset*.

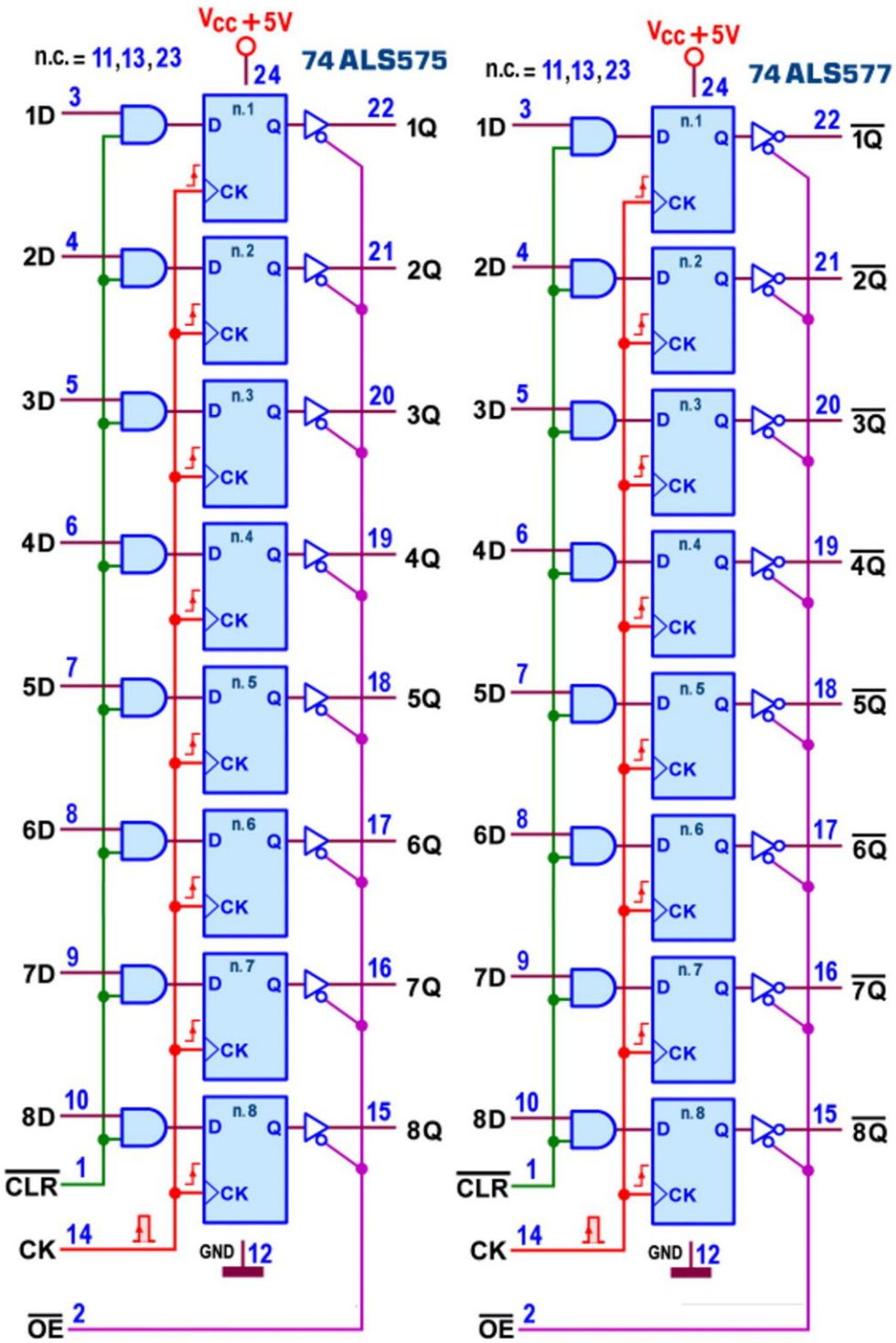
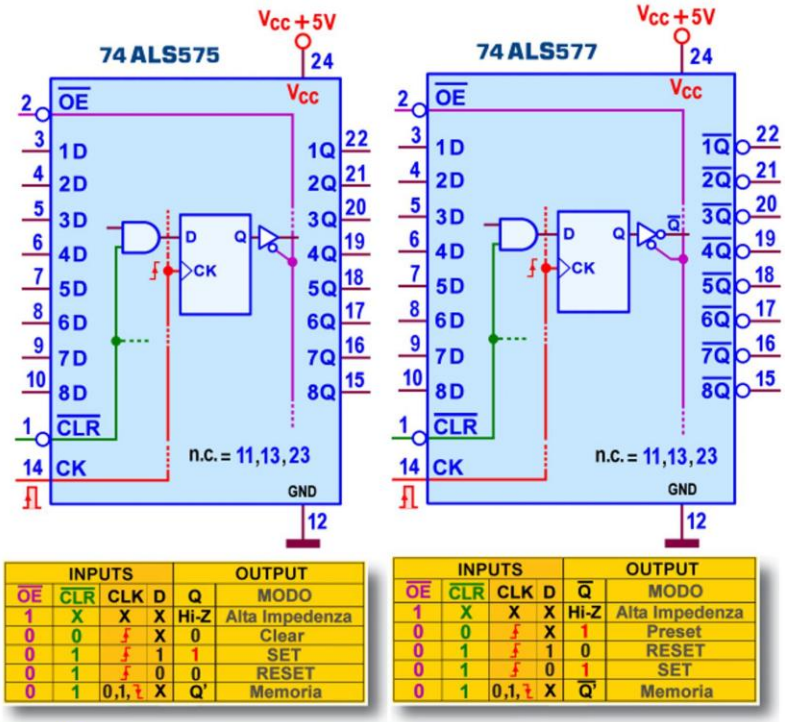


Figura 18ter - 3-State Octal D-Type Flip-Flops 74ALS575 e 74ALS577: Schema funzionale



INPUTS				OUTPUT	
$\overline{OE}$	$\overline{CLR}$	CLK	D	Q	MODO
1	X	X	X	Hi-Z	Alta Impedenza
0	0	↑	X	0	Clear
0	1	↑	1	1	SET
0	1	↑	0	0	RESET
0	1	0,1,↓	X	Q'	Memoria

INPUTS				OUTPUT	
$\overline{OE}$	$\overline{CLR}$	CLK	D	$\overline{Q}$	MODO
1	X	X	X	Hi-Z	Alta Impedenza
0	0	↑	X	1	Preset
0	1	↑	1	0	RESET
0	1	↑	0	1	SET
0	1	0,1,↓	X	$\overline{Q}$'	Memoria

Figura 19bis - 3-State Octal D-Type Flip-Flops 74ALS575 e 74ALS577: Schema pratico e Tabella di Verità

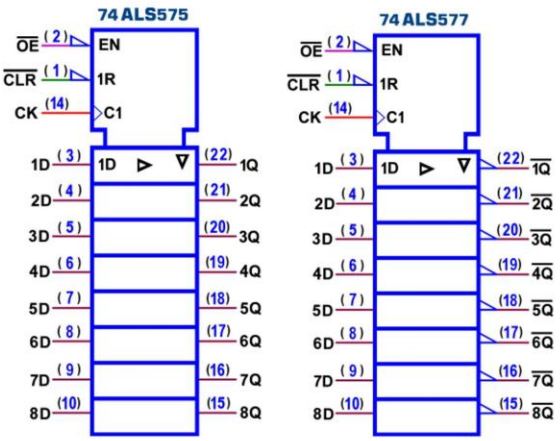


Figura 19quater - 3-State Octal D-Type Flip-Flops 74ALS575 e 74ALS577: Simbolo logico ANSI/IEEE Std. 91-1984

La potenza massima dissipata dai **74ALS575**/**74ALS577** è di **150 mW** (**710 mW** per la serie **AS**); la corrente erogata tipica in uscita (**I_{OH}**, con Q=1) e di **2,6** mA mentre quella assorbita tipica in uscita (**I_{OL}**, con Q=0) è di ben **24** mA (**I_{OH}=15** mA e **I_{OL}=48** mA per la serie **AS**); il valore minimo di *Setup Time* vale **t_S=15** ns (per gli ingressi d Dato) e **t_S=15** ns (per la linea di *Clear*), (rispettivamente **t_S=5,5** ns e **t_S=6,5** ns per la serie **AS**); quello di *Hold Time* vale **t_H=0** ns (per gli ingressi d Dato) e **t_H=0** ns (per la linea di *Clear*), (rispettivamente **t_H=3** ns e **t_H=0** ns per la serie **AS**); la frequenza massima è tipicamente di **35** Mhz (**90** Mhz per la serie **AS**) i ritardi di propagazione massimi (misurati con carico di **50**pF/**500**ohm) tra Clock e uscite Q sono mediamente di **14** ns (**8** ns per la serie **AS**) per entrambe le transizioni (**t_{PLH}** e **t_{PHL}**).

Doppi Registri a 4 bit (TTL): 74ALS874, 74ALS876, 74ALS878, 74ALS879

Alla categoria di tipo **ALS** 3-state con *Clear* appartengono anche quattro componenti contenenti ***Registri a 4 bit***, solitamente disponibili in due copie indipendenti dentro lo stesso chip; due di essi, il **74ALS878** (con uscite non invertenti) e il **74ALS879** (con uscite invertenti), sono logicamente e funzionalmente riconducibili alla coppia **74ALS575**/**74ALS577**, appena descritta, anche per quanto riguarda le caratteristiche elettriche e dinamiche.

Naturalmente lo spazio offerto dal grande contenitore *dual-in-line* da 24 piedini può comodamente ospitare i due registri indipendenti, ciascuno dotato della propria linea di abilitazione OE (*Out Enable*, attiva bassa), di *Clear* (attiva bassa) e di *Clock*, sul fronte di salita del quale i dati D predisposti sugli ingressi sono trasferiti in uscita.

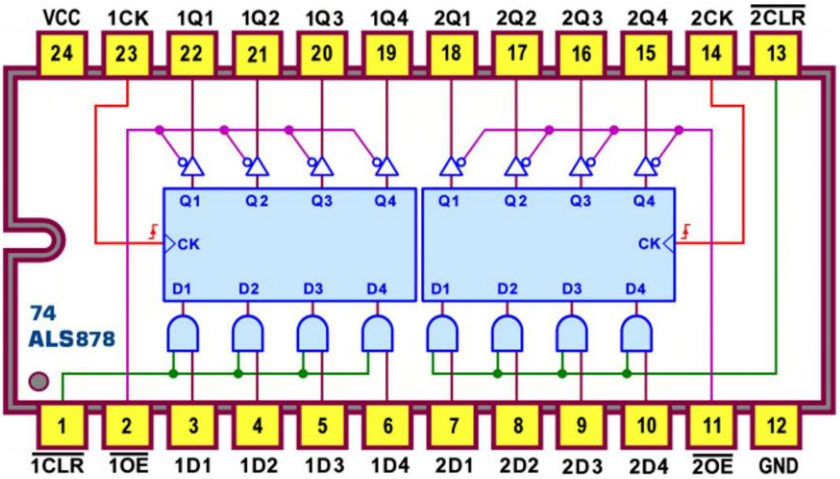


Figura 20 - 3-State Dual 4 Bit D-Type Flip-Flops 74LS878: Pin-out

La *Figura 20* e la *Figura 21* mostrano rispettivamente il *pin-out* e lo *schema a blocchi* del primo, lasciando al lettore il compito di adattarle al secondo, semplicemente sostituendo il buffer presente su ciascuna delle 8 uscite con uno invertente.

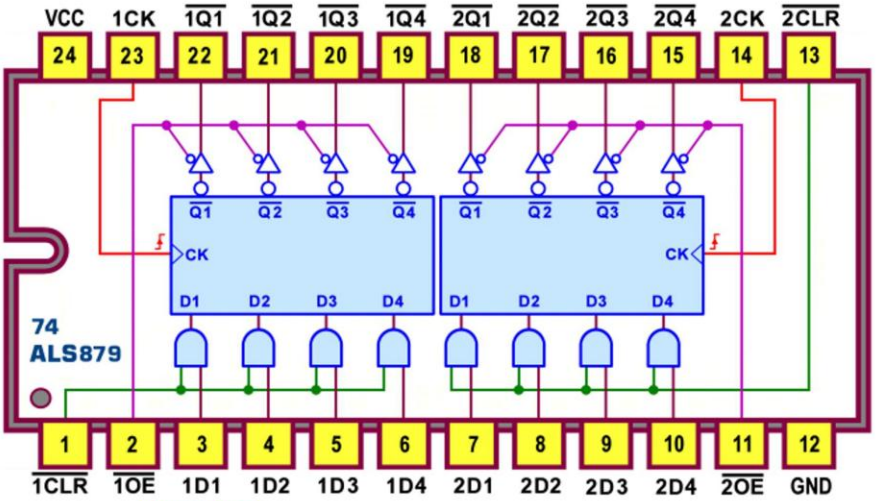


Figura 20 bis - 3-State Dual 4 Bit D-Type Flip-Flops 74ALS879: Pin-out

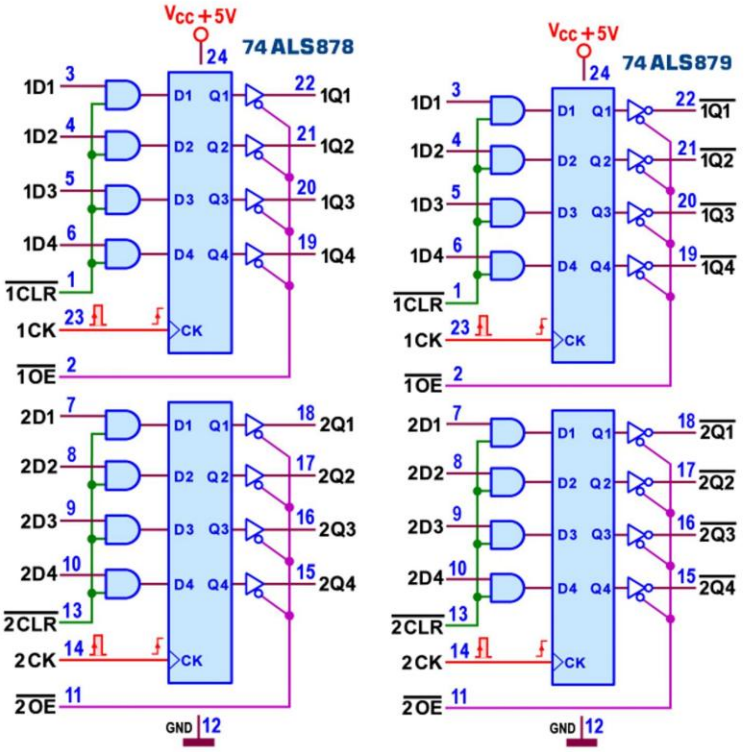
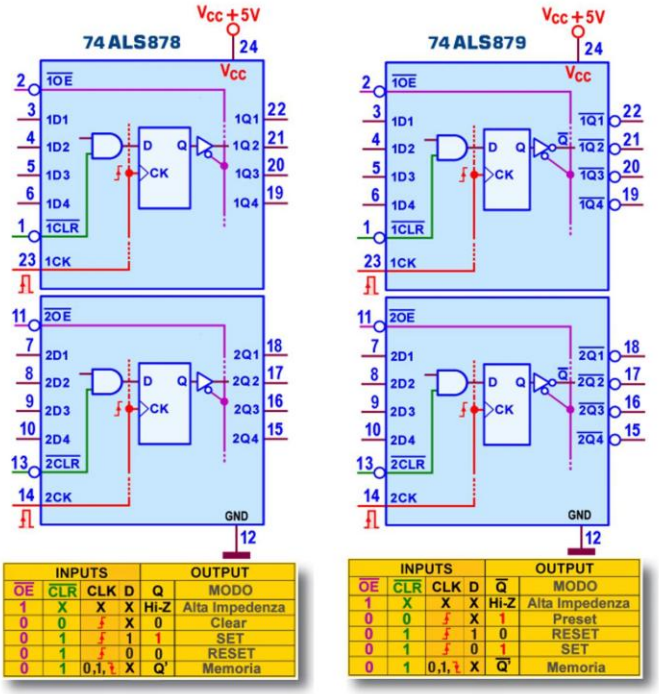


Figura 20ter - 3-State Octal D-Type Flip-Flops 74ALS878 e 74ALS879: Schema pratico e Tabella di Verità



INPUTS				OUTPUT	
$\overline{OE}$	$\overline{CLR}$	CLK	D	Q	MODO
1	X	X	X	Hi-Z	Alta Impedenza
0	0	↑	X	0	Clear
0	1	↑	1	1	SET
0	1	↑	0	0	RESET
0	1	0,1,↓	X	Q'	Memoria

INPUTS				OUTPUT	
$\overline{OE}$	$\overline{CLR}$	CLK	D	$\overline{Q}$	MODO
1	X	X	X	Hi-Z	Alta Impedenza
0	0	↑	X	1	Preset
0	1	↑	1	0	RESET
0	1	↑	0	1	SET
0	1	0,1,↓	X	$\overline{Q'}$	Memoria

Figura 21 - 3-State Dual 4 Bit D-Type Flip-Flops 74ALS878 e 74ALS879: Schema pratico e Tabella di Verità

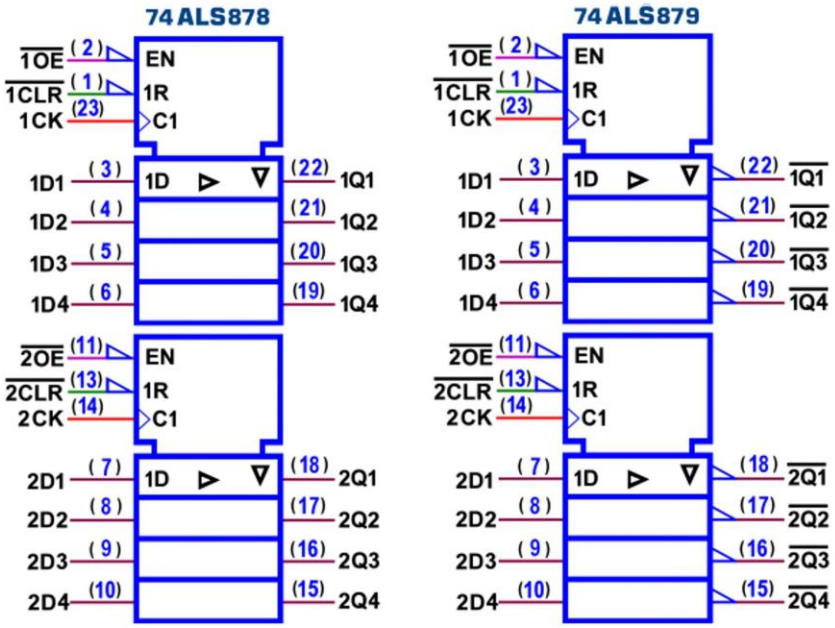


Figura 21ter - 3-State Dual 4 Bit D-Type Flip-Flops 74ALS878 e 74ALS879: Simbolo logico ANSI/IEEE Std. 91-1984

La potenza massima dissipata dai **74ALS878**/**74ALS879** è di **165 mW** (**165 mW** per la serie **AS**); la corrente erogata tipica in uscita ($\mathbf{I_{OH}}$, con Q=1) e di **2,6** mA mentre quella assorbita tipica in uscita ($\mathbf{I_{OL}}$, con Q=0) è di ben **24** mA ($\mathbf{I_{OH}}$=**15** mA e $\mathbf{I_{OL}}$=**48** mA per la serie **AS**); il valore minimo di *Setup Time* vale $\mathbf{t_S}$=**15** ns (per gli ingressi d Dato) e $\mathbf{t_S}$=**20** ns (per la linea di *Clear*), (rispettivamente $\mathbf{t_S}$=**2** ns e $\mathbf{t_S}$=**5.5** ns per la serie **AS**); quello di *Hold Time* vale $\mathbf{t_H}$=**4** ns (per gli ingressi d Dato) e $\mathbf{t_H}$=**2** ns (per la linea di *Clear*), (rispettivamente $\mathbf{t_H}$=**0** ns e $\mathbf{t_H}$=**0** ns per la serie **AS**); la frequenza massima è tipicamente di **35** Mhz (**125** Mhz per la serie **AS**) i ritardi di propagazione massimi (misurati con carico di **50**pF/**500**ohm) tra Clock e uscite Q sono mediamente di **15** ns per entrambe le transizioni ($\mathbf{t_{PLH}}$ e $\mathbf{t_{PHL}}$).

Gli integrati **74ALS874** e **74ALS876** sono due proposte alternative, funzionalmente identiche rispettivamente al **74ALS878** e al **74ALS879**; l'unica differenza è legata al compito affidato ai pin1 e pin13.

Questa puntualizzazione è piuttosto raffinata e difficile da evidenziare, se non con un attento confronto tra le Tabelle di verità dei componenti coinvolti; in concreto: **a**) quelli che stiamo analizzando agiscono direttamente sulle uscite "interne" dei Flip-Flop, con la classica azione asincrona di *Clear* (per il **74ALS874**, che le pone a 0) o di *Preset* (per il **74ALS876**, che le forza a 1); ne consegue che le uscite "esterne" (a valle dei buffer 3-state) sono comunque sempre a **0**, confermando nel primo caso il valore di quelle "interne" (essendo *non invertenti*) e complementandone il valore nel secondo (essendo *invertenti*); **b**) nei componenti cugini, invece, le linee che concorrono sui pin1 e pin13 sono sempre di tipo *Clear* ed agiscono, invece, sugli ingressi dei Flip-Flop, chiudendo (se attivate) una porta AND che azzera di fatto il valore del dato realmente coinvolto; per questo, a valle dei buffer 3-state, le uscite "esterne" del **74ALS878** saranno coerentemente a **0** (per la presenza dei buffer *non invertenti*) mentre quelle del **74ALS879**, saranno "illogicamente" a **1**, per l'azione *invertente* dei rispettivi buffer.

La *Figura 22* e la *Figura 23* mostrano rispettivamente il *pin-out* e lo *schema a blocchi* del **74ALS874**; da esse sono facilmente deducibili quelle del **74ALS876**, ritenendo negate le 8 uscite (essendo ora invertente l'azione dei buffer) e con *Preset* al posto di *Clear*.

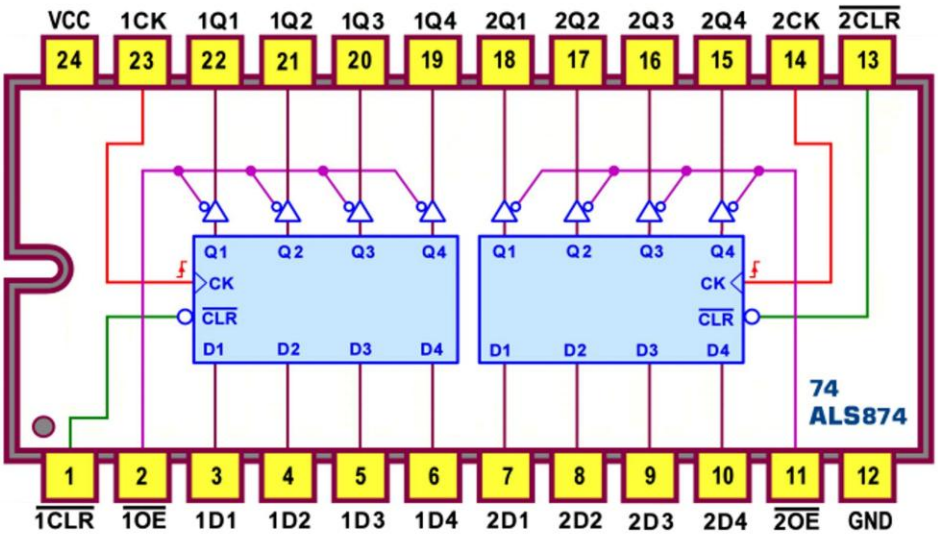


Figura 22 - 3-State Dual 4 Bit D-Type Flip-Flops 74LS874: Pin-out

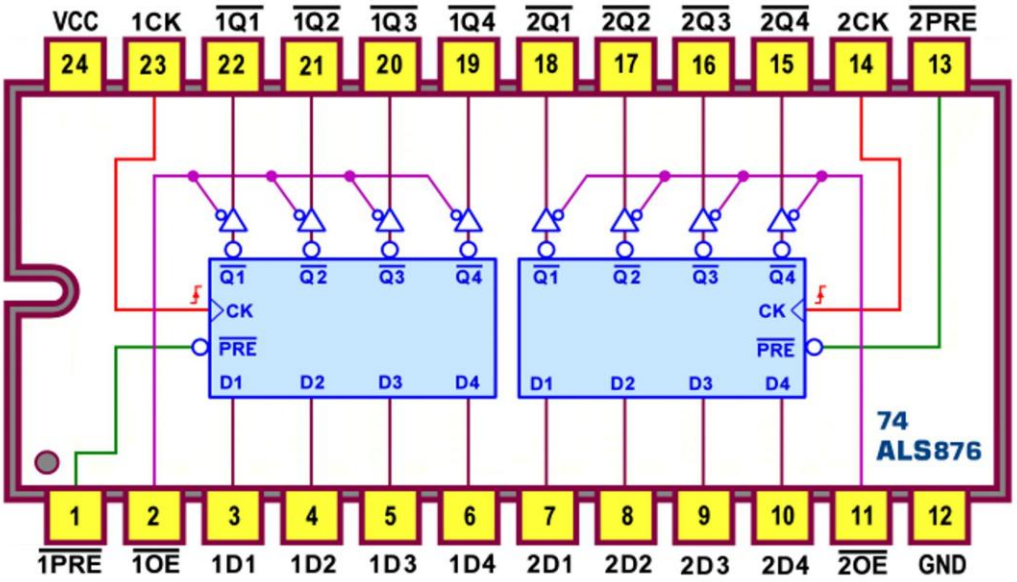


Figura 22bis - 3-State Dual 4 Bit D-Type Flip-Flops 74ALS876: Pin-out

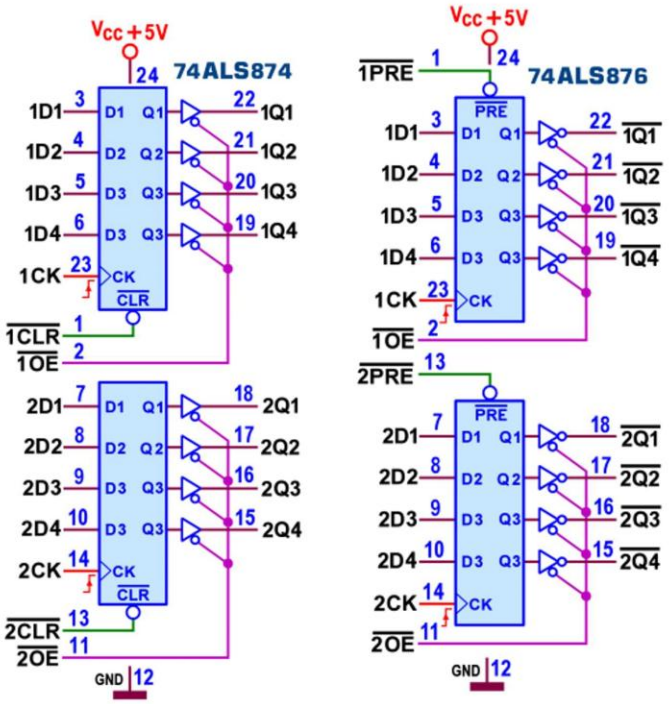
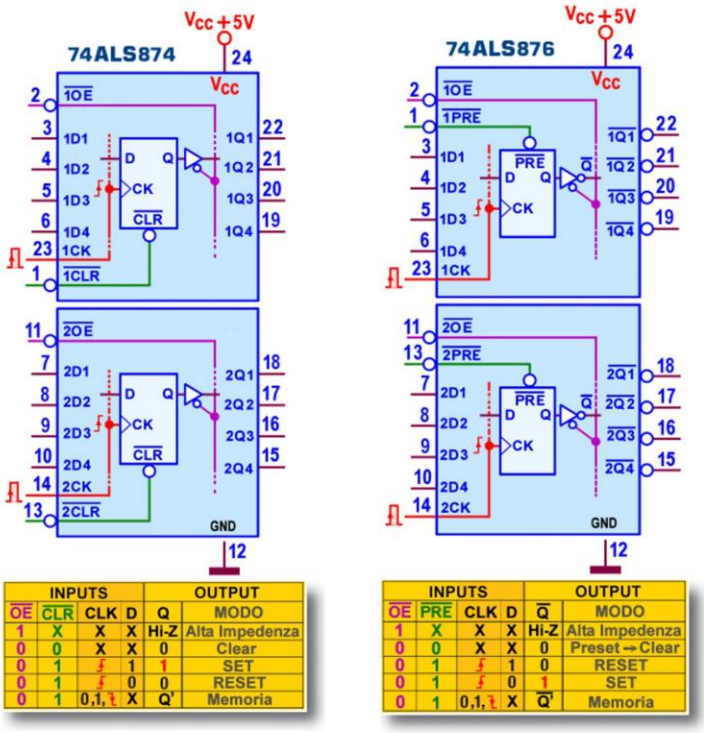


Figura 22ter - 3-State Octal D-Type Flip-Flops 74ALS874 e 74ALS876: Schema pratico e Tabella di Verità



INPUTS				OUTPUT	
$\overline{OE}$	$\overline{CLR}$	CLK	D	Q	MODO
1	X	X	X	Hi-Z	Alta Impedenza
0	0	X	X	0	Clear
0	1	↑	1	1	SET
0	1	↑	0	0	RESET
0	1	0,1,↓	X	Q'	Memoria

INPUTS				OUTPUT	
$\overline{OE}$	$\overline{PRE}$	CLK	D	$\overline{Q}$	MODO
1	X	X	X	Hi-Z	Alta Impedenza
0	0	X	X	0	Preset → Clear
0	1	↑	1	0	RESET
0	1	↑	0	1	SET
0	1	0,1,↓	X	$\overline{Q}$'	Memoria

Figura 23 - 3-State Dual 4 Bit D-Type Flip-Flops 74ALS874 e 74ALS876: Schema pratico e Tabella di Verità

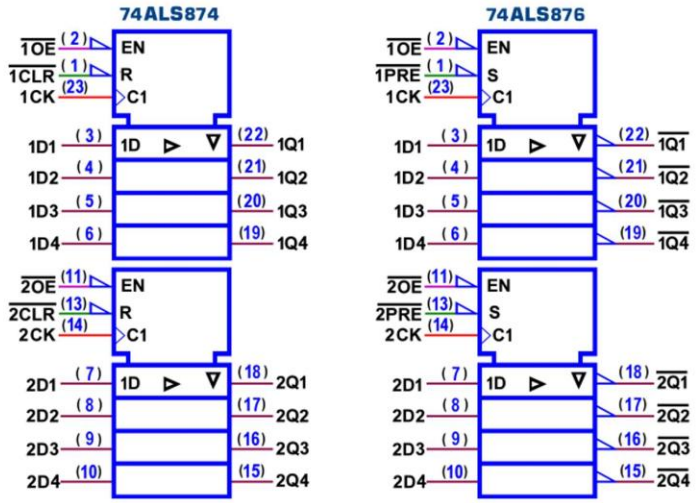


Figura 23ter - 3-State Dual 4 Bit D-Type Flip-Flops 74ALS874 e 74ALS876: Simbolo logico ANSI/IEEE Std. 91-1984

La potenza massima dissipata dai **74ALS874**/**74ALS876** è di **160 mW** (**800 mW** per la serie **AS**); la corrente erogata tipica in uscita ($\mathbf{I_{OH}}$, con Q=1) e di **2,6** mA mentre quella assorbita tipica in uscita ($\mathbf{I_{OL}}$, con Q=0) è di **24** mA ($\mathbf{I_{OH}}$=**15** mA e $\mathbf{I_{OL}}$=**48** mA per la serie **AS**); il valore minimo di *Setup Time* vale $\mathbf{t_S}$=**15** ns (per gli ingressi d Dato) e $\mathbf{t_S}$=**10** ns (per la linea di *Clear*/*Preset*), (rispettivamente $\mathbf{t_S}$=**4,5** ns e $\mathbf{t_S}$=**5** ns per la serie **AS**); quello di *Hold Time* vale $\mathbf{t_H}$=**0** ns (sia per gli ingressi d Dato che per la linea di *Clear*/*Preset*), ($\mathbf{t_H}$=**2** ns per la serie **AS**); la frequenza massima è tipicamente di **30** Mhz (**80** Mhz per la serie **AS**) i ritardi di propagazione massimi (misurati con carico di **50**pF/**500**ohm) tra Clock e uscite Q sono mediamente di **16** ns per entrambe le transizioni ($\mathbf{t_{PLH}}$ e $\mathbf{t_{PHL}}$) (mediamente di **9** ns per la serie **AS**).