



di GIORGIO OBER (GIOBE2000)

l'angolo di Mr A.KEER



(parte ventisettesima)

PROGETTARE con le PORTE LOGICHE

Read-Back Register

Prosegue in questa puntata la rassegna dei componenti basati sugli elementi di memoria di tipo D; parleremo di una serie di Registri molto particolari, chiamati a gestire un Bus bidirezionale in ingresso con la possibilità di "leggere" su di esso il dato precedentemente memorizzato.

Solitamente un **Registro** assume una parola binaria (da 8 o più bit) da una struttura multifilare (Bus Dati) caratterizzata da tante linee quanti sono i bit da elaborare: di norma l'informazione assunta dal Bus d'ingresso viene memorizzata e restituita su un Bus d'uscita della stessa dimensione, seguendo un percorso **unidirezionale**, da sinistra a destra.

Fanno eccezione i **Bus Transceiver/Registers** (visti la volta scorsa), in grado non solo di assicurare la memorizzazione dei dati in arrivo da entrambe le direzioni, ma anche di gestire in modo **bidirezionale** il flusso dati tra due Bus.

In questa puntata ci occuperemo di un dispositivo molto particolare in grado di gestire il Bus d'uscita nel normale modo unidirezionale e, contemporaneamente, garantire un flusso bidirezionale dei dati sul Bus d'ingresso; ciò significa che i bit in arrivo potranno essere memorizzati su un normale Registro a disposizione del Bus unidirezionale d'uscita, ma potranno anche essere riproposti sul Bus bidirezionale d'ingresso, assicurando la capacità di rilettura "indietro" (dei dati memorizzati) verso lo stesso Bus sorgente dei dati.

Per questa ragione essi sono detti **Read-Back Registers**; sebbene le descrizioni proposte dagli stessi manuali possano indurre talvolta incertezze sulla natura degli elementi di memoria utilizzati, la gran parte si avvale della versione **D-Latch** mentre solo uno dei componenti disponibili si affida ai Flip-Flops **D-Type**.

Come più volte abbiamo sottolineato la differenza è legata al modo con cui l'informazione viene trasferita e memorizzata in uscita: nel primo caso è stabile nel tempo e viene aggiornata solo nel breve istante della durata di uno dei due fronti (edge triggered) del segnale di sincronismo (Clock) mentre, nel secondo caso, essa insegue il valore dell'ingresso per tutto il tempo in cui il sincronismo (Enable) assume uno dei due valori possibili (level triggered), memorizzando quello presente nell'istante corrispondente al fronte di E verso il livello opposto.

Tutti i componenti che andremo a considerare sono realizzati con tecnologia di natura avanzata (**ALS**, *Advanced Low Power Schottky*) in virtù della quale viene garantito un migliore rapporto costo-prestazioni, rispetto alla tipica TTL **LS**.

Registri D-Type Read-Back : 74LS996

Il **74ALS996** (detto **8-bit D-Type Edge-Triggered Read-Back**) è un dispositivo progettato specificamente per memorizzare il contenuto del Bus Dati bidirezionale d'ingresso su un **Registro** realizzato con 8 Flip-Flops **D-Type**, a disposizione di un Bus unidirezionale d'uscita, e per fornire la capacità di riletture (una "lettura indietro") dei dati memorizzati verso il medesimo Bus d'ingresso; le sue uscite sono progettate per garantire una grande capacità di pilotaggio nei confronti del carico presente sul Bus d'uscita, dotato (come quello d'ingresso) di buffer 3-state; la **Figura 1** mostra il suo pinout.

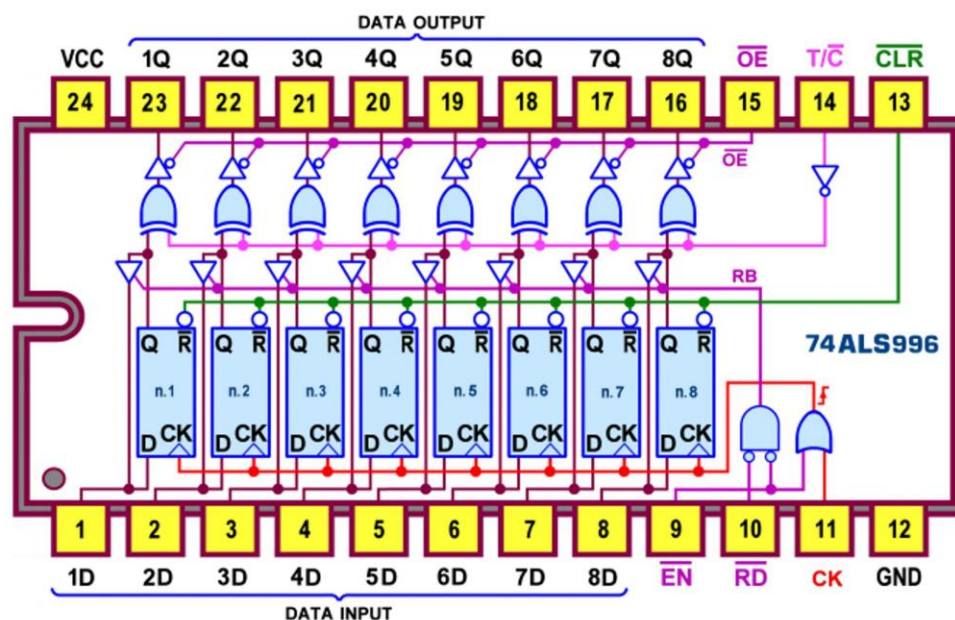


Figura 1 - 8-bit D-Type Edge-Triggered Read-Back, 74ALS996: Pin-out

Il suo aspetto, relativamente complesso, aiuta a capire il sofisticato modo di funzionare di questo dispositivo, affidato ad una manciata di linee di controllo e sintetizzato dallo *schema funzionale* di **Figura 2**: si nota subito il Registro a 8 bit, chiamato a memorizzare i dati presenti sul Bus d'ingresso sul fronte di salita del Clock, che sarà operativo solo se la porta OR che lo governa è aperta, cioè se l'ingresso di abilitazione (EN, attivo basso) è a 0 logico.

La medesima linea d'abilitazione controlla anche la possibilità di leggere di nuovo sugli ingressi i dati presenti sulle uscite Q interne: con EN=0 rimane aperta anche la AND con ingressi negati, lasciando la decisione di operare la "lettura indietro" al valore presente sull'ingresso di controllo RD (esso pure attivo basso); se anche RD=0 il buffer 3-state sarà in grado di collegare le uscite Q dei Flip-Flops con i rispettivi ingressi, mentre in caso contrario (RD=1) sarà forzato in alta impedenza, rendendo impossibile la lettura verso il Bus d'ingresso.

Da notare che con EN=1 sono comunque disabilitate entrambe le modalità, sia quella di *Read-Back* che quella di scrittura; in ogni caso le transizioni su EN dovrebbe essere effettuate solo con il segnale di Clock alto, per evitare false memorizzazioni; la disponibilità di un doppio segnale di controllo per il traffico Read-Back rende di fatto meno probabili eventuali conflitti sul Bus d'ingresso.

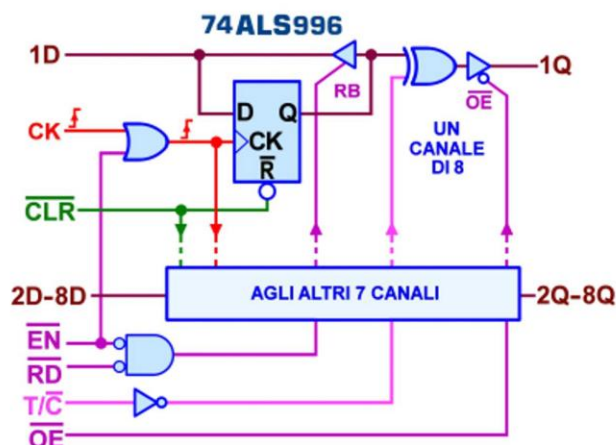


Figura 2 - 8-bit D-Type Edge-Triggered Read-Back, 74ALS996: Schema funzionale

Il dispositivo è dotato anche di un controllo di Clear (CLR, attivo basso); esso è (al solito) di tipo asincrono e la sua azione è prioritaria rispetto a quella di tutti gli altri segnali del dispositivo: con CLR=0 tutte le uscite interne Q sono azzerate.

La gestione del Bus d'uscita, unidirezionale, è affidata ad un buffer 3-state non invertente, aperto sul Bus quando la linea di Output Enable (OE, attiva bassa) è a massa, e forzato in alta impedenza quando OE=1; per altro il valore di OE non pregiudica il funzionamento interno del Registro: quando le uscite del dispositivo sono in Hi-Z i vecchi dati possono essere tranquillamente mantenuti, oppure sostituiti con i nuovi dati in arrivo dall'ingresso.

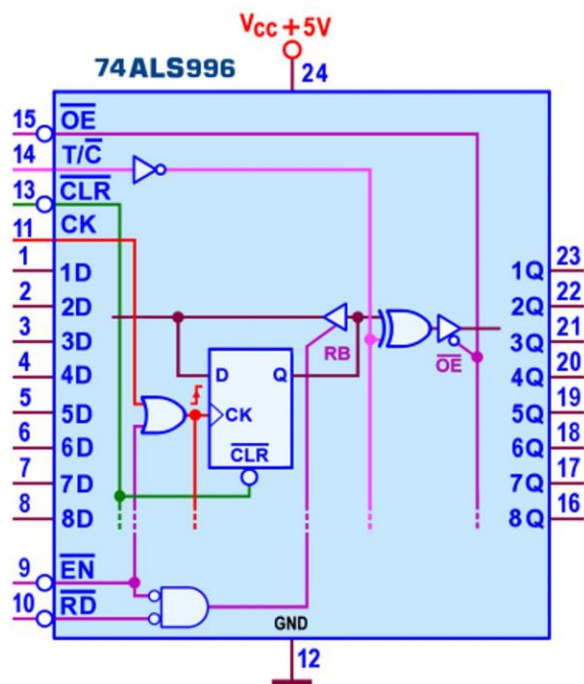


Figura 3 - 8-bit D-Type Edge-Triggered Read-Back, 74ALS996: Schema pratico

Piuttosto originale è, infine, la possibilità di disporre di un *controllo di polarità* delle uscite; di questo si occupa una OREX, controllata dalla linea d'ingresso T/C: con T/C=1 i valori sulle uscite esterne saranno gli stessi (*True*) memorizzati sulle uscite interne Q dei Flip-Flops, mentre con T/C=0 i dati di uscita saranno invertiti (*Complementary*).

La *Figura 3* propone lo *schema pratico*, consigliato nella stesura dei progetti per la sua sintetica completezza, e la *Figura 4* mostra il *simbolo logico* previsto dallo *standard IEEE*; al solito, i numeri (da 1 a 4) associati ai segnali presenti nel blocco di controllo comune (posto in alto, nel simbolo) servono per identificare i segnali ad essi correlati, quasi tutti presenti in ciascuno degli 8 blocchi della parte inferiore del simbolo, identici tra loro e per i quali solo il primo è redatto con dettaglio.

In particolare: **a)** il numero **1**, affidato a **C1**, identifica la linea di ingresso dato **1D** del registro, mentre il segno "maggiore uguale a 1" (dentro al riquadro, in alto) sottolinea che l'azione di **C1** è subordinata alla logica OR dei segnali ad esso corrispondenti, CK e EN; **b)** il numero **2**, affidato a **EN2**, è associato al triangolo rivolto verso il basso nei pressi dell'ingresso **1D**: il segno "&", dentro al riquadro corrispondente a **EN2**, specifica che la sua azione è ottenuta con una logica AND dei segnali ad esso correlati, EN e RD, mentre il triangolo sta ad indicare che gli ingressi come **1D** sono 3-state; **c)** i numeri **3** e **4**, riferiti rispettivamente a **N3** e a **EN4**, sono entrambi associati alle uscite del dispositivo (anch'esse caratterizzate da un triangolo rivolto verso il basso, sinonimo di 3-state) per sottolineare il fatto che sono influenzate dai segnali T/C (corrispondente a **N3**) e OE (corrispondente a **EN4**).

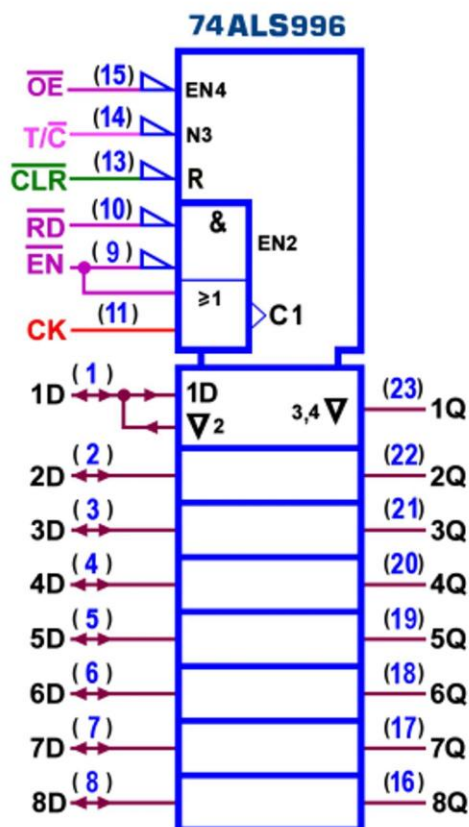


Figura 4 - 8-bit D-Type Edge-Triggered Read-Back, 74ALS996: Simbolo logico ANSI/IEEE Std. 91-1984

Molto spesso i datasheet offrono uno strumento importante per capire il funzionamento di un determinato dispositivo: il suo diagramma temporale; la *Figura 5* mostra quello del nostro Registro Read-Back a 8 bit e la sua discussione è un'eccellente occasione per imparare ad interpretarli.

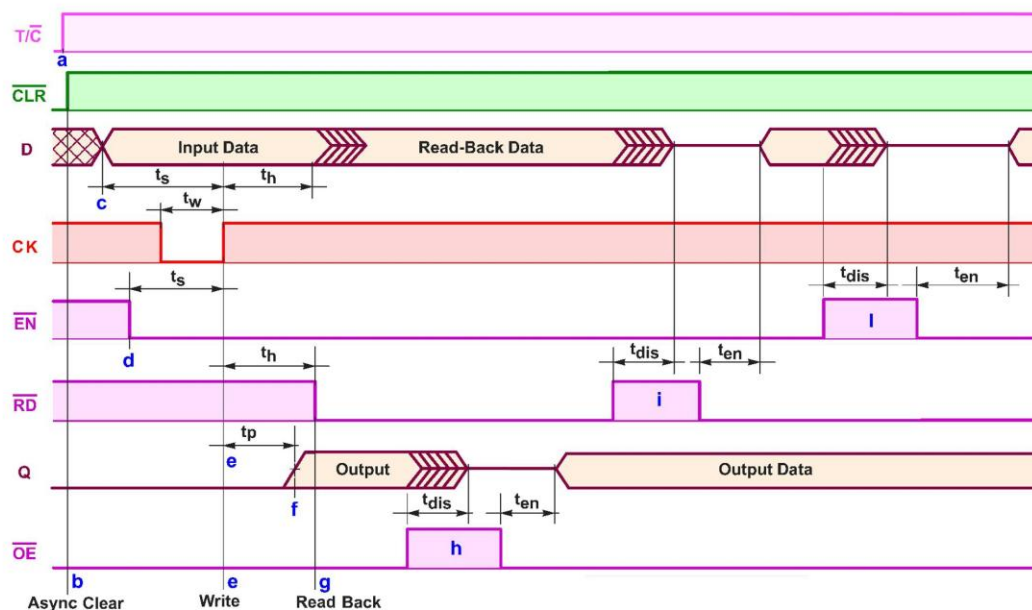


Figura 5 - 8-bit D-Type Edge-Triggered Read-Back, 74ALS996: Diagramma Temporale

Vediamo dunque di analizzarne i dettagli:

- il segnale T/C è predisposto collegato al polo positivo dell'alimentazione ($T/C=1$) così da garantire uscite non invertenti; da notare che la commutazione di questo segnale (non evidenziata nel diagramma) comporta un tempo massimo di propagazione (From T/C To Q) di 23 ns, per entrambe le transizioni (t_{PLH} e t_{PHL}); il segnale OE è qui supposto attivo (a 0 logico) per cui i valori correnti memorizzati sulle uscite interne Q dei Flip-Flops sono disponibili anche sulle corrispondenti uscite esterne del dispositivo;
- anche il segnale di Clear, dopo un breve istante a 0, viene commutato a 1 (presumibilmente con una rete di reset automatico): in questo modo le 8 uscite interne (ed esterne, essendo $OE=0$) sono poste tutte a zero, come si vede osservando la penultima traccia; i tempi massimi per operare la commutazione (From CRL To Q, essi pure non mostrati nel diagramma) sono pari a $t_{PLH}=27$ ns e $t_{PHL}=23$ ns;
- la terza traccia mostra il tipico aspetto di un Bus: la voluminosa figura rettangolare serve per rappresentare un fascio di più linee (8, nel nostro caso) senza necessariamente specificarne i singoli valori; all'inizio, il Bus d'ingresso porta Dati di valore imprevedibile (visualizzati con un tratteggio interno) ma se si desidera operare una memorizzazione, il nuovo Dato dovrà essere predisposto qualche tempo prima dell'arrivo del fronte attivo di clock; il tempo t_s rappresenta questo Setup Time (almeno di 15 ns, Data before CK rising edge), messo a confronto con il tempo t_w (Durata) durante il quale l'impulso di Clock deve rimanere basso prima di essere attivo;
- la possibilità di operare in scrittura o in lettura è subordinata alla presenza attiva del segnale EN, la cui azione abilita l'eventuale passaggio del fronte attivo di Clock e predispone il Bus d'ingresso (non ancora aperto) per la "rilettura indietro"; anche in questo caso è previsto un tempo minimo di Setup Time ($t_s=10$ ns, EN low before CK rising edge), da garantire prima dell'arrivo della transizione attiva di Clock;
- tutto è predisposto correttamente: arriva il fronte di salita di CK ed è operativa la fase di scrittura (Write);
- dopo il normale tempo di propagazione (massimo $t_{PLH}=28$ ns, From CK To Q) le uscite interne Q dei Flip-Flops si assestano al valore predisposto sugli ingressi di Dato e, da questo momento, sono a disposizione per essere poste su entrambi i Bus: essendo $OE=0$ esse sono già disponibili sul Bus d'uscita;
- la simulazione prevede ora la fase di lettura (Read Back): il segnale a ciò delegato, RD, viene attivato (posto a 0) facendo attenzione di attendere un tempo Hold Time di

almeno $t_H=5$ ns (*Enable low after CK rising edge*) prima di aprire il buffer 3-state d'ingresso, per essere certi che i circuiti coinvolti non creino conflitti sul Bus; dopo una breve fase di transizione sulla terza traccia D gli *Input Data* sono sostituiti dai *Read-Back Data*, copia esatta dei valori *Output* delle uscite interne, presenti sulla settima traccia Q.

Il diagramma temporale mostra ora le tre fasi possibili dopo l'avvenuta memorizzazione, cioè con Clock disattivo:

- h) mentre la "lettura indietro" è ancora in corso ($EN=0$ e $RD=0$) si decide di chiudere momentaneamente il Bus d'uscita, per poi riaprirlo dopo un po'..; il controllo è affidato a OE ed è caratterizzato da tempi massimi di propagazione ben precisi (*From OE To Q*): $t_{dis}=10$ ns (da logica attiva ad alta impedenza, dopo la transizione da 0 a 1 di OE) e $t_{en}=15$ ns (da alta impedenza a logica attiva, dopo la transizione da 1 a 0 di OE);
- i) con Bus d'uscita attivo ($OE=0$) si decide ora di chiudere e riaprire momentaneamente il Bus d'ingresso: questo servizio è affidato a due segnali, RD e EN, e per ottenerlo basta disattivarne o uno o l'altro; in questa fase il controllo sul Bus viene affidato a RD ed è caratterizzato da tempi massimi di propagazione (*From RD To D*) analoghi a quelli illustrati poco fa per OE: $t_{dis}=19$ ns (dopo la transizione da 0 a 1 di RD che chiude il Bus, forzandolo in ad alta impedenza) e $t_{en}=16$ ns (dopo la transizione da 1 a 0 di RD che riapre il Bus);
- j) la gestione del Bus d'ingresso utilizzando EN è perfettamente analoga; i tempi di propagazione (*From EN To D*) sono gli stessi di prima: $t_{dis}=19$ ns (per EN che va da 0 a 1, forzandolo il Bus in ad alta impedenza) e $t_{en}=16$ ns (per EN che va da 1 a 0, riaprendo il Bus).

La potenza massima dissipata dal **74ALS996** è di **425 mW**; la corrente massima I_{OL} assorbita in uscita è notevole, pari a ben **24 mA**; poiché il compito affidato ai componenti di questa categoria è quello di gestire la riletture in ingresso dei dati memorizzati è importante annotare anche la corrente massima assorbita in ingresso, $I_{OL}=8$ mA; di questo componente esiste anche la versione con la presenza, nella sigla, di un suffisso "-1", **74ALS996-1**, identica alla quella standard, salvo che la possibilità di gestire una corrente assorbita in uscita doppia, pari a **48 mA**.

La frequenza massima di lavoro è di **35 Mhz** e le specifiche in regime dinamico (con carico di **50pF/500ohm**) sono, in questa occasione, evidenziate dalla descrizione ampia e dettagliata del diagramma temporale di *Figura 5*.

Registri D-Latch Read-Back : 74LS666, 74LS667, 74LS990, 74LS991, 74LS992, 74LS993, 74LS994, 74LS995

Alla categoria dei Registri *Read-Back* appartiene anche una nutrita schiera di componenti strutturalmente simili a quello appena descritto ma supportati da memorie di tipo **D-Latch**; per tutti il segnale di sincronismo LE (*Latch Enable*) esercita la memorizzazione sul suo fronte di discesa, ma per tutto il tempo durante il quale è alto l'informazione presente sugli ingressi D viene trasferita continuamente sulle uscite Q, dando luogo alla situazione nota come "effetto trasparenza", non sempre tollerabile perchè può generare cambiamenti di stato indesiderati; al fine di evitare questa evenienza bisogna esser ben certi che gli ingressi D siano stabili e, al tempo stesso, è bene pensare al segnale di abilitazione LE come ad un brevissimo impulso a 1 (sostanzialmente racchiuso dai suoi 2 fronti di salita e di discesa, così da essere ritenuti pressoché coincidenti), breve ma non troppo, per dare alla memoria almeno il tempo per commutare.

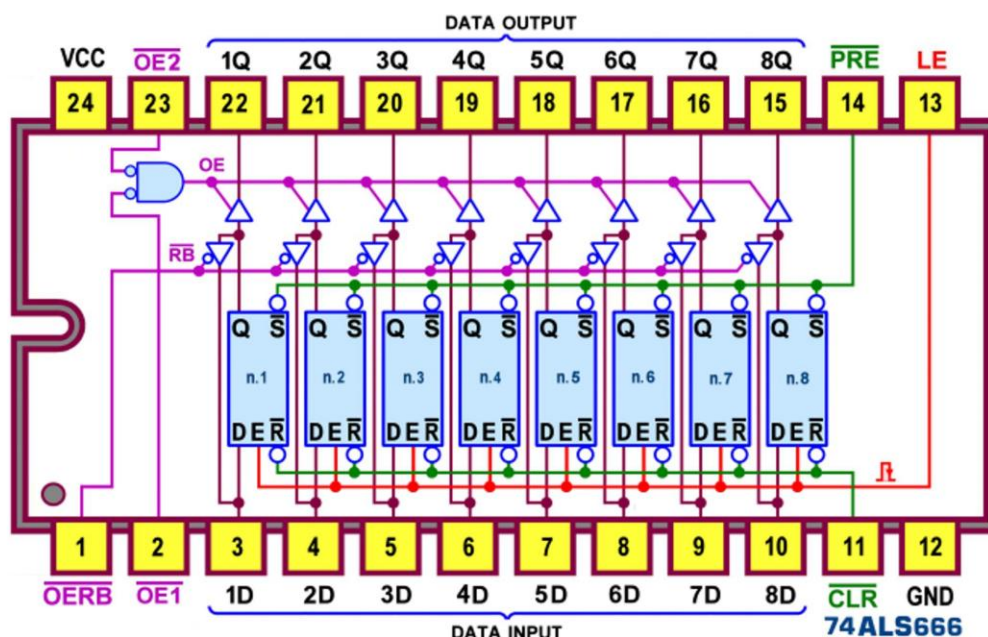


Figura 6 - 8-Bit Transparent Read-Back Latches, 74ALS666: Pin-out

Il componente più versatile del gruppo è certamente il **74ALS666** (detto **8-bit Transparent Read-Back Latches**) dotato di uscite non invertenti di tipo 3-state, in grado di garantire una grande capacità di pilotaggio nei confronti del carico presente sul Bus d'uscita; la *Figura 6* mostra il suo pinout.

La dotazione di controlli è per certi versi migliore di quella del componente realizzato con Flip-Flops **D-Type**, disponendo sia della linea di Clear (CLR) che di quella di Preset (PRE), entrambe attive basse e asincrone, così da risultare prioritarie rispetto all'azione di tutti gli altri segnali del dispositivo: con CLR=0 tutte le uscite interne Q sono azzerate, mentre con PRE=0 sono forzate alte.

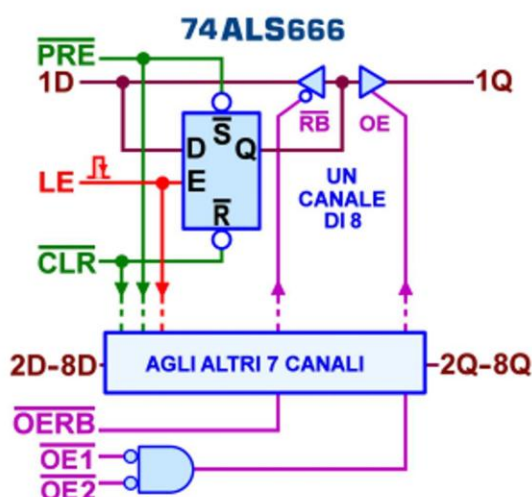


Figura 7 - 8-Bit Transparent Read-Back Latches, 74ALS666: Schema funzionale

La sua struttura è comunque meno complessa e la *Figura 7* ne sintetizza lo *schema funzionale*; mentre il segnale di Abilitazione dei Latches (*Latch Enable*, LE) è alto, le uscite interne Q del

Registro Latch inseguono i dati dei rispettivi ingressi D, memorizzando quello presente nell'istante corrispondente al fronte di discesa di LE, a disposizione di un Bus unidirezionale d'uscita, e mantenendolo per tutto il tempo in cui rimane a 0.

La caratteristica di consentire la rilettura dei dati memorizzati verso il Bus bidirezionale d'ingresso (tipica della categoria) è ora garantita dal solo segnale *Output Enable Read Back*: se $OERB=0$ il buffer 3-state sarà in grado di collegare le uscite Q dei Latches con i rispettivi ingressi, mentre in caso contrario ($OERB=1$) sarà forzato in alta impedenza, rendendo impossibile la lettura verso il Bus di input, isolando le uscite interne dagli ingressi; naturalmente lo stato di $OERB$ non influenza il funzionamento dei Latches, ma deve essere usato con cautela per evitare conflitti sul Bus.

L'eventuale trasferimento del dato memorizzato verso il Bus unidirezionale d'uscita è gestito da un secondo buffer 3-state non invertente il cui controllo è affidato ora a due linee di *Output Enable*, OE1 e OE2, che devono essere entrambe attive (basse) per consentirne il passaggio; se o una o l'altra o entrambe sono a 1 logico le uscite del dispositivo sono forzate in alta impedenza, lasciando comunque indifferente il funzionamento interno del Registro, che continuerà a mantenere i vecchi dati oppure a sostituirli con quelli nuovi eventualmente in arrivo dall'ingresso.

Lo *schema pratico* è disponibile in Figura 8 e quello con il *simbolo logico* previsto dallo *standard IEEE* è mostrato in Figura 9; la spiegazione di quest'ultimo è facilmente riconducibile a quella del **74ALS996**.

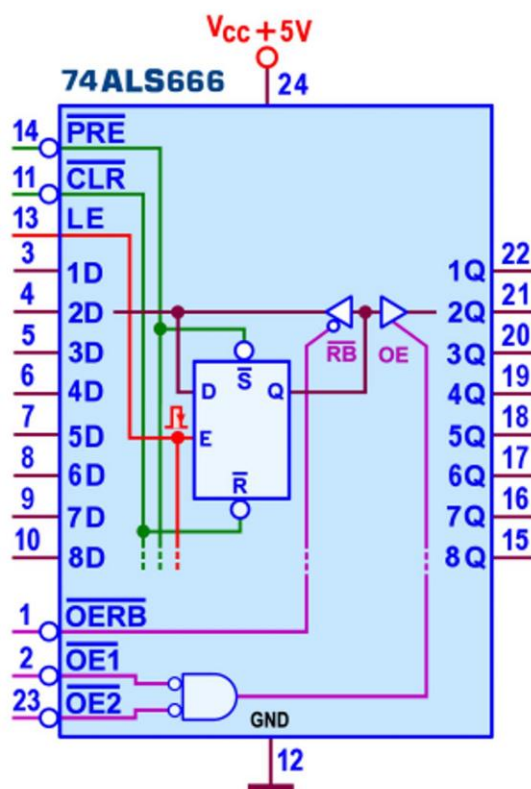


Figura 8 - 8-Bit Transparent Read-Back Latches, 74ALS666: Schema pratico

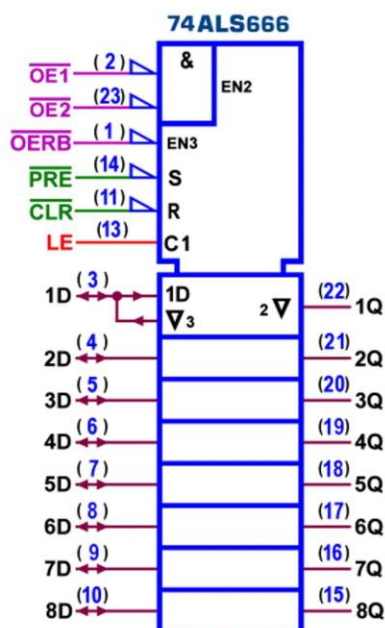


Figura 9 - 8-Bit Transparent Read-Back Latches, 74ALS666: Simbolo logico ANSI/IEEE Std. 91-1984

Per operare un confronto in *Figura 10* è disponibile il diagramma temporale anche per la versione del Registro *Read-Back* a 8 bit fatto con Latches, nel quale si suppone che i comandi asincroni CLR e PRE siano entrambi non attivi (cioè CLR=1 e PRE=1) e che le uscite siano permanentemente abilitate (cioè che entrambe le linee di *Output Enable* siano attive, OE1=0 e OE2=0).

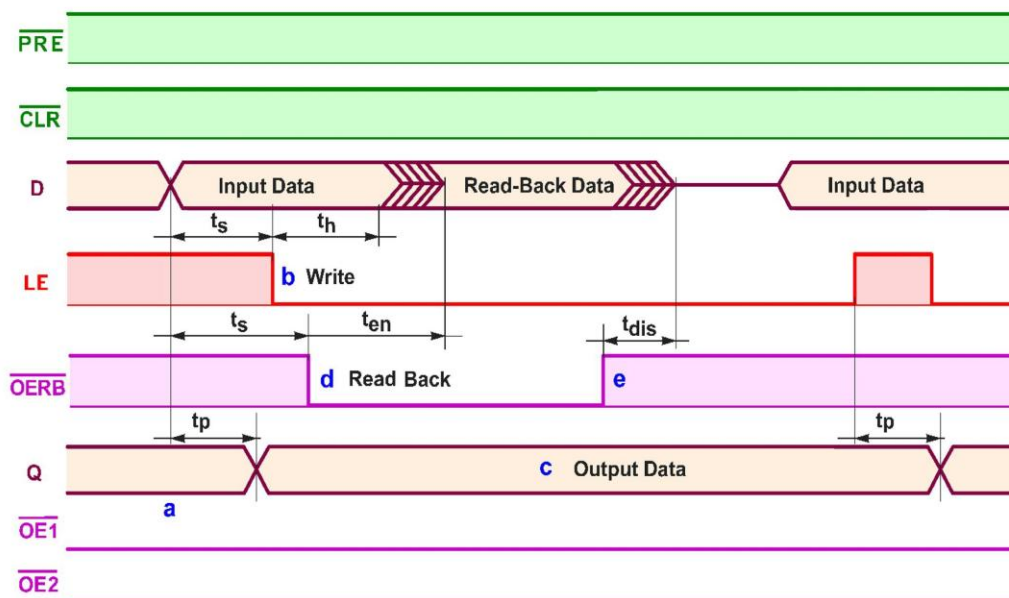


Figura 10 - 8-bit Transparent Read-Back Latches, 74ALS666: Diagramma Temporale

In dettaglio: **a)** la sesta traccia mostra il Bus unidirezionale d'uscita e, fin tanto che LE=1, il suo contenuto è lo stesso di quello presente sulla terza traccia, relativa al Bus Dati d'ingresso, tenendo conto del legittimo tempo di propagazione t_p (From D To Q), al massimo pari a

$t_{PLH}=14$ ns e $t_{PHL}=18$ ns) ; **b)** quando si decide di memorizzare il Dato corrente, prima dell'arrivo del fronte di discesa di LE è necessario essere certi di lasciare passare un *Setup Time* (t_s , *Data before LE falling edge*) di almeno 10 ns ed è buona norma attendere un tempo *Hold Time* (t_h , *Enable low after LE falling edge*) di almeno 5 ns, prima di toglierlo dal Bus; il tempo di propagazione (*From LE To Q*) necessario per agganciare il dato in uscita è al massimo pari a 21 ns, per entrambe le transizioni, t_{PLH} e t_{PHL} ; **c)** per tutto il tempo durante il quale $LE=0$ le memorie Latches terranno bloccato il dato sul Bus d'uscita; **d)** con questa situazione viene attivata la fase di *Read Back*, forzando a 0 il segnale OERB che la governa: anche in questo caso va garantito un *Setup Time* (t_s , *DATA before OERB*) minimo di 10 ns, e bisogna attendere un tempo massimo (*From OERB To D*) $t_{en}=21$ ns dopo la transizione da 1 a 0 di OERB che riapre il Bus); **e)** il Bus d'ingresso può essere chiuso in ogni momento, riportando OERB a 1, tenendo conto che esso andrà in alta impedenza dopo un tempo massimo (sempre *From OERB To D*) $t_{dis}=14$ ns.

La potenza massima dissipata dal **74ALS666** è di **365 mW**; la corrente massima I_{OL} assorbita in uscita è ancora di **24 mA** e quella massima assorbita in ingresso, $I_{OL}=8$ mA; molte delle specifiche dinamiche (con carico di **50pF/500ohm**) sono state indicate nella descrizione del diagramma temporale; aggiungiamo i ritardi di propagazione massimi necessari per assestare le uscite a 0 dopo l'azione di Clear ($t_{PHL}=29$ ns) e per assestare le uscite a 1 dopo l'azione di Preset ($t_{PLH}=22$ ns).

Il **SN74ALS667** è la versione dello stesso dispositivo (**8-bit Transparent Read-Back Latches**) con uscite 3-state invertenti; la *Figura 11* mostra il suo *pin-out* e la sua organizzazione interna.

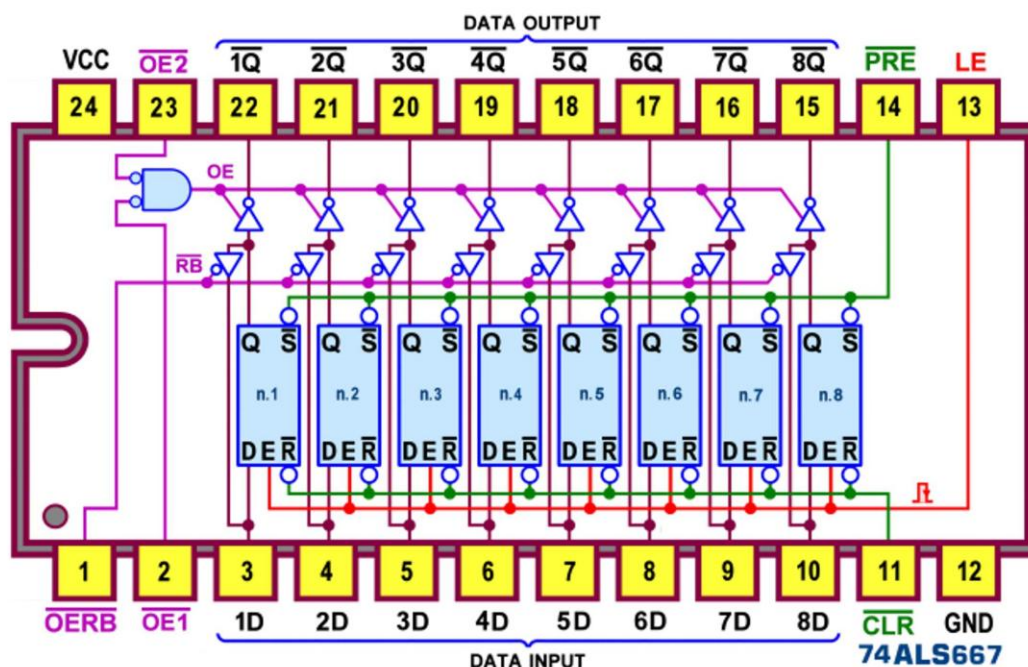


Figura 11 - 8-Bit Transparent Read-Back Latches, 74ALS667: Pin-out

Per esso valgono esattamente tutte le considerazioni fatte per la versione con uscite non invertenti; in particolare gli *schemi funzionale* e *pratico* sono i medesimi di prima con la semplice aggiunta del pallino (simbolo di negazione) sul buffer 3-state d'uscita e con la logica presenza del trattino sopra le lettere dei segnali d'uscita (essi pure sinonimo di negazione).

Lo schema funzionale di Figura 11bis e lo schema pratico di Figura 11ter evidenziano come la nuova situazione delle uscite.

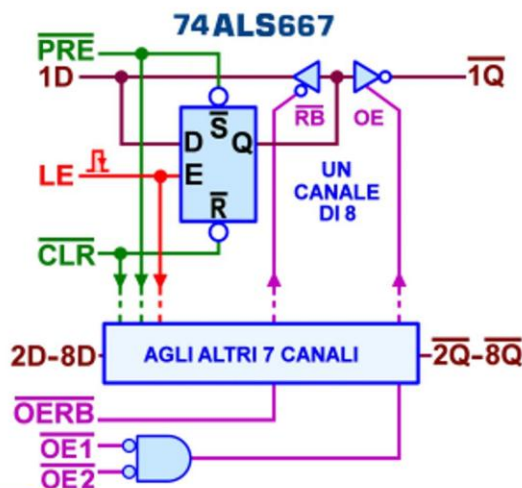


Figura 11 bis - 8-Bit Transparent Read-Back Latches, 74ALS667: Schema funzionale

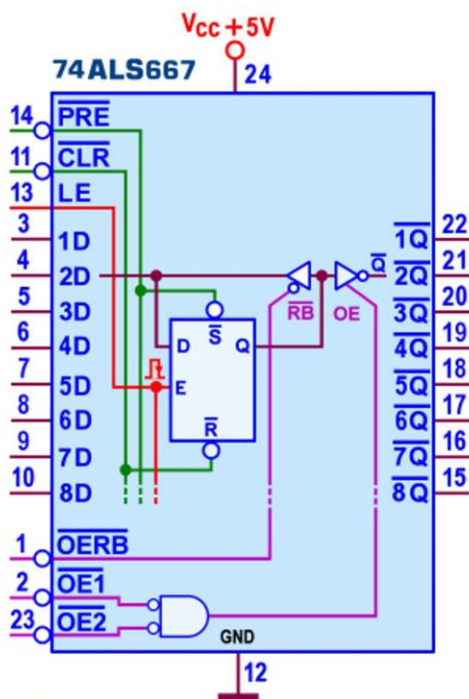


Figura 11 ter - 8-Bit Transparent Read-Back Latches, 74ALS667: Schema pratico

Per la sua tipicità riportiamo invece il simbolo IEEE (Figura 12), dal quale si possono apprezzare le differenze imposte dagli inverter del buffer 3-state.

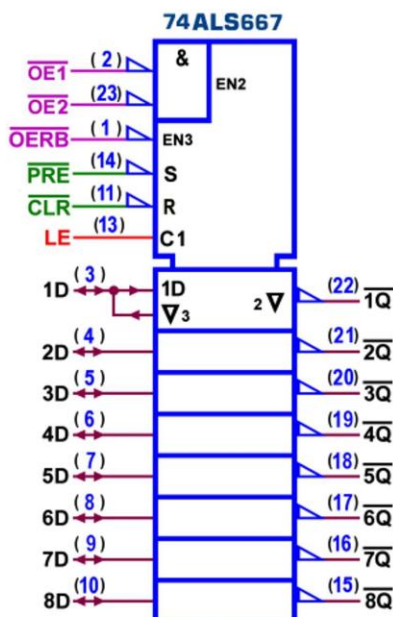


Figura 12 - 8-Bit Transparent Read-Back Latches, 74ALS667: Simbolo logico ANSI/IEEE Std. 91-1984

La potenza massima dissipata dal **74ALS667** è di **395 mW**; la corrente massima I_{OL} assorbita è sempre di **24 mA** (in uscita) e di **8 mA** (in ingresso); i tempi di propagazione massimi sono $t_{PLH}=20$ ns e $t_{PHL}=15$ ns (tra Dato e uscita Q), $t_{PLH}=28$ ns e $t_{PHL}=22$ ns (tra LE e uscita Q), $t_{PHL}=24$ ns (su ogni Q dopo l'azione di Clear) e $t_{PLH}=25$ ns (su ogni Q dopo l'azione di Preset); i tempi di *Setup Time* e di *Hold Time* sono gli stessi di prima.

Un'altra versione di *Registro Read-Back* a 8 bit è il **SN74ALS990**, dotato di uscite bufferizzate non invertenti ma ora senza la possibilità del controllo 3-state; la *Figura 13* mostra il suo *pin-out* e la sua organizzazione interna, basata sulla presenza di 8 elementi di memoria di tipo **D-Latch**.

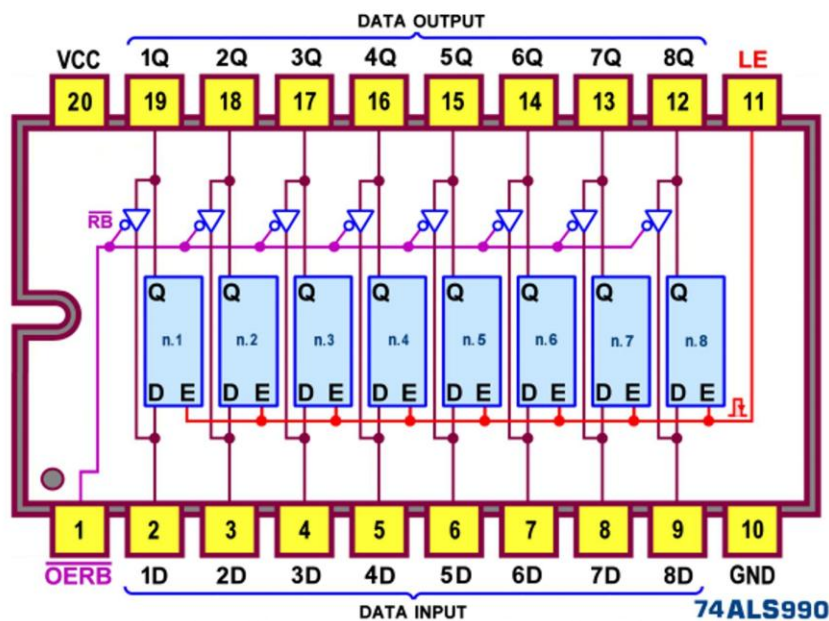


Figura 13 - 8-Bit Transparent Read-Back Latches, 74ALS990: Pin-out

Lo *schema funzionale* (Figura 14) è molto semplice, rispetto a quello dei dispositivi descritti in precedenza; la sua struttura essenziale assicura comunque entrambe le fasi di scrittura delle uscite, mediante la classica linea di *Latch Enable*, LE, e di lettura dei dati presenti in uscita verso il Bus d'ingresso (Read back), garantita dall'azione della linea d'ingresso *Output Enable*, OERB, attiva bassa.

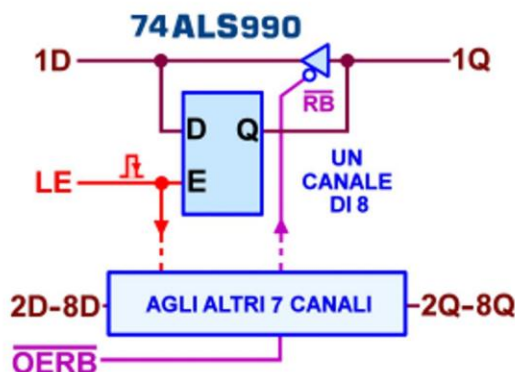


Figura 14 - 8-Bit Transparent Read-Back Latches, 74ALS990: Schema funzionale

Quando la linea LE è alta, le uscite Q inseguono i dati D presenti in ingresso, mentre con LE=0 gli 8 Latches memorizzano il dato agganciato nella transizione da alto a basso di LE.

Con la linea OERB è attiva (OERB=0) ai Dati presenti sulle uscite Q dei Latches è permesso di tornare di nuovo sul Bus d'ingresso, mentre se OERB=1 i buffer 3-state del medesimo Bus sono forzati in alta impedenza, cosicché le uscite Q risultano isolate dagli ingressi D; sebbene questa linea non influenzi il funzionamento interno delle memorie è bene utilizzarla con le dovute precauzioni, per non creare conflitti sul Bus.

La Figura 15 propone lo *schema pratico* e la Figura 16 mostra il *simbolo logico* previsto dallo standard IEEE.

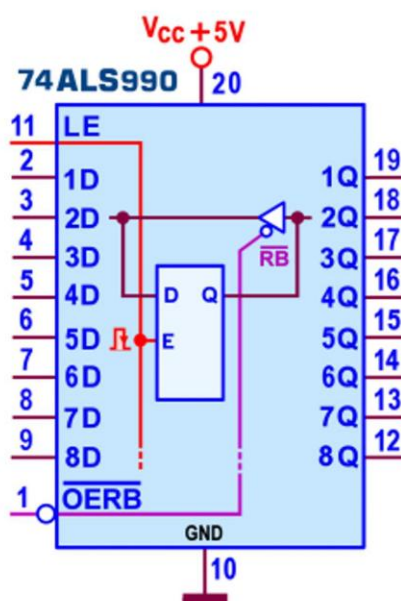


Figura 15 - 8-Bit Transparent Read-Back Latches, 74ALS990: Schema pratico

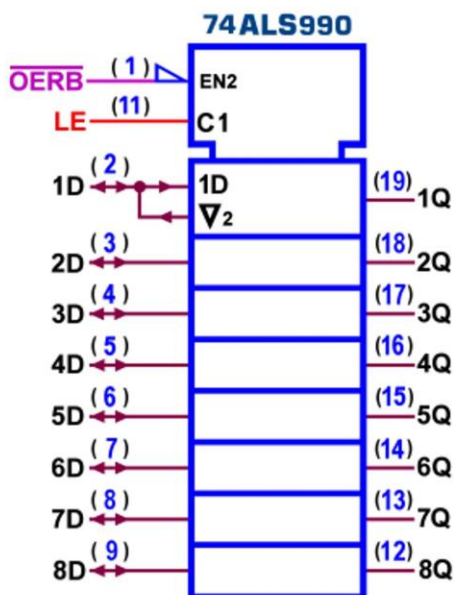


Figura 16 - 8-Bit Transparent Read-Back Latches, 74ALS990: Simbolo logico ANSI/IEEE Std. 91-1984

La potenza massima dissipata dal **74ALS990** è di **350 mW**; la corrente massima I_{OL} assorbita è ancora di **24 mA** (in uscita) e di **8 mA** (in ingresso); le specifiche in regime dinamico (con carico di **50pF/500ohm**) i tempi di propagazione massimi sono $t_{PLH}=17$ ns e $t_{PHL}=24$ ns (tra Dato e uscita Q) e 26 ns (tra LE e uscita Q) per entrambe le transizioni; il valore minimo di Setup Time è $t_s=10$ ns, mentre quello di Hold Time è $t_H=5$ ns.

Il componente **SN74ALS991** è la versione con uscite invertenti del **Registro Read-Back** a 8 bit appena descritto; la Figura 17 mostra il suo pin-out.

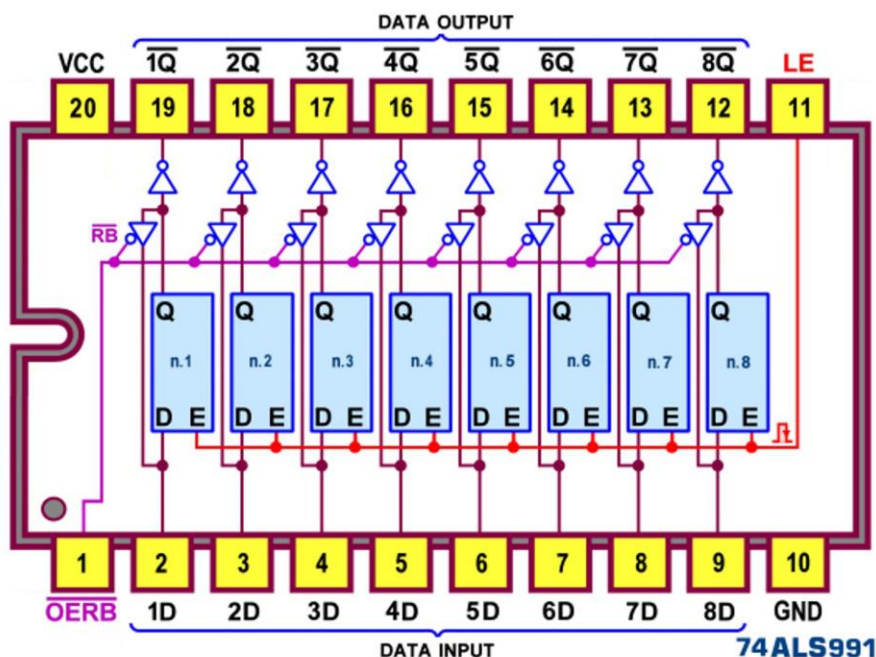


Figura 17 - 8-Bit Transparent Read-Back Latches, 74ALS991: Pin-out

Da essa si nota la presenza del NOT chiamato ad invertire la logica dell'uscita di ciascun Latch e la conseguente presenza del trattino sopra la lettera Q dei segnali d'uscita (sinonimo di negazione); tenendo presente le stesse piccole varianti rimangono validi gli *schemi funzionale* e *pratico* e il *simbolo IEEE*, nonché tutte le considerazioni fatte per la versione con uscite non invertenti.

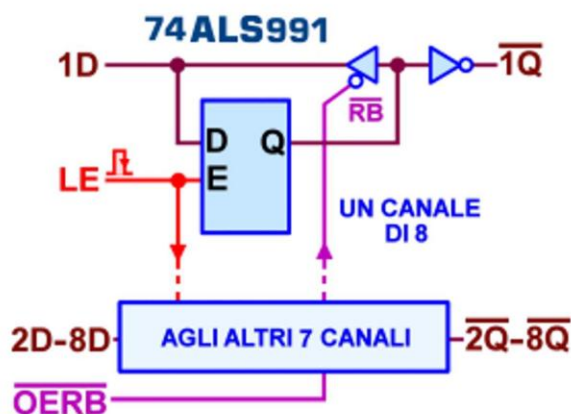


Figura 17bis - 8-Bit Transparent Read-Back Latches, 74ALS991: Schema funzionale

Lo *schema funzionale* di Figura 17bis e lo *schema pratico* di Figura 17ter evidenziano come la nuova situazione delle uscite.

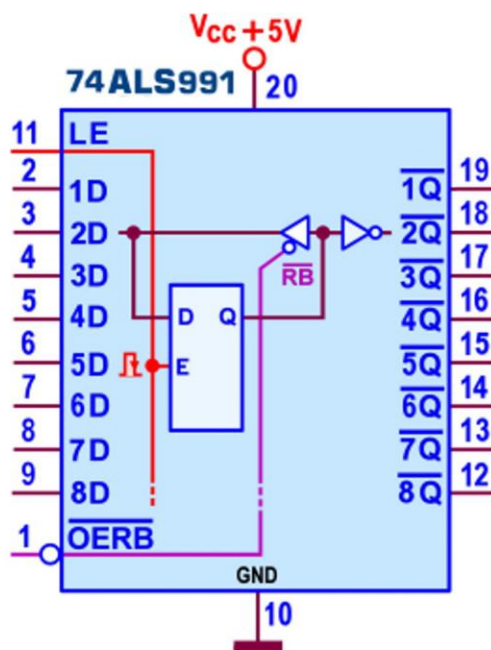


Figura 17ter - 8-Bit Transparent Read-Back Latches, 74ALS991: Schema pratico

La *Figura 17quater* mostra il *simbolo IEEE*, dal quale si possono apprezzare le differenze imposte dagli inverter sulle uscite.

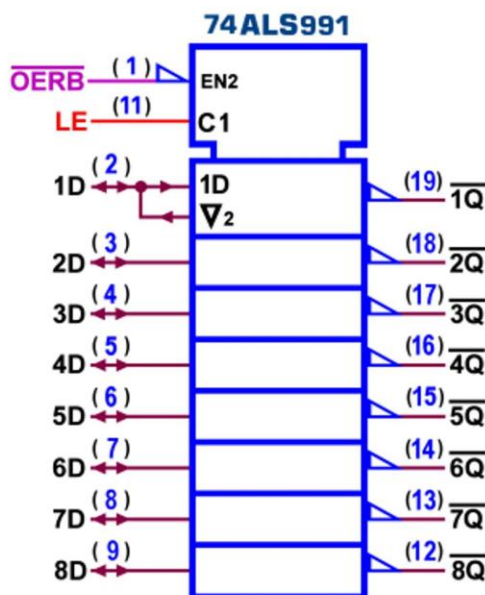


Figura 17quater - 8-Bit Transparent Read-Back Latches, 74ALS991: Simbolo logico ANSI/IEEE Std. 91-1984

La potenza massima dissipata dal **74ALS991** è di **375 mW**; la corrente massima I_{OL} assorbita è sempre di **24 mA** (in uscita) e di **8 mA** (in ingresso); i tempi di propagazione massimi sono $t_{PLH}=15$ ns e $t_{PHL}=12$ ns (tra Dato e uscita Q) e $t_{PLH}=21$ ns e $t_{PHL}=18$ ns (tra LE e uscita Q); il valore minimo di *Setup Time* = $t_s=10$ ns, mentre quello di *Hold Time* = $t_h=5$ ns.

Il componente **SN74ALS994** si avvale della stessa struttura logica del **SN74ALS990** ma è in grado di gestire 10 bit invece di 8; le sue uscite sono non invertenti e senza controllo 3-state e il chip che lo ospita deve disporre di più piedini, passando da 20 a 24, come si vede suo *pin-out*, mostrato in *Figura 18*.

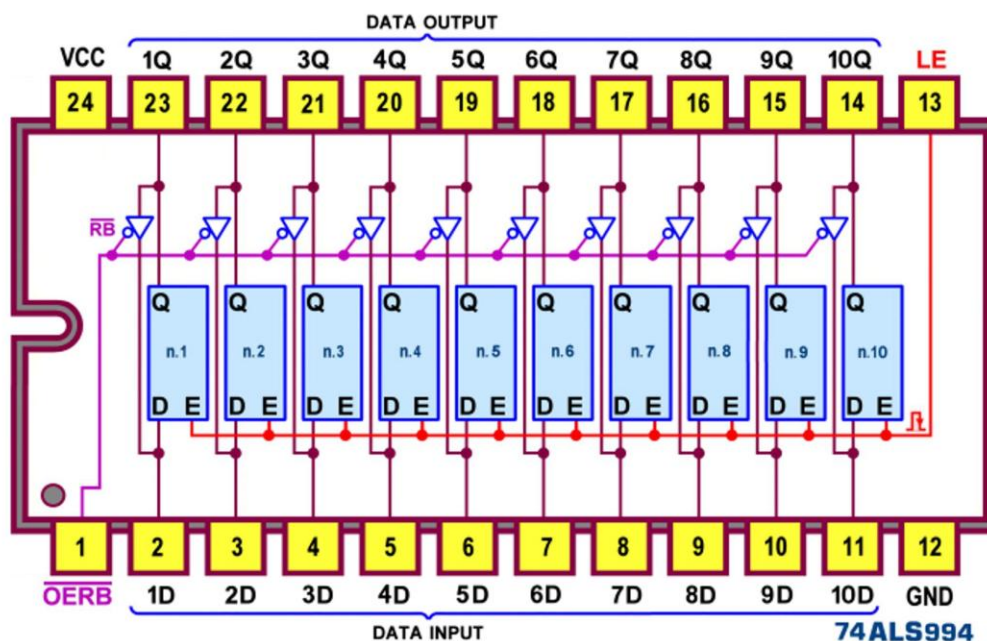


Figura 18 - 10-Bit Transparent Read-Back Latches, 74ALS994: Pin-out

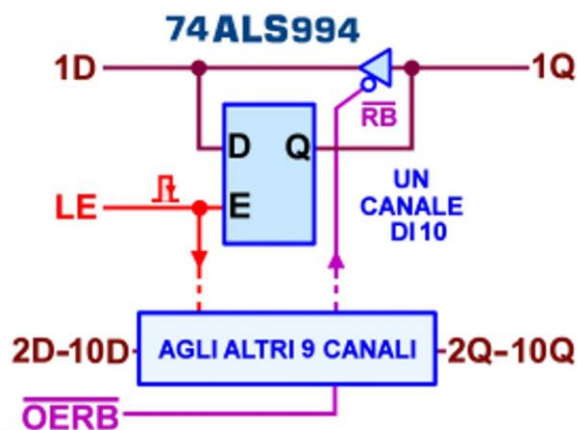


Figura 18bis - 10-Bit Transparent Read-Back Latches, 74ALS94: Schema funzionale

Lo schema funzionale è visibile in Figura 18bis, lo schema pratico in Figura 18ter e il simbolo IEEE in Figura 18quater.

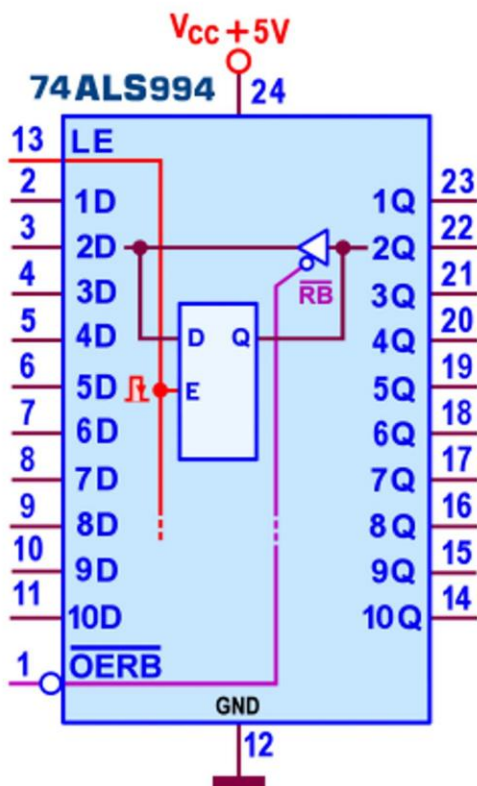


Figura 18ter - 10-Bit Transparent Read-Back Latches, 74ALS94: Schema pratico

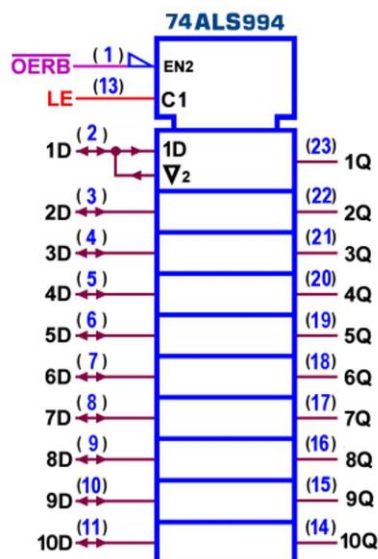


Figura 18quater - 10-Bit Transparent Read-Back Latches, 74ALS994: Simbolo logico ANSI/IEEE Std. 91-1984

La potenza massima dissipata dal **74ALS994** è di **410 mW**; la corrente massima I_{OL} assorbita è ancora di **24 mA** (in uscita) e di **8 mA** (in ingresso); le specifiche in regime dinamico (con carico di **50pF/500ohm**) i tempi di propagazione massimi sono $t_{PLH}=10$ ns e $t_{PHL}=15$ ns (tra Dato e uscita Q) e $t_{PLH}=16$ ns e $t_{PHL}=21$ ns (tra LE e uscita Q); il valore minimo di *Setup Time*= $t_S=10$ ns, mentre quello di *Hold Time*= $t_H=5$ ns.

Il componente **SN74ALS995** è la versione del precedente con uscite invertenti; la Figura 19 mostra il suo *pin-out*.

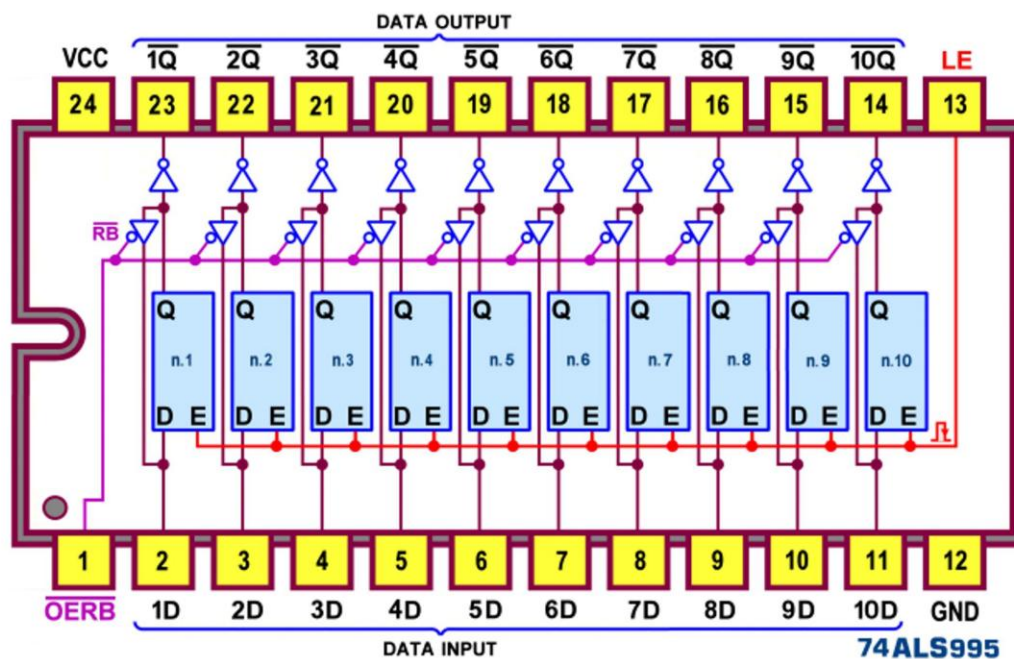


Figura 19 - 10-Bit Transparent Read-Back Latches, 74ALS995: Pin-out

Lo schema funzionale di Figura 19bis e lo schema pratico di Figura 19ter evidenziano come la nuova situazione delle uscite.

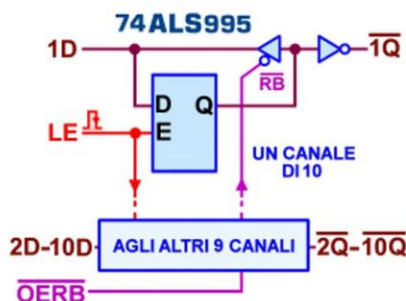


Figura 19bis - 10-Bit Transparent Read-Back Latches, 74ALS995: Schema funzionale

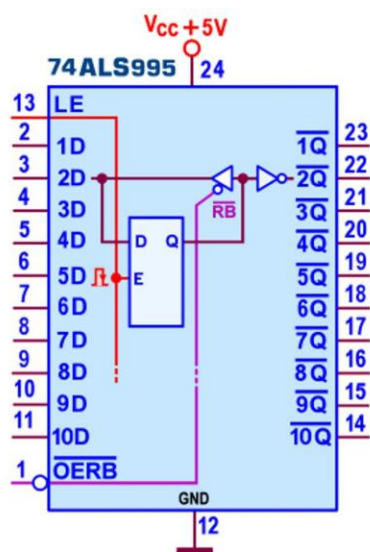


Figura 19ter - 10-Bit Transparent Read-Back Latches, 74ALS995: Schema pratico

Il simbolo IEEE in Figura 19quater.

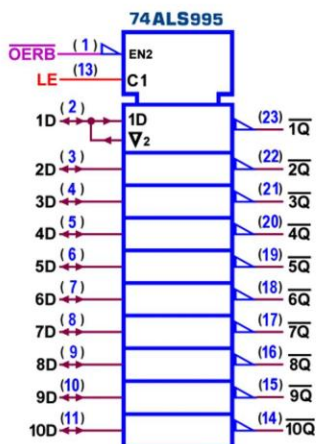


Figura 19quater - 10-Bit Transparent Read-Back Latches, 74ALS995: Simbolo logico ANSI/IEEE Std. 91-1984

La potenza massima dissipata dal **74ALS995** è di **410 mW**; la corrente massima I_{OL} assorbita è ancora di **24 mA** (in uscita) e di **8 mA** (in ingresso); le specifiche in regime dinamico (con carico di **50pF/500ohm**) i tempi di propagazione massimi sono $t_{PLH}=16$ ns e $t_{PHL}=12$ ns (tra Dato e uscita Q) e $t_{PLH}=23$ ns e $t_{PHL}=19$ ns (tra LE e uscita Q); il valore minimo di *Setup Time*= $t_s=10$ ns, mentre quello di *Hold Time*= $t_H=5$ ns.

Per entrambi valgono le considerazioni fatte per la coppia **SN74ALS990/SN74ALS991**, alla quale possiamo far riferimento per le caratteristiche statiche e dinamiche e per gli *schemi funzionali* e i *simboli IEEE*; per sintetizzare meglio queste premesse la *Figura 20* mostra i rispettivi *schemi pratici*.

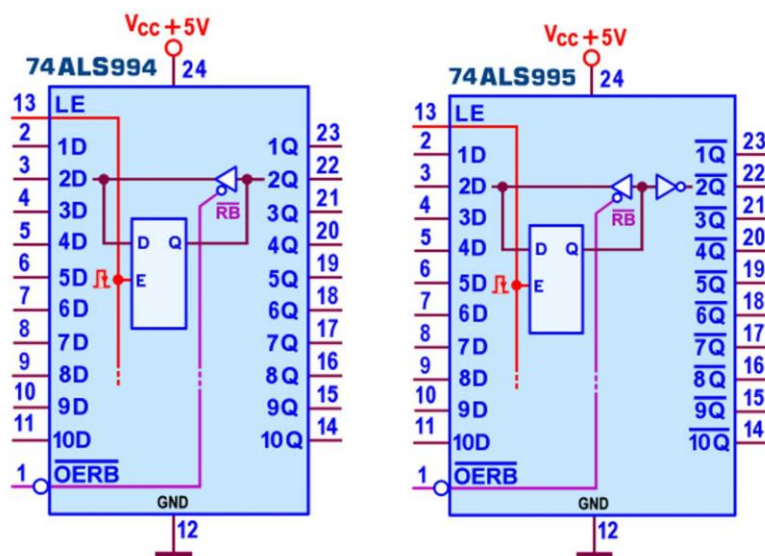


Figura 20 - 10-Bit Transparent Read-Back Latches, 74ALS994 e 74ALS995: Schema pratico

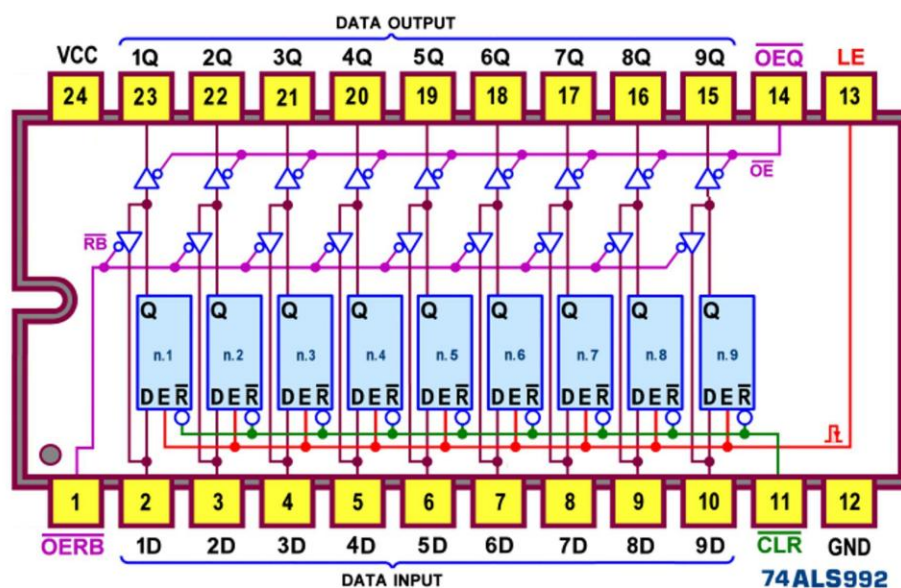


Figura 21 - 9-Bit Transparent Read-Back Latches, 74ALS992: Pin-out

Per concludere la rassegna vediamo ora la coppia **SN74ALS992** (*pin-out* in *Figura 21*) e **SN74ALS993** (*pin-out* in *Figura 22*), entrambi **Transparent Read-Back Latches** a **9-bit**,

dotati di uscite bufferizzate di tipo 3-state, non invertenti per il primo e invertenti per il secondo.

La logica disponibile è riconducibile a quella del **SN74ALS666**, visto in precedenza, essendo dotato del controllo asincrono di Clear (CLR, ma non di quello di Preset), in grado (se attivo, basso, cioè con CLR=0) di forzare a zero tutte le uscite interne Q.

La sua struttura è comunque sostanzialmente la solita: faremo riferimento al primo dei due, tenendo conto che il secondo differisce dal primo solo per la presenza di uscite negate.

La *Figura 22* ne sintetizza lo *schema funzionale*: mentre il segnale di Abilitazione dei Latches (*Latch Enable*, LE) è alto le uscite interne Q dei 9 Latches inseguono i dati dei rispettivi ingressi D; quello presente in presenza del fronte di discesa di LE sarà memorizzato e lasciato a disposizione di un Bus unidirezionale d'uscita per tutto il tempo durante il quale LE=0.

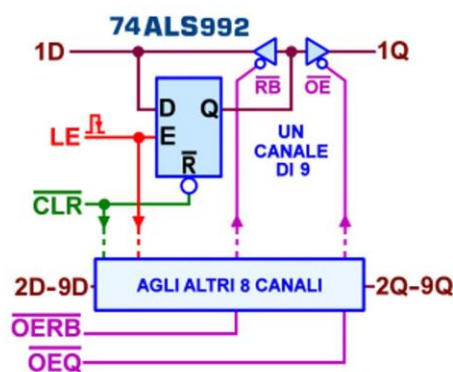


Figura 22 - 9-Bit Transparent Read-Back Latches, 74ALS992: Schema funzionale

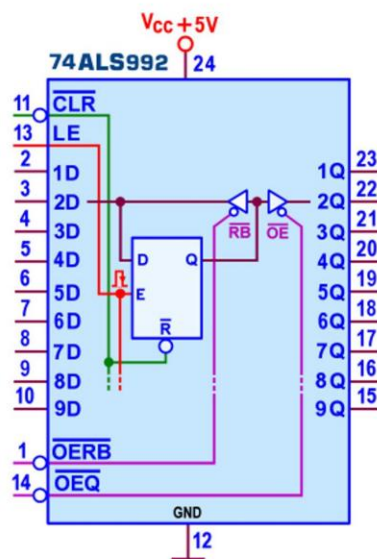


Figura 23 - 9-Bit Transparent Read-Back Latches, 74ALS992: Schema pratico

Se il segnale *Output Enable Read Back* è posto a 0 le uscite interne Q dei Latches saranno collegate con i rispettivi ingressi, assicurando la funzione di rilettura dei dati in uscita verso il Bus bidirezionale d'ingresso; con OERB=1 il buffer 3-state sarà invece forzato in alta impedenza, rendendola impossibile; di certo la linea OERB non influenza i Latches, ma (per evitare conflitti sul Bus) deve essere usata con attenzione.

Il passaggio del dato memorizzato verso il Bus unidirezionale d'uscita è reso possibile forzando a 0 la linea di *Output Enable*, ($OEQ=0$); in caso contrario ($OEQ=1$) il buffer 3-state d'uscita è forzate in alta impedenza.

La Figura 23 propone lo schema pratico e la Figura 24 mostra il simbolo logico previsto dallo standard IEEE.

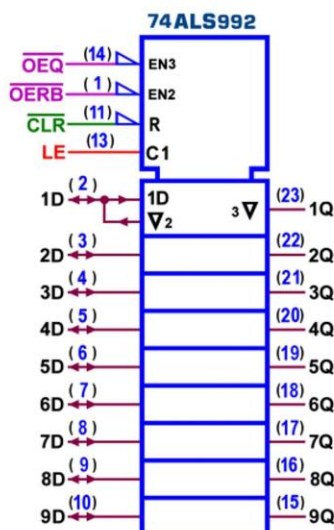


Figura 24 - 9-Bit Transparent Read-Back Latches, 74ALS992: Simbolo logico ANSI/IEEE Std. 91-1984

La potenza massima dissipata dal **74ALS992** è di **400 mW**; la corrente massima I_{OL} assorbita è ancora di **24 mA** (in uscita) e di **8 mA** (in ingresso); le specifiche in regime dinamico (con carico di **50pF/500ohm**) i tempi di propagazione massimi sono $t_{PLH}=10$ ns e $t_{PHL}=13$ ns (tra Dato e uscita Q), $t_{PLH}=15$ ns e $t_{PHL}=19$ ns (tra LE e uscita Q) e $t_{PHL}=16$ ns (per assestare le uscite a 0 dopo l'azione di Clear); il valore minimo di *Setup Time*= $t_s=10$ ns, mentre quello di *Hold Time*= $t_H=5$ ns trascurabile.

La potenza massima dissipata da entrambi i componenti è di **400 mW** e le caratteristiche statiche e dinamiche sono riconducibili alle versioni a 8 e 10 bit.

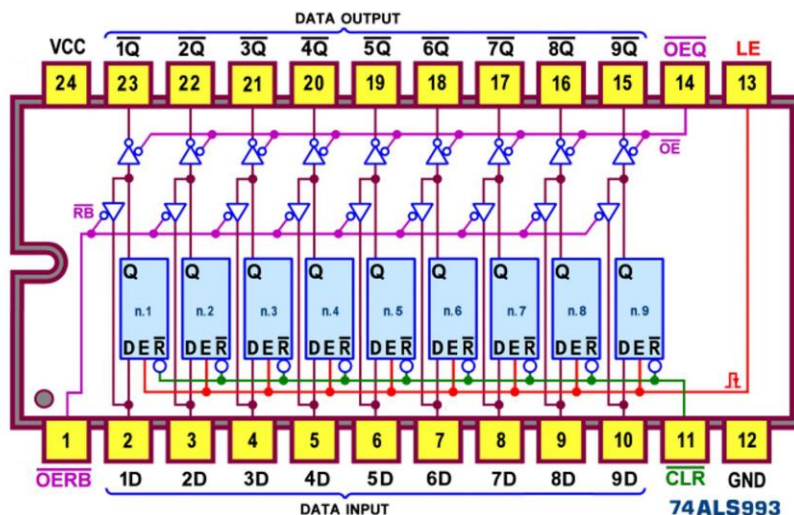


Figura 22 - 9-Bit Transparent Read-Back Latches, 74ALS993: Pin-out

Il componente **SN74ALS993** è funzionalmente identico al precedente ma è dotato di uscite bufferizzate invertenti, sempre 3-state; la Figura 22 mostra il suo pin-out.

Lo schema funzionale di Figura 22bis, lo schema pratico di Figura 22ter e il simbolo IEEE in Figura 22quater evidenziano come la nuova situazione delle uscite.

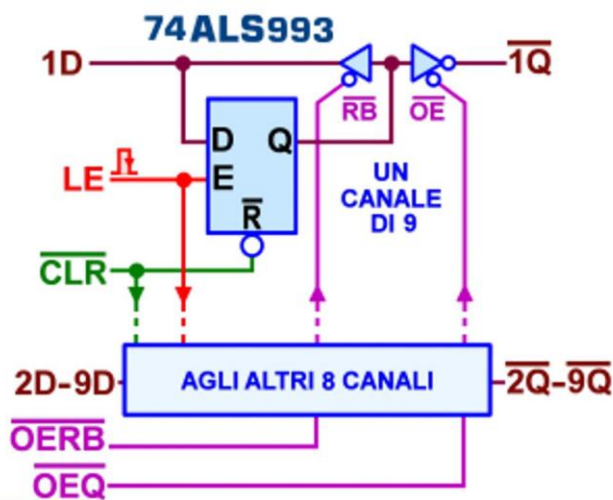


Figura 22bis - 9-Bit Transparent Read-Back Latches, 74ALS993: Schema funzionale

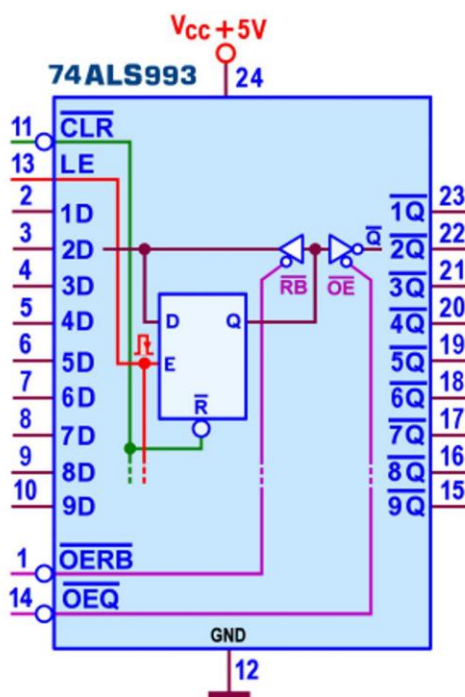


Figura 22ter - 9-Bit Transparent Read-Back Latches, 74ALS993: Schema pratico

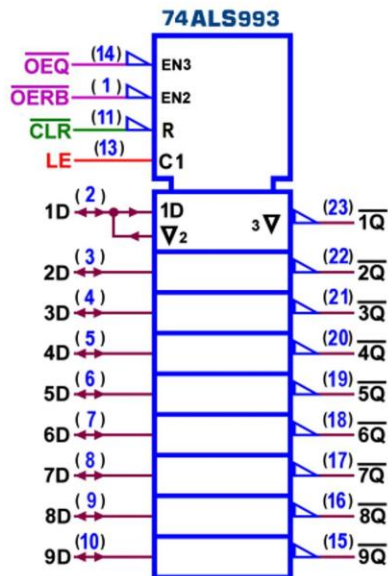


Figura 22quater - 9-Bit Transparent Read-Back Latches, 74ALS993: Simbolo logico ANSI/IEEE Std. 91-1984

La potenza massima dissipata dal **74ALS993** è di **400 mW**; la corrente massima I_{OL} assorbita è ancora di **24 mA** (in uscita) e di **8 mA** (in ingresso); le specifiche in regime dinamico (con carico di **50pF/500ohm**) i tempi di propagazione massimi sono $t_{PLH}=14$ ns e $t_{PHL}=11$ ns (tra Dato e uscita Q), $t_{PLH}=20$ ns e $t_{PHL}=16$ ns (tra LE e uscita Q) e $t_{PHL}=13$ ns (per assestare le uscite a 0 dopo l'azione di Clear); il valore minimo di *Setup Time*= $t_s=10$ ns, mentre quello di *Hold Time*= $t_H=5$ ns trascurabile.