



di GIORGIO OBER (GIOBE2000)

l'angolo di Mr A.KEER



(parte ventunesima)

PROGETTARE con le PORTE LOGICHE

Il Latch D (seconda parte)

Completiamo in questa puntata la rassegna degli elementi di memoria di tipo D-Latch, introducendo due curiose varianti e analizzando in dettaglio i componenti commerciali della serie Cmos.

Abbiamo visto che gli elementi di memoria di tipo **D-Latch**, caratterizzati da una linea di Abilitazione attiva sui livelli (**Level Triggered**), si comportano in modo "trasparente", obbligando la loro uscita Q ad *inseguire* il valore corrente dell'ingresso D; solo quando la linea di controllo viene disattivata il *Latch* aggancia il livello logico assunto in quel momento da D, copiandolo in uscita e mantenendolo per tutto il tempo in cui rimane disattivo.

Riprendiamo ora l'argomento proponendo alcune varianti funzionali di particolare interesse.

Addressable D-Latch (TTL): 74LS256, 74LS259

Ci sono dispositivi di memoria di tipo **D-Latch** dalla strana architettura; come quelli classici contengono ancora **Registri** con 4 (o 8) elementi singoli, ma dispongono di un solo ingresso di dato D, il cui valore viene spedito (indirizzato) verso una delle 4 (o 8) uscite Q con il supporto di 2 (o 3) linee d'indirizzo.

In concreto la loro struttura "ingresso-serie,uscita parallela" fa pensare ad essi come a un *demultiplexer con memoria*.

Quelli della serie TTL dispongono di 2 linee di controllo attive basse, dette Enable (E) e Clear (CL); le 4 possibili combinazioni del loro stato logico assicurano altrettanti diversi modi di funzionamento: **a) azzeramento** [*Clear Mode*]: con Abilitazione non attiva e Clear attiva (E=1, CL=0) tutte le uscite sono forzate a 0, indipendentemente dai valori assunti dagli altri ingressi, D e A0, A1 (e A2, con 8 bit); **b) inserimento dati** [*Demultiplexing Mode*]: con controlli entrambi attivi (E=0, CL=0) tutte le uscite sono a 0 meno quella puntata dal Demultiplexer interno (da 1 a 4 o da 1 a 8), in virtù del valore binario predisposto sulle linee d'indirizzo A0, A1 (ed eventuale A2), sulla quale verrà convogliato il valore corrente dell'ingresso dato D; **c) uscita trasparente** [*Addressable Latch Mode*]: con Enable attiva e Clear disattiva (E=0, CL=1) l'uscita Q selezionata dagli ingressi d'indirizzo assume il valore corrente dell'ingresso dato D, confermando la caratteristica trasparenza delle memorie di questo tipo; tutte le altre uscite (non indirizzate) rimarranno stabili nel loro stato precedente; **d) memorizzazione dati** [*Memory Mode*]: con Clear non attiva, non appena anche Enable

passa a 1 ($E=1$, $CL=1$) viene memorizzata la situazione presente sulle uscite nell'istante del fronte di salita di E , e non sarà influenzata da eventuali cambiamenti sugli ingressi di dato o di indirizzo.

Nelle modalità che richiedono un valore sulle linee d'indirizzo, se si cambia più di uno dei suoi bit, potrebbe essere rilevato (per un breve istante transitorio) un indirizzo sbagliato, per cui questa operazione dovrebbe essere fatta solo con la linea di abilitazione tenuta alta (inattiva, $E=1$).

Il **74LS256** (**Dual 4-Bit Addressable Latch**) contiene 2 registri con 4 **D-Latch**, indirizzabili separatamente tramite 2 linee $A0$, $A1$, in comune come quella di abilitazione (Enable, E) e quella di azzeramento delle uscite (Clear, CL), entrambe attive basse; ogni memoria dispone di un solo ingresso di dato D e di 4 uscite Q ; la *Figura 1* mostra il suo *pin-out*.

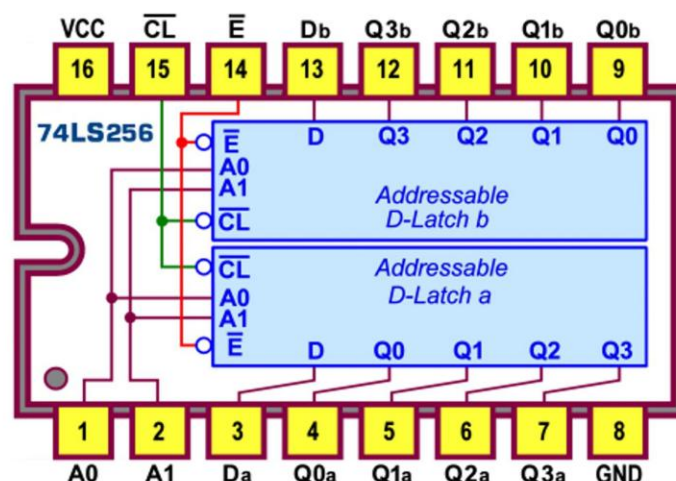


Figura 1 - Dual 4-Bit Addressable Latch 74LS256: Pin-out

Lo *schema funzionale* è disponibile in *Figura 2* e lo *schema pratico* in *Figura 3*.

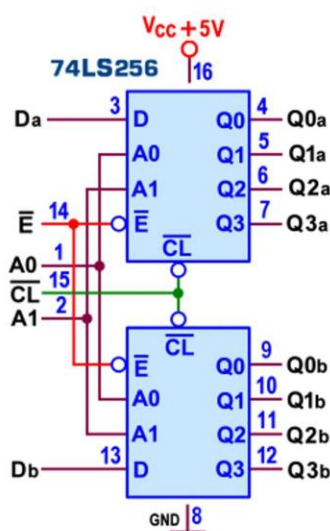


Figura 2 - Dual 4-Bit Addressable Latch 74LS256: Schema funzionale

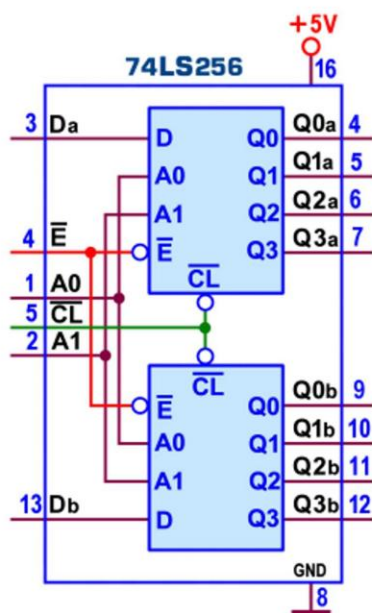


Figura 3 - Dual 4-Bit Addressable Latch 74LS256: Schema pratico

La potenza massima dissipata dal **74LS256** è di **150 mW** mentre il ritardo di propagazione massimo (misurato con carico di **15pF**) tra ingressi D e uscite Q è di **30 ns** (t_{PLH}) e **20 ns** (t_{PHL}), sostanzialmente uguale a quelli tra Enable o Clear e uscite Q.

Il **74LS259** (**8-Bit Addressable Latch**), disponibile anche con la sigla Fairchild **9334**, contiene un registro con 8 **D-Latch** le cui 8 uscite Q sono indirizzabili tramite 3 linee A0, A1, A2; dispone di un solo ingresso di dato D e di 2 linee di controllo, entrambe attive basse (Enable e Clear); la *Figura 4* mostra il suo *pin-out*.

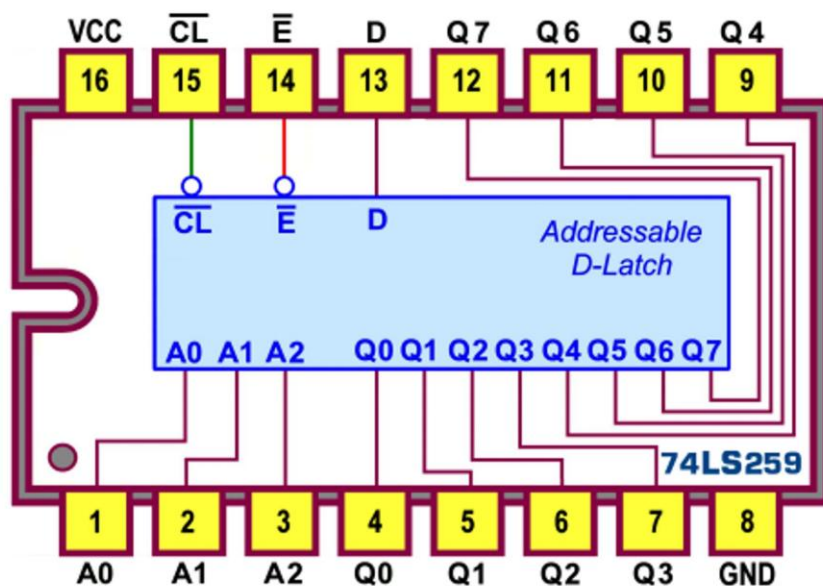


Figura 4 - 8-Bit Addressable Latch 74LS259: Pin-out

Lo *schema funzionale* è disponibile in *Figura 5* e lo *schema pratico* in *Figura 6*.

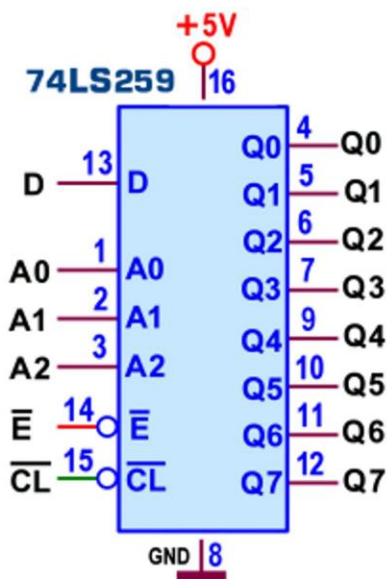


Figura 5 - 8-Bit Addressable Latch 74LS259: Schema funzionale

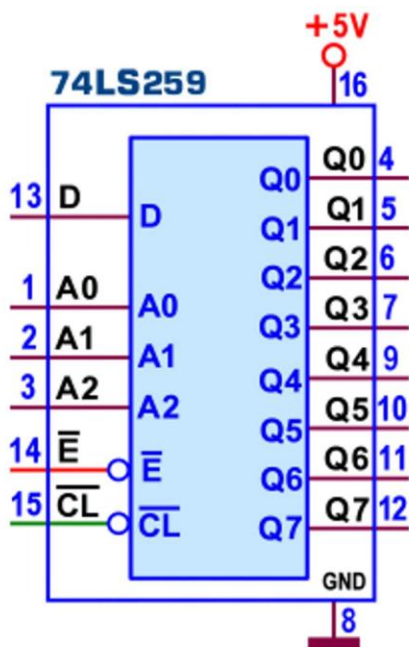


Figura 6 - 8-Bit Addressable Latch 74LS259: Schema pratico

La potenza massima dissipata dal **74LS259** è di **180 mW**; il ritardo di propagazione massimo (misurato con carico di **50pF**, **2kohm**) tra ingressi D e uscite Q è di **35 ns** (t_{PLH}) e **30 ns** (t_{PHL}), valori simili a quelli degli altri ingressi verso le uscite.

Cascadable Priority D-Latch: 74278

Tra i **D-Latches** a 4 bit della serie TTL merita citazione il **74278**; come altri componenti di questa categoria è organizzato come *Registro*, cioè in grado di coordinare i suoi 4 elementi di memoria come fossero un unico "cassetto" in cui riporre "in blocco" l'informazione a 4 bit; tuttavia il nome stesso ad esso affidato dai costruttori (**Cascadable Priority Register**) fa intuire che si tratta di un registro dal funzionamento piuttosto particolare; la *Figura 7* mostra il suo *pin-out*.

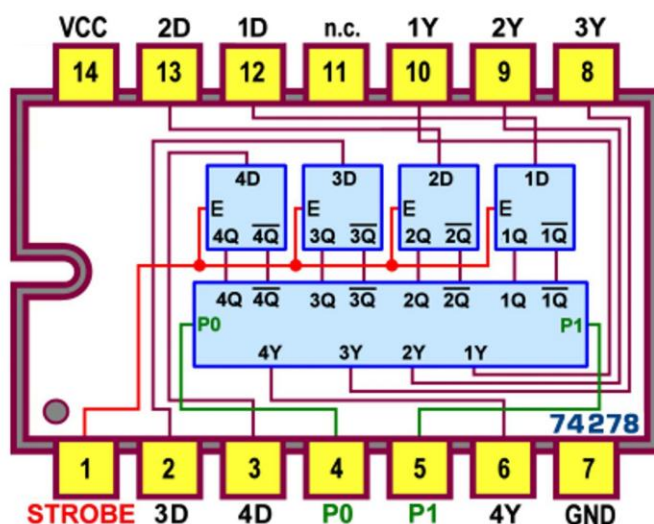


Figura 7 - Cascadable Priority Register 74278: Pin-out

Lo *schema funzionale* di *Figura 8*, rielaborato da quello originale pubblicato sui datasheet, mette in evidenza i 4 **D-Latch**, controllati contemporaneamente dalla linea di abilitazione (detta in questo caso *Strobe*, G): quando essa è a livello alto tutti gli elementi di memoria si comportano coerentemente in modo trasparente, copiando il dato D proposto in ingresso sulla rispettiva uscita Q.

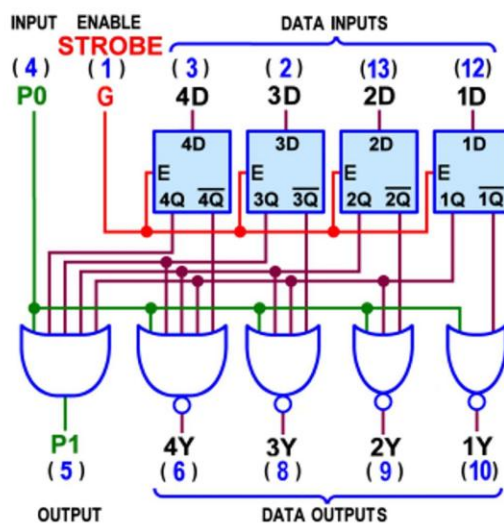


Figura 8 - Cascadable Priority Register 74278: Schema funzionale rielaborato

La presenza a valle di una rete combinatoria di 4 NOR (caratterizzate da un numero crescente di pin) impone un diverso trattamento all'informazione presente sulle uscite effettive Y del componente: ciascuna di esse è forzata a livello logico 0, ad eccezione di quella corrispondente a quell'ingresso D sul quale sia stato predisposto un 1 e al quale a cui sia affidata la priorità più alta; da notare che la priorità maggiore spetta a D1 e, in sequenza, agli altri *Data Inputs*, fino a D4, cui spetta quella minore; se nessun ingresso è posto a 1 tutte le uscite Y rimarranno a 0.

La trasparenza del dispositivo rimane attiva fino a quando l'abilitazione G viene forzata bassa: sul suo fronte di discesa la situazione imposta da valore corrente dei 4 ingressi di dato e dai segnali presenti sulle porte NOR viene "agganciata" (memorizzata) sulle uscite Y; la *Tabella delle transizioni* di *Figura 9* raccoglie tutte le possibili combinazioni degli ingressi di dato e di controllo, permettendo per ciascuna di esse di verificare lo stato delle uscite, con l'aiuto del circuito funzionale.

INPUTS						INTERNAL LATCH NODES				OUTPUTS								
P0	G	1D	2D	3D	4D	1Q	2Q	3Q	4Q	1Y	2Y	3Y	4Y	P1				
0	1	1	X	X	X	0	X	X	X	1	0	0	0	1				
0	1	0	1	X	X	1	0	X	X	0	1	0	0	1				
0	1	0	0	1	X	1	1	0	X	0	0	1	0	1				
0	1	0	0	0	1	1	1	1	0	0	0	0	1	1				
0	1	0	0	0	0	1	1	1	1	0	0	0	0	0				
0	0	X	X	X	X	Agganciati quando G va basso				Aggancia una delle sequenze qui sopra								
1	0	X	X	X	X									0	0	0	0	1
1	1													0	0	0	0	1

Figura 9 - Cascadable Priority Register 74278: Tabella delle Transizioni

Il componente dispone anche di una linea studiata per garantire la messa in cascata con altri dello stesso tipo: l'ingresso in cascata P0 influenza anche le uscite Y e deve essere posto a 0 logico sul dispositivo di ordine superiore; una OR a cinque ingressi provvede infine a costruire l'uscita P1, che va collegata all'ingresso P0 dell'eventuale dispositivo di ordine inferiore; se almeno uno degli ingressi del dispositivo a monte è a 1 la linea P1 è, a sua volta, mantenuta a 1 e fornirà così un segnale di "busy" (occupato) necessario per inibire lo stadio successivo di ordine inferiore.

La potenza massima dissipata dal **74L278** è di **400 mW** (il valore consistente è tipico della serie standard) mentre i ritardi di propagazione massimi (misurato con carico di **15pF/400ohm**) tra ingressi D e uscite Y sono di **30 ns** (t_{PLH}) e **39 ns** (t_{PHL}).

D-Latch (CMOS): 4042, 4508

Anche la serie **CMOS** prevede dispositivi contenenti memorie di tipo **D-Latch**, organizzate a **Registro** (sia standard che indirizzabile).

Il **4042** (**Quad Clocked D-Latch**) è un tipico registro a 4-bit dotato di uscite bufferizzate, sia dirette che negate, e di 2 linee di abilitazione, dette Clock (E0) e Polarity (E1), concorrenti in una logica NOREX; la *Figura 10* mostra il suo *pin-out*.

Questo componente si comporta in modo perfettamente in linea con quelli della loro categoria: solo se E0 e E1 hanno lo stesso valore, alto o basso, l'uscita della porta passa a 1, abilitando contemporaneamente i 4 **D-Latch**, ciascuno dei quali risulta dunque "trasparente", cioè

l'informazione presente sui 4 ingressi D è trasferita continuamente sulle rispettive uscite Q; non appena una delle 2 linee di controllo assume valore diverso dall'altra, l'uscita della NOEX passa a 0 (manifestando un fronte di discesa) e provvede alla memorizzazione del valore presente in quel momento sulle linee D, mantenendolo in uscita fino a quando Clock e Polarity tornano dello stesso valore.

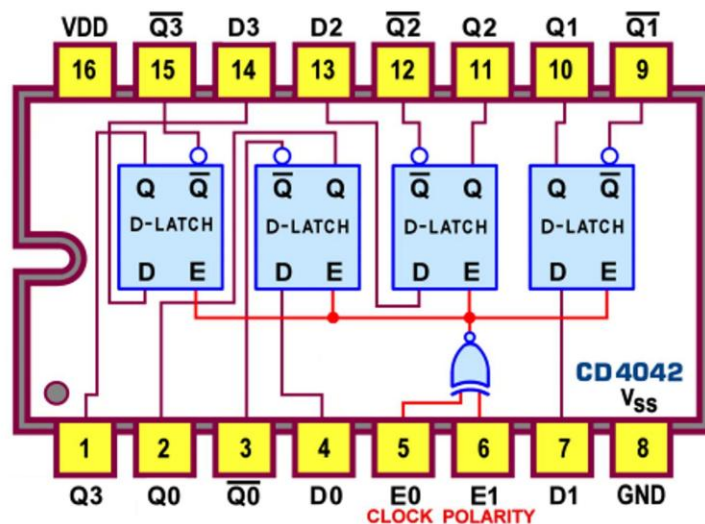


Figura 10 - Quad Clocked D-Latches 4042: Pin-out

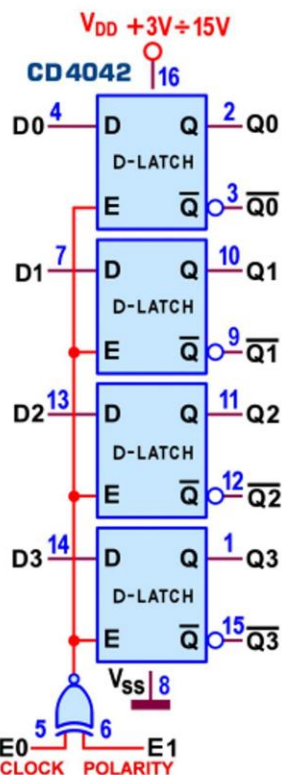


Figura 11 - Quad Clocked D-Latches 4042: Schema funzionale

Sebbene la presenza di 2 linee di controllo e l'impiego di un operatore Nor esclusivo possa sembrare ridondante e inutile, questa struttura permette di associare a E0 e E1 una diversa "polarità" operativa: una delle 2 linee (Polarity) è utilizzata per fissare il modo di influire della seconda (impropriamente detta Clock, poiché attiva sui livelli) sui 4 Latches; in dettaglio: **a)** se $E1=Polarity=1$ i Latches saranno trasparenti per $E0=Clock=1$ e cominceranno a memorizzare sul fronte di discesa del Clock; **b)** viceversa, con $E1=Polarity=0$ per memorizzare i dati in uscita servirà un fronte di salita del Clock, mentre i Latches saranno trasparenti per $E0=Clock=0$.

Lo schema funzionale di *Figura 11* aiuta a comprendere questo meccanismo; la *Figura 12* mostra lo schema pratico, consigliato nella stesura dei progetti per la sua sintetica completezza.

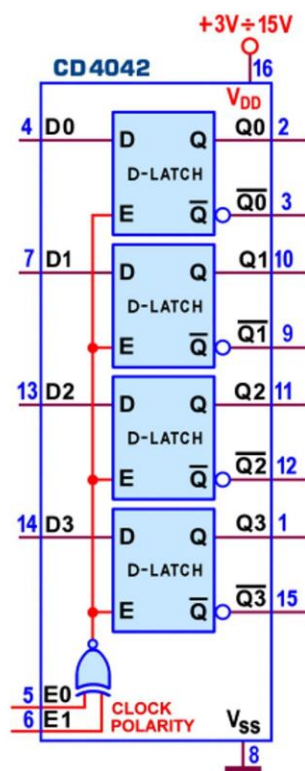


Figura 12 - Quad Clocked D-Latches 4042: Schema pratico

Come per gli altri componenti della famiglia **CMOS** la *potenza dissipata* è trascurabile; il *ritardo di propagazione* massimo (*Propagation Delay Time*, t_{PHL} e t_{PLH} , rilevato con carico di **200kohm/50pF**) è di **190ns**, **80ns** e **55ns** (tra ingressi D e uscite Q) e di **260ns**, **105ns** e **75ns** (tra ingresso E e uscite Q), per valori di alimentazione V_{DD} rispettivamente pari a **5V**, **10V** e **15V**; i valori *tipici* sono sostanzialmente la metà.

Il **4508** contiene due identici **Registri D-Latch** a 4 bit (**Dual 4-bit Latches**), ciascuno dotato di linee separate per l'abilitazione e per il controllo delle uscite non invertenti di tipo 3-state; la *Figura 13* propone il suo *pin-out*.

La linea di Out Enable (attiva bassa, qui definita Output Disable, DIS) va posta a massa, nel funzionamento normale; se forzata a livello alto, le 4 uscite Q passano nello stato di *alta impedenza*, scollegandole di fatto dai circuiti ad esse collegati e rendendole adatte all'impiego in strutture organizzate a bus, tipiche del progetto con logiche programmabili.

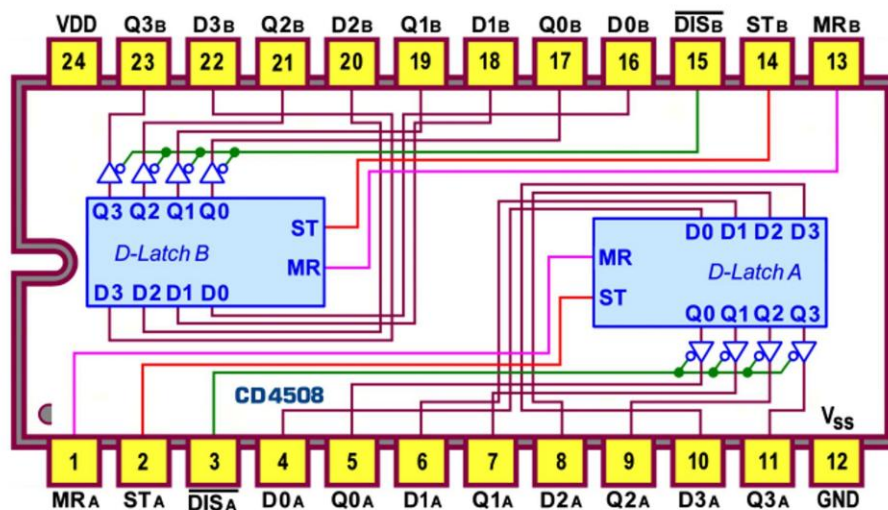


Figura 13 - Dual 4-Bit Latches 4508: Pin-out

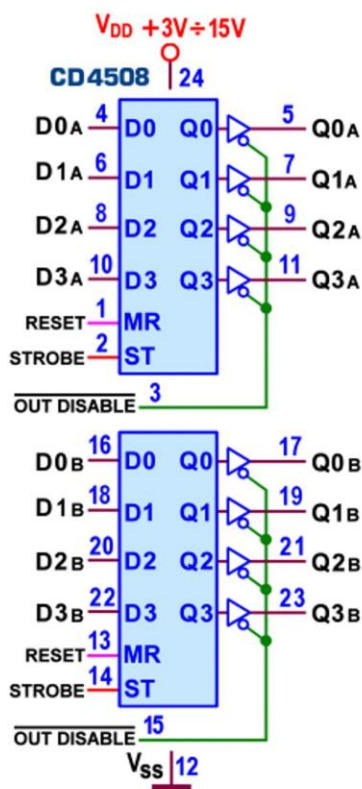


Figura 14 - Dual 4-Bit Latches 4508: Schema funzionale

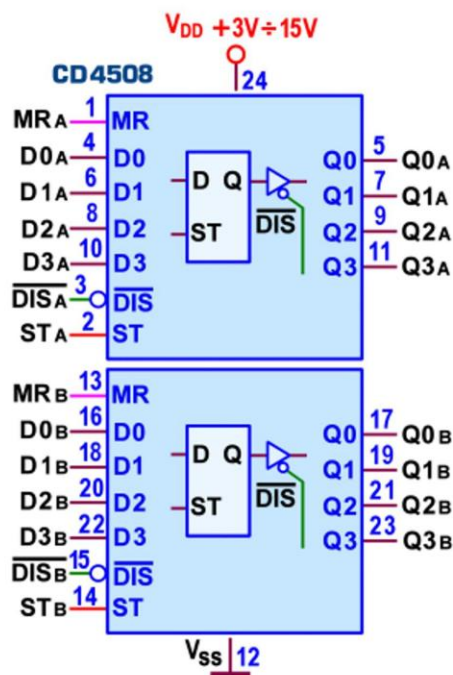


Figura 15 - Dual 4-Bit Latches 4508: Schema pratico

Se la linea di Abilitazione (in questo caso detta Strobe, ST) è posta a livello alto consente come al solito alle uscite dei 4 Latches di inseguire continuamente l'informazione presente sui rispettivi ingressi D; nel momento in cui passa a 0 (cioè sul suo fronte di discesa), provvede alla memorizzazione del valore presente in quel momento sulle linee D, mantenendolo in uscita fino a quando sarà riportata a 1 logico.

Se la linea MR (detta Master Reset, attiva alta) è posta a 1 logico forza le 4 uscite a 0, indipendentemente dallo stato dell'ingresso ST; nel funzionamento normale va dunque messa a massa. Sebbene sia il primo componente (tra quelli analizzati finora) dotato di questo servizio, la presenza di linee di *Reset* (per forzare le uscite a 0) e di *Preset* (per forzarle a 1) è diffusa in moltissimi elementi di memoria e la loro azione è sempre prioritaria su ogni altra linea di controllo eventualmente presente.

La *Figura 14* mostra lo *schema funzionale* e la *Figura 15* mostra lo *schema pratico*, due alternative utili nella stesura degli schemi dei nostri progetti.

I *ritardi di propagazione* tra ingressi D e uscite Q e tra abilitazione ST e uscite Q sono gli stessi segnalati per il precedente componente **4042**.

Addressable D-Latch (CMOS): 4099, 4723, 4724

Il **4099** (**8-bit Addressable Latch**) è un registro con 8 **D-Latch** (indirizzabili separatamente tramite 3 linee A0, A1, A2), un solo ingresso di dato D e 2 linee di controllo attive alte (Reset e Write Disable); la *Figura 16* mostra il suo *pin-out*.

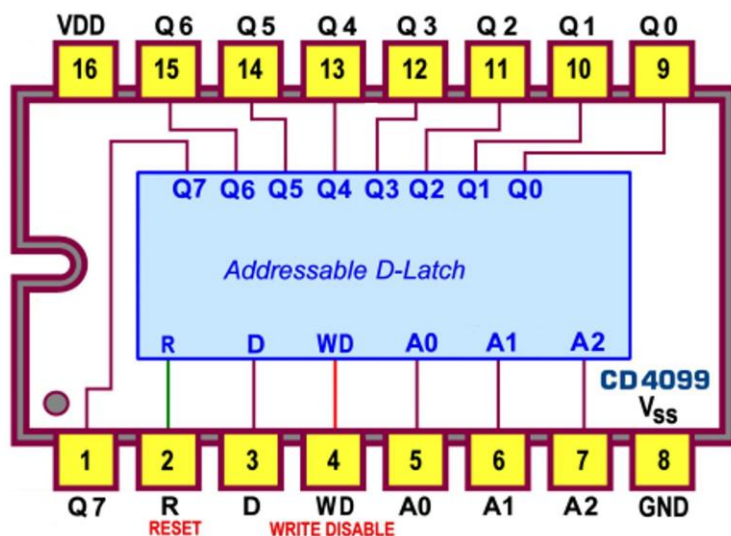


Figura 16 - 8-Bit Addressable Latch 4099: Pin-out

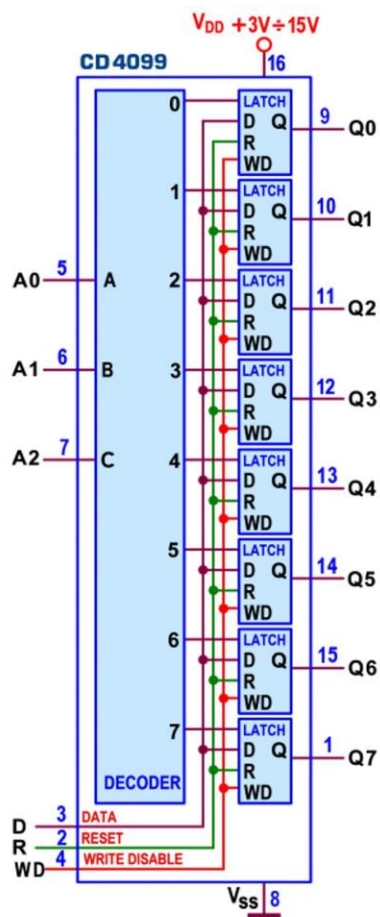


Figura 17 - 8-Bit Addressable Latch 4099: Schema funzionale

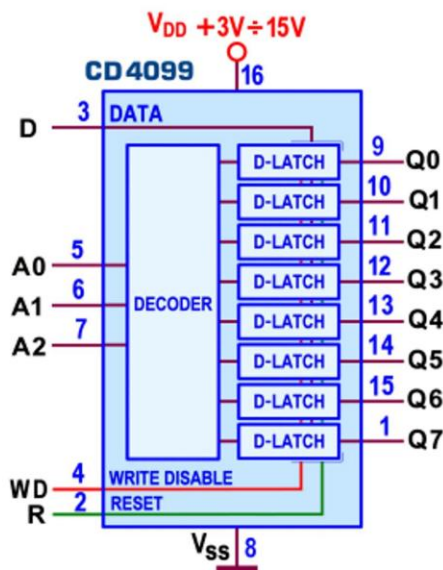


Figura 18 - 8-Bit Addressable Latch 4099: Schema pratico

Alla linea *Write Disable* è affidato il controllo dello stato delle singole uscite Q degli 8 Latches: quando è a 0 logico (non attiva) l'uscita del Latch puntato dall'indirizzo posto sulle linee A0, A1, A2 (per intercessione del decoder/demultiplexer interno) "insegue" il valore corrente dell'ingresso dato D (indipendentemente dal valore di *Reset*), mentre le uscite dei rimanenti 7 Latches sono tenute a 0 (se *Reset*=1) oppure mantengono lo stato memorizzato in precedenza (se *Reset*=0); in sintesi il componente si comporta come un demultiplexer da 1 a 8.

Quando *Write Disable* viene attivato (cioè posto a 1 logico) l'immissione di dati è inibita (come dice il nome della linea: scrittura disabilitata) ma le 8 uscite possono essere lette continuamente: il valore disponibile (se *Reset*=0) è quello che era presente su di esse nell'istante del fronte di salita di WD (e memorizzato fino a quando WD tornerà basso), mentre tutte le 8 uscite saranno forzate a 0 se anche la linea di *Reset* è attiva (cioè posta a 1); in ogni caso i valori a disposizione non saranno influenzati da eventuali cambiamenti sugli ingressi di dato o di indirizzo.

Lo *schema funzionale* è disponibile in *Figura 17* e quello *pratico* (al solito utile nella stesura degli schemi) è proposto in *Figura 18*.

Il *ritardo di propagazione* massimo tra ingressi D e uscite Q (rilevato con carico di **200kohm/50pF**) è di **400ns** con $V_{DD} = 5V$, **150ns** con $V_{DD} = 10V$, e **100ns** con $V_{DD} = 15V$, per entrambe le transizioni t_{PHL} e t_{PLH} ; i valori tra ingressi di controllo e uscite sono più o meno dello stesso ordine di grandezza e quelli *tipici* sono sostanzialmente la metà.

Il **4724** è una variante funzionalmente identica al registro con 8 **D-Latch 4099**, anche se la disposizione dei segnali sui piedini dell'integrato è diversa, come si vede osservando il suo *pin-out* (*Figura 19*).

La linea di *Reset* (ora detta *Clear*, CL) è ancora attiva alta (azzerata con 1), mentre quella di *Abilitazione* (detta *Enable*, E, attiva bassa) prende il posto di *Write Disable* (attivo alto) ma in sostanza non cambia nulla: se a 0 logico entrambe lasciano i Latches trasparenti, ed entrambe memorizzano con 1, a partire dal loro fronte di salita; ogni dettaglio è riconducibile al precedente componente, comprese le caratteristiche dinamiche.

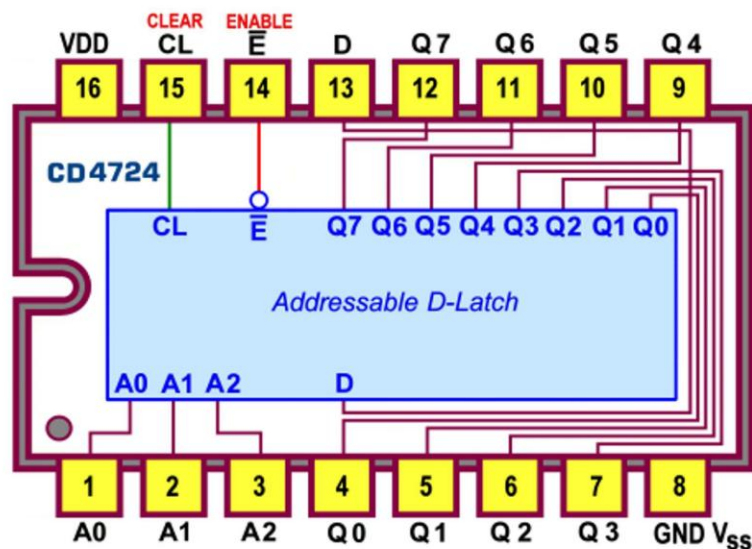


Figura 19 - 8-Bit Addressable Latch 4724: Pin-out

Nel **4723** è disponibile, infine, la versione doppia a 4 **D-Latch** (**Dual 4-Bit Addressable Latch**) *pin-out* compatibile con il TTL **74LS256**, ma con linea di *Reset* attiva alta; la disposizione dei suoi piedini è disponibile in *Figura 20*.

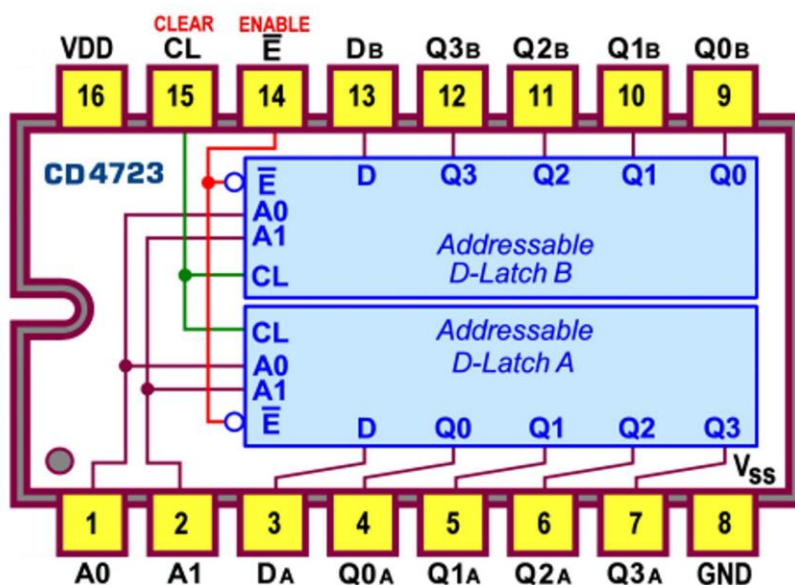


Figura 20 - Dual 4-Bit Addressable Latch 4723: Pin-out

In chiusura ho predisposto una personale rielaborazione (vedi *Figura 21*) in cui si evidenziano le parti strutturali degli *Addressable Latch*; essa ci consente di collaudare e capire ogni sequenza funzionale di questi complessi dispositivi; il nome e i livelli attivi dei segnali coinvolti fa riferimento a quelli del **4099**, ma con ovvie modifiche lo schema è valido anche per gli altri componenti della categoria.

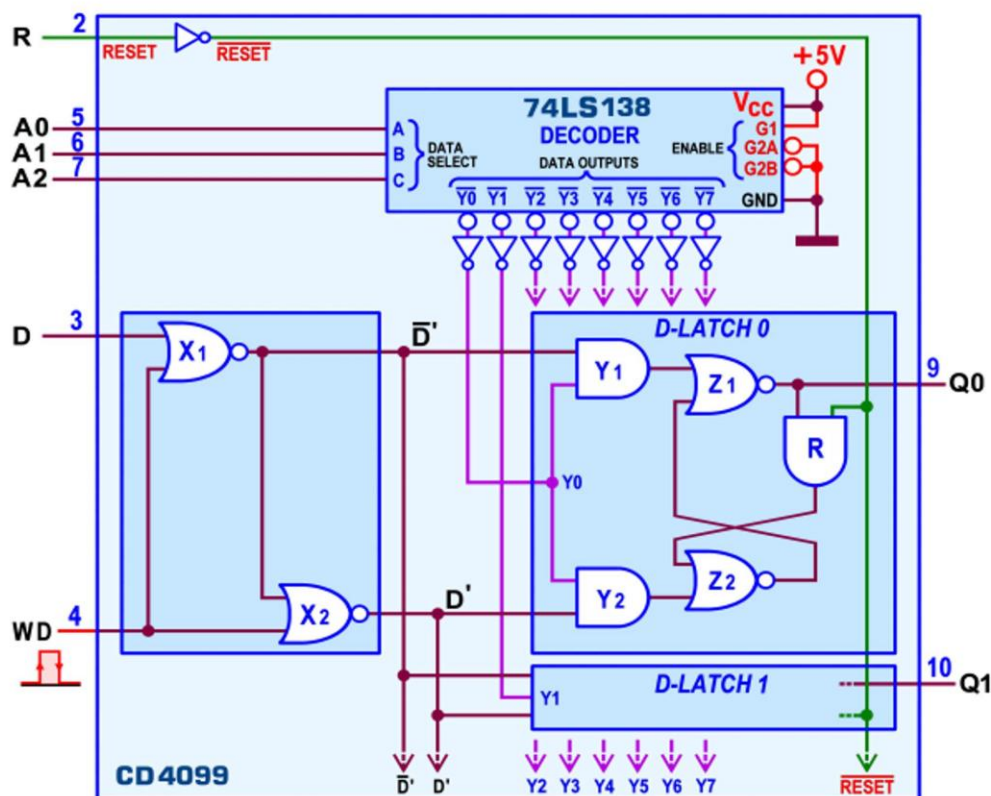


Figura 21 - 8-Bit Addressable Latch 4099: Dettaglio funzionale

Di certo il *decoder/demultiplexer* interno (simulato da un **74LS138**) consente l'accesso ad uno solo degli 8 Latches, forzando a 0 solo la uscita Y corrispondente al codice fornito sugli ingressi d'indirizzo A0, A1, A2 e aprendo (con l'1 fornito dall'inverter) solo una coppia di AND Y1,Y2; questa situazione fa sì che (indipendentemente dal fatto che il chip sia abilitato o meno) le uscite di tutti i **Latches non indirizzati** siano a 0 (se il Reset è attivo, R=1) oppure mantengano lo stato Q memorizzato in precedenza (se il Reset non è attivo, R=0); la verifica è presto fatta: a) lo 0 su almeno uno degli ingressi delle AND Y1,Y2 forza le rispettive uscite a 0 che, a loro volta, tengono così aperte le NOR Z1,Z2; b) l'uscita di Z1 (e quindi l'uscita Q del Latch) dipende allora dal valore della linea di Reset: con R=1 l'uscita della AND R passa a 0, quella della NOR Z2 passa a 1 e questo fatto forza a 0 anche l'uscita della NOR Z1; con R=0 l'uscita della AND R vale Q, quella della NOR Z2 assume il valore Qnegato e quindi l'uscita della NOR Z1 non cambia (rimane al valore Q).

Vediamo ora il comportamento dell'uscita del **Latch indirizzato**: in questo caso lo 0 sulla corrispondente uscita Y del *decoder/demultiplexer* interno (attiva bassa) tiene aperte (con l'aiuto dell'inverter) entrambe le AND Y1,Y2, cosicché il valore delle rispettive uscite dipende ora da Write Disable (o in generale dalla linea di Abilitazione).

Se WD=1 l'immissione del dato D è inibita e il Latch è nello stato di memorizzazione del dato agganciato nell'istante del passaggio da 0 a 1 (fronte di salita) di WD; in fatti l'1 su WD chiude entrambe le NOR X1,X2 forzando a 0 le loro uscite e (inesorabilmente) anche le uscite delle AND Y1,Y2; vale dunque in ogni dettaglio quando detto poco fa per le uscite non indirizzate.

Se $WD=0$ il Latch è trasparente e la sua uscita Q insegue costantemente il dato presente su D ; ora lo 0 su WD apre entrambe le NOR $X1, X2$ attraverso le quali passa D negato verso la AND $Y1$ e D diretto verso la AND $Y2$; poiché (come detto) entrambe le AND sono tenute aperte dal decoder, i medesimi valori sono a disposizione rispettivamente delle NOR $Z1$ e $Z2$; in queste condizioni l'uscita della NOR $Z1$ (e quindi l'uscita Q del Latch) sarà sempre uguale al valore dell'ingresso D , indipendentemente dal valore di *Reset*.

Verifichiamo se questo corrisponde al vero: a) con $R=1$ (Reset attivo) l'uscita della AND R passa a 0, quella della NOR $Z2$ passa a D negato; la NOR $Z1$ si ritrova entrambi gli ingressi a D negato, per cui la sua uscita è effettivamente D diretto; b) con $R=0$ (Reset non attivo) l'uscita della AND R passa a Q , quella della NOR $Z2$ passa alla somma negata di D con Q ($\overline{D+Q}$); l'uscita della NOR $Z1$ è dunque la seguente:

$$\overline{\overline{D+Q}+D} = (D+Q)D = DD + QD = D + QD = D(1+Q) = D$$

I passaggi sono un po' impegnativi e fanno riferimento alle regole dell'algebra di Boole, ma si può arrivare facilmente allo stesso risultato facendo l'ipotesi (assolutamente concreta) che Q sia già uguale a D : in questo modo l'uscita della AND R vale D , quella della NOR $Z2$ è a D negato e l'uscita della NOR $Z1$ (ritrovandosi come prima entrambi gli ingressi a D negato) è ancora D diretto.