



di GIORGIO OBER (GIOBE2000)

l'angolo di Mr A.KEER



(parte terza)

PROGETTARE con le PORTE LOGICHE

operatore fondamentale **OR**

Prosegue in questo numero l'analisi dettagliata dei componenti disponibili sul mercato per l'ultimo operatore logico fondamentale, noto come **OR**, fornendone le caratteristiche, interessanti osservazioni e considerazioni utili alla progettazione.

I tre operatori fondamentali costituiscono i pilastri su cui si basa il progetto digitale. Nelle scorse puntate abbiamo trattato a fondo **NOT** (*inversione logica*) e **AND** (*prodotto logico*); rimane da analizzare il terzo di essi, **OR**, al quale la teoria booleana associa la funzione di *somma logica*. Al termine della consueta indagine sulle **porte logiche** ad esso associate parleremo anche di 2 sue importanti **varianti**, pensate per risolvere una situazione piuttosto interessante..

OPERATORE OR (TTL): 74LS32

La serie TTL prevede un solo componente per l'operatore fondamentale **OR**: il **74LS32**, contenente 4 porte logiche a 2 ingressi; la Figura 1 propone il suo **pinout**

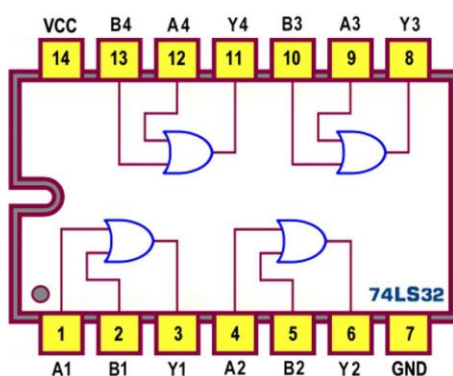


Figura 1 - Quad 2-input OR Gates 74LS32: Pin-out

I *datasheet* definiscono il componente come **Quad 2-input OR Gates** [porte OR] sintetizzando nel nome sia la quantità delle porte mostrate dal *pinout* che il numero dei rispettivi ingressi; è curioso rilevare che si tratta dell'unico integrato della serie TTL chiamato a realizzare la funzione *somma logica*.

Lo *schema funzionale* (Figura 2) mostra il numero e la funzione affidata dal costruttore a ciascun piedino; esso è simile allo *schema logico* (Logic Diagram) talvolta proposto al suo posto da alcuni *datasheet*.

Lo *schema pratico* (Figura 3) raccoglie le singole porte, da trasferire direttamente nel contesto di un progetto, evidenziando il nome dei *segnali logici* che entrano e di quelli che escono e il numero dei piedini ad essi riservati.

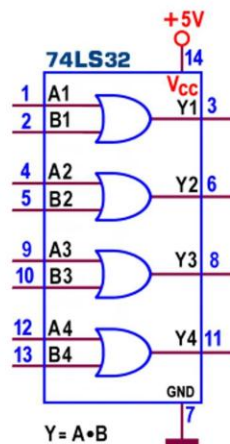


Figura 2 - OR Gates 74LS32: Schema funzionale

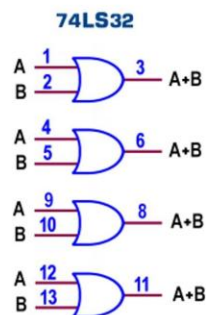


Figura 3 - OR Gates 74LS32: Schema pratico

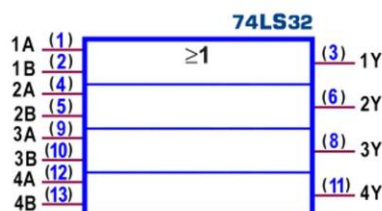


Figura 4 - OR Gates 74LS32: Simbolo logico ANSI/IEEE Std. 91-1984

Sebbene poco intuitivo e molto diverso da quello utilizzato tradizionalmente riportiamo anche il *simbolo logico* (Logic Symbol, Figura 4) riconosciuto come *standard* dalle norme internazionali.

Per gli oggetti presenti in un integrato non può mancare la *Tabella di Verità (Function Table)*; nel nostro caso ne viene proposta una sola (Figura 5), in rappresentanza di ciascuna (*each gate*) delle porte logiche in esso contenute.

74LS32		
INPUT		OUTPUT
A	B	Y
L	L	L
H	X	H
X	H	H

H livello logico **alto**
 L livello logico **basso**
 X o livello logico **alto** o livello logico **basso**

Figura 5 - OR Gates 74LS32: Tabella di verità

Abbiamo già avuto modo di osservare che la proposta dei *datasheet* utilizza uno *stile* diverso da quello al quale siamo stati abituati, sostituendo la presenza degli **1** e degli **0** con le lettere **H** e **L**; in questo modo la tabella mantiene la sua validità indipendentemente dal valore dei *livelli di tensione* (**0** e **1**) che desideriamo associare ai *livelli logici*, alto **H** (*High Logic Level*) e basso **L** (*Low Logic Level*), in funzione del *punto di vista* (in *logica positiva* e in *logica negativa*) preso come riferimento.

Di solito la letteratura digitale affida la tensione positiva (sinteticamente **1**, per esempio $V_{CC}=5V$) al *livello logico alto* **H** e quella negativa (**0**, per esempio $GND=0V$) al *livello logico basso* **L**, dando per scontata l'analisi in *logica positiva*; ma è del tutto legittimo *assegnare logicamente* ad **H** la tensione "**0**"=0V e ad **L** la tensione "**1**"=5V, assumendo per buono il punto di vista della *logica negativa*. Si tratta in sostanza di stabilire come associare gli *eventi* possibili (i valori di tensione presenti nel circuito) ai rispettivi livelli logici.

La presenza della *condizione di indifferenza*, **X** (chiamata a rappresentare a piacere o uno o l'altro livello logico, *Either Low or High Logic Level*) rende poi la tabella più compatta e sintetica.

74LS32																																															
tabella GENERICA	in logica POSITIVA	in logica NEGATIVA																																													
<table> <tr><th colspan="2">INPUT</th><th>OUTPUT</th></tr> <tr><th>A</th><th>B</th><th>Y</th></tr> <tr><td>L</td><td>L</td><td>L</td></tr> <tr><td>H</td><td>X</td><td>H</td></tr> <tr><td>X</td><td>H</td><td>H</td></tr> </table> <p> H livello logico alto L livello logico basso X o livello logico alto o livello logico basso </p>	INPUT		OUTPUT	A	B	Y	L	L	L	H	X	H	X	H	H	<table> <tr><th colspan="2">INPUT</th><th>OUTPUT</th></tr> <tr><th>A</th><th>B</th><th>Y</th></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>X</td><td>1</td></tr> <tr><td>X</td><td>0</td><td>1</td></tr> </table> <p> 1 livello logico alto 0 livello logico basso X o livello logico alto o livello logico basso </p>	INPUT		OUTPUT	A	B	Y	0	0	0	1	X	1	X	0	1	<table> <tr><th colspan="2">INPUT</th><th>OUTPUT</th></tr> <tr><th>A</th><th>B</th><th>Y</th></tr> <tr><td>1</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>X</td><td>0</td></tr> <tr><td>X</td><td>0</td><td>0</td></tr> </table> <p> 0 livello logico alto 1 livello logico basso X o livello logico alto o livello logico basso </p>	INPUT		OUTPUT	A	B	Y	1	1	1	0	X	0	X	0	0
INPUT		OUTPUT																																													
A	B	Y																																													
L	L	L																																													
H	X	H																																													
X	H	H																																													
INPUT		OUTPUT																																													
A	B	Y																																													
0	0	0																																													
1	X	1																																													
X	0	1																																													
INPUT		OUTPUT																																													
A	B	Y																																													
1	1	1																																													
0	X	0																																													
X	0	0																																													
	<table> <tr><th colspan="2">INPUT</th><th>OUTPUT</th></tr> <tr><th>A</th><th>B</th><th>Y = AND</th></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table> <p>$f(A,B) = A+B$</p>	INPUT		OUTPUT	A	B	Y = AND	0	0	0	0	1	1	1	0	1	1	1	1	<table> <tr><th colspan="2">INPUT</th><th>OUTPUT</th></tr> <tr><th>A</th><th>B</th><th>Y = OR</th></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table> <p>$f(A,B) = A*B$</p>	INPUT		OUTPUT	A	B	Y = OR	0	0	0	0	1	0	1	0	0	1	1	1									
INPUT		OUTPUT																																													
A	B	Y = AND																																													
0	0	0																																													
0	1	1																																													
1	0	1																																													
1	1	1																																													
INPUT		OUTPUT																																													
A	B	Y = OR																																													
0	0	0																																													
0	1	0																																													
1	0	0																																													
1	1	1																																													

Figura 6 - OR Gates 74LS32: Tabella di verità in logica positiva e negativa

La *Tabella di verità* di *Figura 5* può quindi essere riproposta esplicitamente in *logica positiva* ($H=1=5V$ e $L=0=0V$, come quella tradizionale) o in *logica negativa* ($H=0=0V$ e $L=1=5V$), come si vede in *Figura 6*.

In sintesi, ogni *porta logica OR* contenuta nel **74LS32** si comporta come *operatore OR* in *logica positiva* e come *operatore AND* in *logica negativa*: è solo una questione di punti di vista!

La *Figura 7* mostra lo *schema elettronico interno* (*Circuit Schematics*) di ciascuna delle porte OR, uguali tra loro, inserite nell'integrato **74LS32** (per gentile concessione Texas Instruments); il confronto con lo schema fornito dai *datasheet* per le porte AND del **74LS08** mette in evidenza il diverso modo con il quale i 2 segnali applicati controllano la parte finale del circuito (uguale in entrambi gli schemi e costituita dai 5 transistor più a destra).

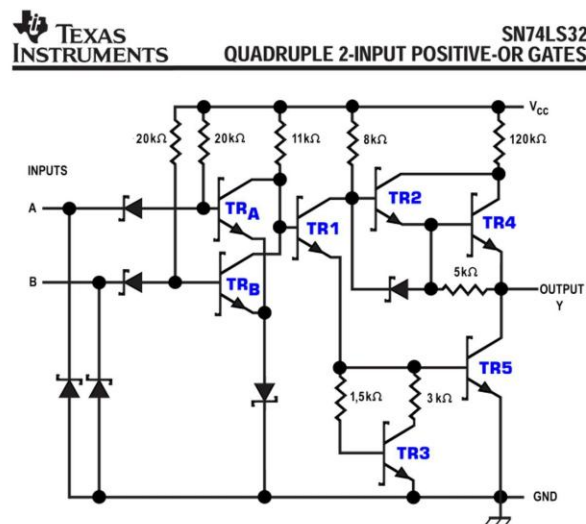


Figura 7 - OR Gates 74LS32: schema elettronico interno

La sua analisi (in *logica positiva*) offre un'idea del funzionamento:

- se entrambi gli ingressi sono a **0** logico i rispettivi transistor TR_A e TR_B sono interdetti, consentendo a TR_1 di entrare in forte conduzione attraverso TR_5 , portato in saturazione, per cui l'uscita Y (uguale alla V_{CEsat} di TR_5) si ritrova essa pure a **0** logico; la coppia TR_2 , TR_4 è interdetta perché sulla base del primo c'è una tensione insufficiente ad innescare la conduzione di entrambi
- se o uno o l'altro (o entrambi) gli ingressi sono a **1** logico almeno uno dei rispettivi transistor è in conduzione, portando TR_1 (e TR_5) all'interdizione; in queste condizioni la coppia TR_2 , TR_4 ora conduce, permettendo all'uscita Y di passare a **1** logico

Le caratteristiche elettriche delle *porte OR* contenute nel **74LS32** sono quelle della *famiglia logica TTL LS*, proposte in dettaglio la prima puntata; tra esse ricordiamo la corrente massima *assorbita* in uscita a livello **0**, $I_{OL}=8\text{ mA}$, e la tensione *tipica* in uscita a livello **1**, $V_{OH}=3,5\text{ V}$. La potenza dissipata massima (con uscite a **0**) è di **49 mW**; la frequenza massima di lavoro è di **45 MHz**; il ritardo di propagazione massimo (*Propagation Delay Time*, con carico di **2kΩ/15pF**) per entrambe le transizioni (t_{PLH} e t_{PHL}) è pari a **22 ns**.

Come detto in precedenza questa è l'unica configurazione TTL disponibile in commercio: non esistono versioni a 3 o a 4 ingressi, come per altri operatori. Ne consegue che, nella necessità di doverne disporre, non rimane altra via che *porre in cascata* una o più *porte OR*, per altro giustificata dalla proprietà associativa di cui gode l'*operatore logico OR*. La *Figura 8* mostra alcune soluzioni valide e funzionanti.

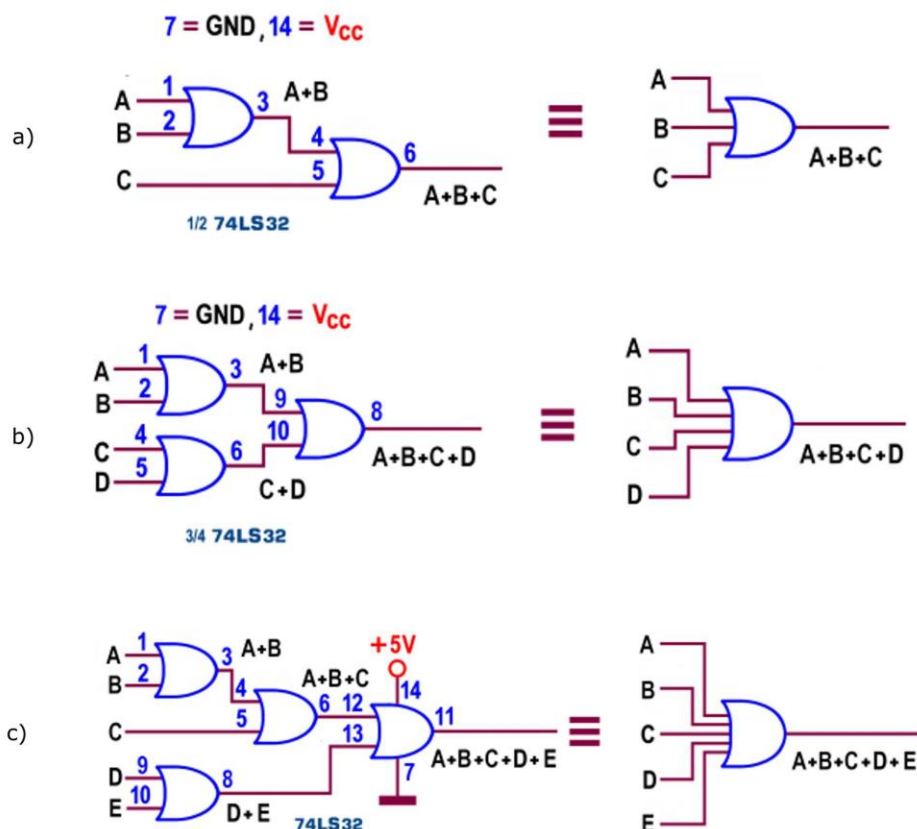


Figura 8 - OR Gates 74LS32: Combinazione di porte logiche OR

Per avere una risposta *stabile* in uscita è dunque inevitabile dover mettere in conto un tempo (*di propagazione*) due o tre volte maggiore rispetto a quello di una singola porta multi-ingresso; la cosa è per altro trascurabile se la frequenza dei segnali trattati è inferiore ad $1/3$ di quella massima possibile.

OPERATORE OR (CMOS): 4072, 4075, 4071

La serie CMOS riserva 3 componenti all'*operatore fondamentale OR*: il **4071** contiene 4 porte a 2 ingressi (*Figura 9*); il **4075** ne contiene 3 a 3 ingressi (*Figura 10*) e il **4072** ne contiene 2 a 4 ingressi (*Figura 11*); osservando le figure si nota che tutti e 3 collocano le porte, dentro l'integrato, con la stessa disposizione interna proposta da quelli AND di analoga configurazione: a parte la ovvia differenza logica essi sono dunque *pin-out compatibili* rispettivamente con il **4081**, il **4073** e il **4082** (si noti anche una certa assonanza .. numerica).

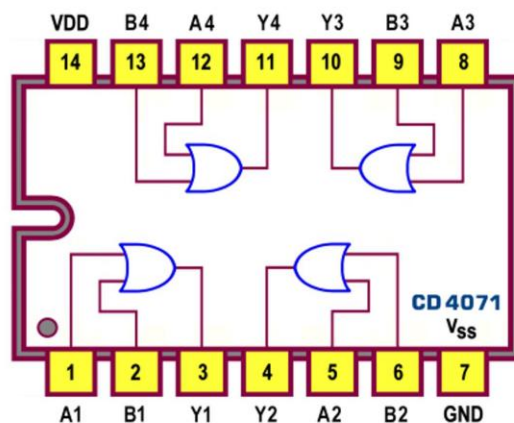


Figura 9 - Quad 2-input OR Gates 4071: Pin-out

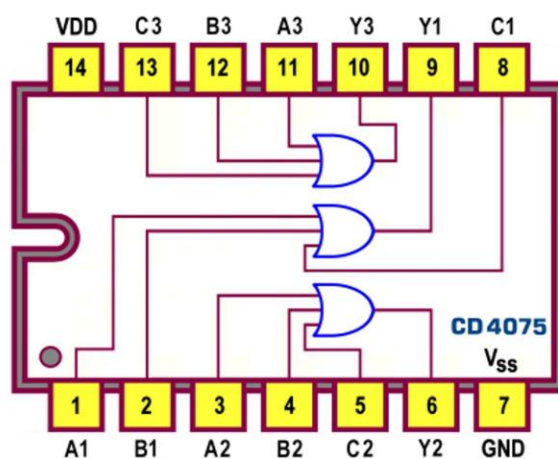


Figura 10 - Triple 3-input OR Gates 4075: Pin-out

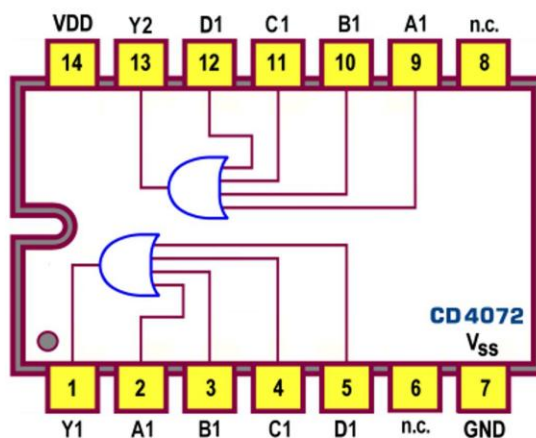


Figura 11 - Dual 4-input OR Gates 4072: Pin-out

Anche questi 3 componenti sono ovviamente definiti **OR Gates** [porte OR] dai *datasheet*, mantenendo nel nome la specifica della loro quantità e del numero dei rispettivi ingressi; gli *schemi funzionali* e *pratici* per ciascuno di essi sono mostrati rispettivamente in *Figura 12* e in *Figura 13*.

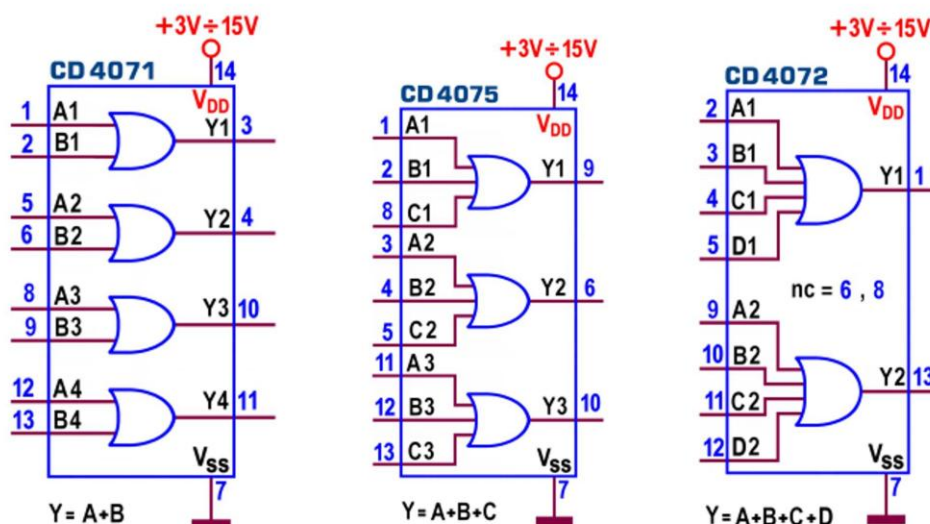


Figura 12 - OR Gates [CMOS]: Schema funzionale

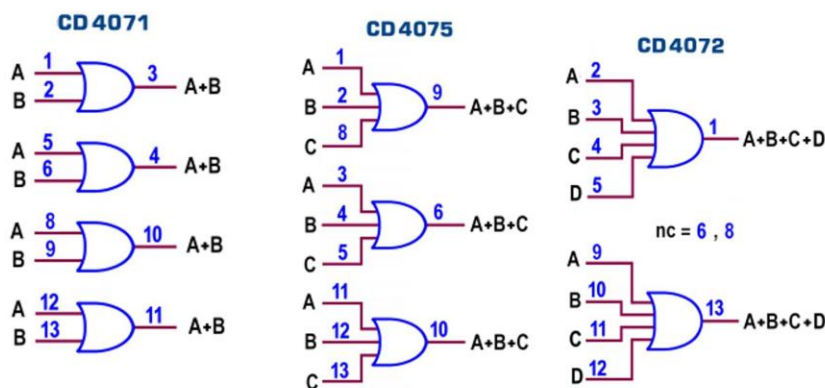


Figura 13 - OR Gates [CMOS]: Schema pratico

Le caratteristiche elettriche dei 3 componenti sono quelle della *famiglia logica CMOS*, proposte in dettaglio la prima puntata; in sintesi: la tensione di alimentazione V_{DD} può variare da **3V** a **15V**; le uscite assicurano lo stesso valore sia per la corrente *assorbita* I_{OL} a livello **0** che per quella *erogata* I_{OH} a livello **1**, da **1mA** (con $V_{DD}=5V$) fino a **6,8mA** (con $V_{DD}=15V$); i livelli di tensione su ogni uscita sono tipicamente uguali alla V_{DD} per la V_{OH} (a livello alto) e alla V_{SS} ($=0V$) per la V_{OL} (a livello basso).

La *potenza dissipata* è trascurabile (qualche μW); la frequenza massima di lavoro è di **1 MHz**; il *ritardo di propagazione* massimo t_{PLH} e t_{PHL} (con carico di **200kohm/50pF**) varia mediamente da **100 ns** a **35 ns**, al crescere del valore dell'alimentazione.

OPERATORE OR ESCLUSIVO

Tra le possibili funzioni booleane a 2 ingressi ce n'è una che merita particolare rilevanza: è *vera* (cioè lascia un **1** in uscita) se i suoi ingressi sono *diversi* tra loro; la sua *Tabella di Verità* è mostrata in *Figura 14,a* e differisce da quella dell'**operatore fondamentale OR** (vedi *Figura 6*) solo perché *esclude* la possibilità che la funzione sia vera quando entrambi gli ingressi sono a **1**: per questo è detta **OR ESCLUSIVO** (o **OR-EX** o **XOR**).

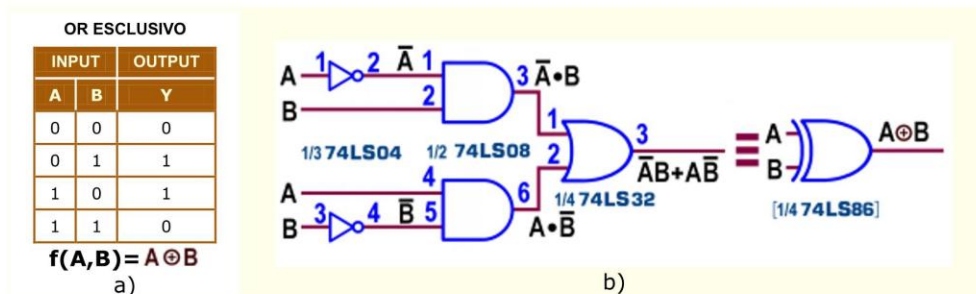


Figura 14 - Operatore speciale OR ESCLUSIVO: Tabella di verità (in logica positiva) e schema

La teoria booleana definisce per essa l'equazione $\bar{A}B + A\bar{B}$ cioè la *somma logica* (**OR**) di due *prodotti logici* (**AND**), con la presenza, in ingresso, di 2 variabili negate; è una buona occasione per dimostrare che "ogni formula è un circuito": l'equazione è immediatamente traducibile in quello mostrato in *Figura 14.b*.

La particolarità di questa funzione è evidenziata anche dal simbolo utilizzato per rappresentarla: un cerchietto contenente il segno +.

Anche la **XOR** gode della proprietà associativa che consente di *porre in cascata* una o più *porte*, condizione indispensabile per poter gestire più di 2 variabili, come si vede nell'esempio di *Figura 15*.

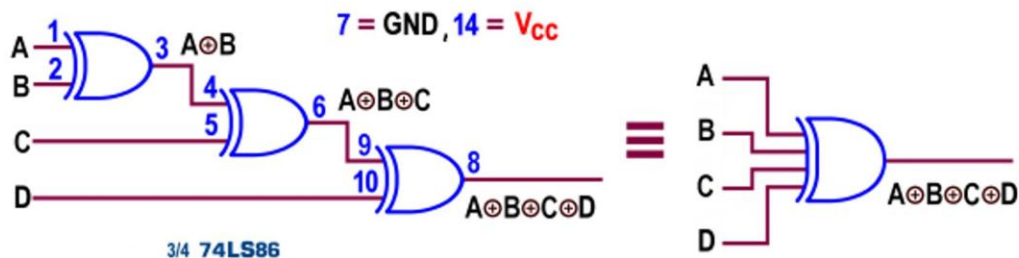


Figura 15 - Exclusive-OR Gates 74LS86: Combinazione di porte logiche OR-EX

OPERATORE OR-EX (TTL): 74LS86, [74LS136 O.C.]

La serie TTL prevede per l'**operatore OR ESCLUSIVO** il componente **74LS86**, contenente 4 porte logiche a 2 ingressi; la *Figura 16* propone il suo **pinout**

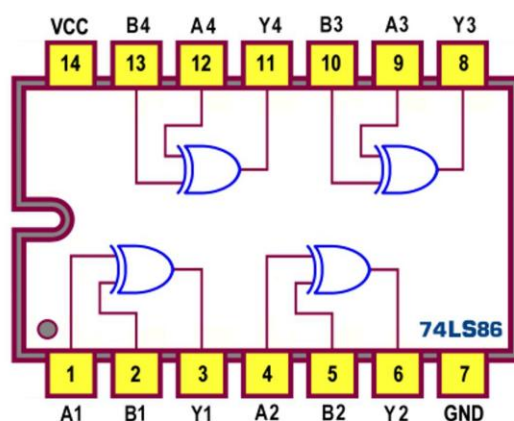


Figura 16 - Quad 2-input Exclusive-OR Gates 74LS86: Pin-out

La disponibilità di una porta integrata (in grado cioè di sintetizzare il circuito di *Figura 14,b*) facilita il progetto logico quando è necessaria la funzione OREX e ne ottimizza costi e prestazioni.

Le *Figure 17, 18 e 19* mostrano rispettivamente lo *schema funzionale*, lo *schema pratico* e il *simbolo logico* internazionale del componente *Quad 2-input Exclusive-OR Gates*, come è definito dai *datasheet*.

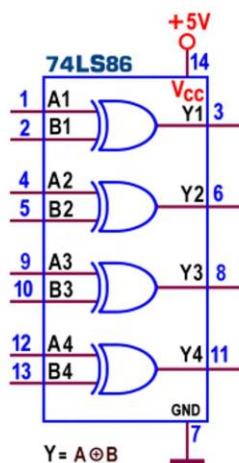


Figura 17 - Exclusive-OR Gates 74LS86: Schema funzionale

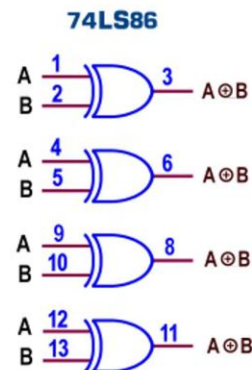


Figura 18 - Exclusive-OR Gates 74LS86: Schema pratico

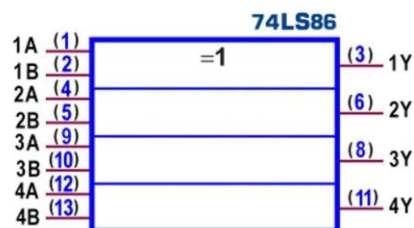


Figura 19 - Exclusive-OR Gates 74LS86: Simbolo logico ANSI/IEEE Std. 91-1984

In verità è disponibile anche il componente **74LS136** *pinout compatibile e logicamente* del tutto identico a quello ora descritto, ma *a collettore aperto* (*with open-collector outputs*) cioè con le uscite di ogni porta collegate *solo* al collettore del rispettivo transistor finale (il TR5 di *Figura 7*, per capirci); quando il transistor è interdetto, per assicurare il livello logico alto, è dunque necessario aggiungere un resistore esterno verso l'alimentazione (detto di *pull-up* per figurar l'azione di "tirar su" l'uscita al positivo di V_{CC}). Il livello logico basso è invece garantito dalla saturazione del transistor finale che collega l'uscita praticamente a massa ($V_{CEsat} = V_{OL} = 0,2 \text{ V}$).

I dispositivi *a collettore aperto* hanno il vantaggio di poter pilotare direttamente il carico da controllare (un relè, un LED o altro, sostituendolo al resistore di *pull-up*), con correnti normalmente importanti (I_{OL} fino a **40 mA**), e di poterlo alimentare con tensione di alimentazione anche superiore a quella tipica TTL di 5V (V_{OH} fino a **30 V**); nel nostro caso però le caratteristiche elettriche e dinamiche sono le stesse specificate per la **OR** TTL ($V_{OH} = 5,5 \text{ V}$, $I_{OL} = 8 \text{ mA}$).

In conclusione, ci si può chiedere la ragione della disponibilità commerciale di questa *variante* della *somma logica OR*: valutando con attenzione la *Tabella di verità* della funzione **XOR** ci si accorge facilmente che essa esprime anche quella della *somma aritmetica* di 2 bit senza riporto. La *porta logica XOR* è dunque l'anello di collegamento per realizzare macchine in grado di sommare *aritmeticamente* i numeri!

Nell'ambito del progetto digitale questa applicazione è descritta con dettaglio, a partire da un modello in grado di sommare 2 numeri da 1 bit ciascuno; la *Figura 20-a* mostra la *Tabella di verità* del progetto.

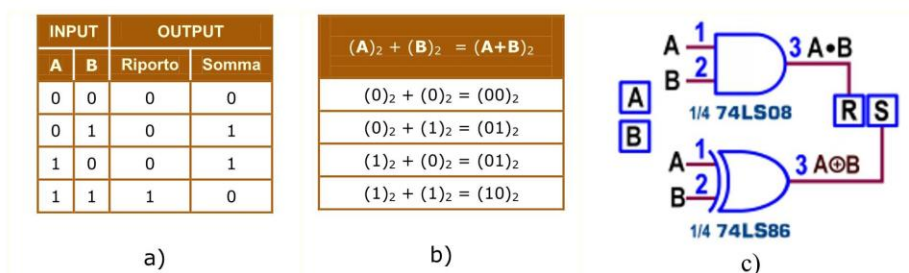


Figura20 - Exclusive-OR Gates 74LS86: Progetto di un Half Adder

Le variabili A e B rappresentano i numeri binari (a 1 bit) da sommare tra loro e le 2 colonne d'uscita mostrano complessivamente il risultato binario della somma (Figura 20-b); non è difficile riconoscere la funzione **AND** nella colonna destinata a tener conto del *Riporto* e la funzione **XOR** in quella destinata a tener conto della *Somma*.

La Figura 20-c mostra la realizzazione concreta del nostro progetto, noto come *mezzo sommatore (Half Adder)*; esso costituisce la base di partenza per creare *sommatori* di numeri espressi da una quantità di bit grande a piacere.

OPERATORE OR-EX (CMOS): 4030, 4070

I componenti destinati dalla serie CMOS all'**operatore OR ESCLUSIVO** sono 2: il **4030** e il **4070**, entrambi contenuti 4 porte a 2 ingressi, al solito tutti protetti da eventuali danni dovuti a scariche statiche dalla presenza di diodi posti tra V_{DD} e V_{SS} ; sono tra loro *pinout compatibili* (lo schema di Figura 21 vale per tutti e 2).

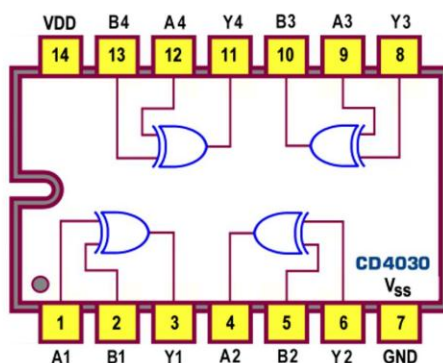


Figura 21 - Quad 2-input Exclusive-OR Gates 4030: Pin-out

La lettura dei *datasheet* evidenzia per essi le caratteristiche della famiglia **CMOS**: funzionamento in una vasta gamma di tensioni di alimentazione (da **3V** a **15V**), basso consumo energetico (**100nW** tipico), alto margine di rumore (**0,45 V_{DD}** tipica), velocità di funzionamento media (t_{PLH} e t_{PHL} pari a **40 ns** tipico, con carico di **2kohm/15pF** e $V_{DD}=10V$), tensione d'uscita tipica $V_{OH} = V_{DD}$ e $V_{OL} = V_{SS}$, corrente in uscita tipica, $|I_{OH}| = |I_{OL}|$ da **1mA** (con $V_{DD}=5V$) a **6,8mA** (con $V_{DD}=15V$), bassa compatibilità con la **TTL** (possono pilotare due 74L e un 74LS).

OPERATORE NOR ESCLUSIVO

Le funzioni booleane che si possono definire con 2 variabili in ingresso sono teoricamente 16 ma solo 10 sono realmente coerenti; tra esse una è *vera* se i 2 ingressi sono *uguali* tra loro e, per questo, è detta **COINCIDENZA**. Osservando la sua *Tabella di Verità* (Figura 22,a) si nota che le sue uscite sono *logicamente inverse* rispetto a quelle della **OR-EX**, come se a quest'ultimo fosse fatto seguire un operatore **NOT**; per questo la funzione COINCIDENZA è meglio nota come **NOR-EX** o **XOR negato** o **XNOR**.

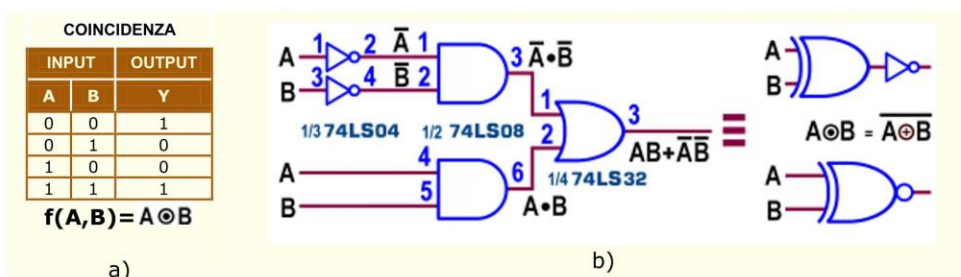


Figura 22 - Operatore speciale NOR ESCLUSIVO: Tabella di verità (in logica positiva) e schema

Anche per essa è definita un'equazione booleana, $AB + \bar{A}\bar{B}$, ancora una *somma logica* (**OR**) di due *prodotti logici* (**AND**) con 2 variabili d'ingresso negate ma in modo diverso dallo schema **XOR**; il circuito ad essa corrispondente è mostrato in Figura 22,b. Il simbolo utilizzato per rappresentarla è un cerchietto contenente un puntino, ad indicare l'operazione duale alla somma.

L'**operatore NOR-EX** è disponibile in un componente TTL (il **74LS266**, per altro a *collettore aperto*) e in un componente CMOS (il **4077**), entrambi contenuti 4 porte a 2 ingressi, *pinout* compatibili tra loro (lo schema di Figura 23 vale per tutti e 2).

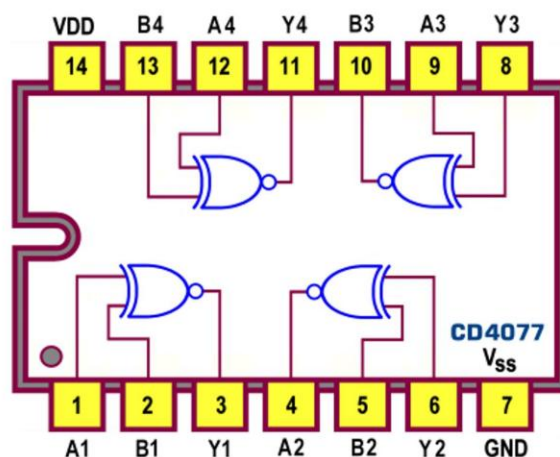


Figura 23 - Quad 2-input Exclusive-NOR Gates 4077: Pin-out

Le caratteristiche d'impiego sono le stesse fornite poco fa rispettivamente per il TTL *open-collector* **74LS136** e il CMOS **4070**.