



di GIORGIO OBER (GIOBE2000)

l'angolo di Mr A.KEER



(parte prima)

PROGETTARE con le PORTE LOGICHE *operatore fondamentale NOT*

In questo numero Mr A.Keer analizza il primo operatore logico fondamentale noto come NOT o INVERTER, fornendo una accurata descrizione dei componenti disponibili sul mercato per mantenere un concreto contatto con la realtà della progettazione.

Lo studio e la pratica dell'**elettronica digitale** è, in assoluto, uno dei più gratificanti esercizi intellettuali! Fin dalle sue fasi iniziali esso si affida alle regole dell'**Algebra di Boole**, il cui compito è quello di organizzare e descrivere "*in modo logico*" le situazioni e gli **eventi** dai quali è caratterizzata, in ogni momento, la nostra vita di tutti i giorni.

Poichè la realtà delle cose vuole che ogni possibile **evento** possa "**essere**" o "**non essere**", è **logico** pensare di affidare a ciascuno di essi una **variabile** in grado di assumere *due soli valori*, opposti tra loro; in questo modo ogni fenomeno può essere *virtualizzato*, cioè privato della sua sostanza, e sostituito con una entità impalpabile in grado di rappresentarne lo stato: acceso o spento, alto o basso, aperto o chiuso, e così via. Il modo più immediato per *virtualizzare* la realtà è apparso subito quello di affidare, ai due stati possibili, o il valore "**1**" o il valore "**0**".

Vale subito la pena sottolineare fin d'ora che quelli che *sembrano numeri* non lo sono affatto! Trattarli come tali porta, in seguito, ad oggettive incomprensioni; è necessario quindi concentrarsi sul fatto che entrambi i *valori* (apparentemente) *numerici* sono in realtà la sintesi di un **dato di fatto vero o falso**.

Con questa mentalità ad ogni progetto digitale è possibile associare una *Tabella (di Verità)* con il compito di evidenziare le combinazioni degli ingressi in grado di produrre effetto sull'uscita; l'analisi del suo contenuto consente la scrittura di almeno 4 diverse proposte analitiche, 4 **formule (=funzioni) booleane** diverse tra loro ma funzionalmente identiche.

La caratteristica esclusiva, che rende magica e concreta ogni analisi in questo ambito, sta nel fatto che ciascuna di queste formule si traduce immediatamente in un **circuito reale**, facilmente realizzabile con l'aiuto delle **porte logiche**, di solito disponibili in sufficiente disponibilità sotto forma di *circuito integrato*, facilmente reperibile nei negozi di componenti elettronici. Gli *integrati* di tipo logico appartengono per tradizione a due diverse categorie, contraddistinte dalla natura dei dispositivi con cui sono realizzati: la serie **74xx** (di natura TTL) e la serie **40xx** (di natura CMOS); senza entrare nel merito tecnologico ad esse faremo riferimento nel presentare la disponibilità commerciale per ciascuno degli **operatori logici** definiti dalla teoria digitale.

OPERATORE NOT: 74LS04

L'**operatore fondamentale NOT** è disponibile nel componente **74LS04** (della serie TTL), che ne contiene 6; la *Figura 1* mostra il *pin-out* (cioè l'aspetto e la funzione di ciascun piedino) di questo integrato.

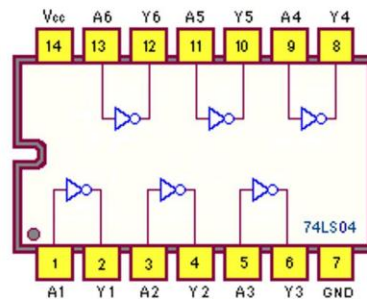


Figura 1 - Hex Inverter 74LS04: Pinout

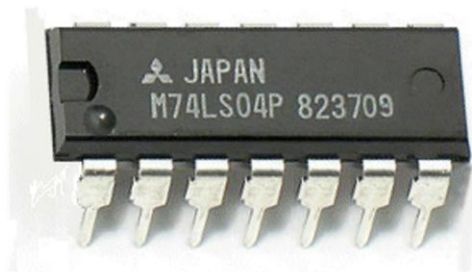


Figura 2 - Hex Inverter 74LS04: Circuito integrato

La lettura dei *datasheet* offerti dai produttori è cosa facile e consigliata; un tempo non molto remoto era necessario disporre di **manuali** costosi e spesso introvabili, ma oggi basta solo la consapevolezza di spendere bene qualche minuto, aprendo le infinite risorse rese disponibili direttamente e gratuitamente in Internet.

In essi il nostro **74LS04** è definito **Hex Inverter** [6 inverter] per evidenziare la sua caratteristica di offrire in uscita un livello logico (tensione) *opposto* a quello ricevuto in ingresso.

L'analisi del *pin-out* del componente ci consente alcune utili considerazioni:

- i *datasheet* chiamano questo importante disegno col nome di *schema di connessione* (*Connection Diagram*) o, talvolta, *Pin Arrangement*
- il contenitore di questi integrati è detto **DIP** (*Dual In-line Package*) perchè distribuisce i suoi 14 piedini su due file parallele, sui suoi *lati lunghi*; non di rado (come in questo caso) i piedini all'estremità di ciascun *lato lungo* sono destinati alle 2 polarità dell'alimentazione, rispettivamente la *massa* (**GND**) sul pin7 e il *positivo* (**V_{cc}=+5V**) sul pin14
- come nel componente reale (vedi *Figura 2*) la scanalatura posta al centro del *lato corto* (a sinistra, vista *dall'alto*) sta ad indicare il punto di partenza della numerazione dei 14 piedini previsti per questo integrato: essi si dovranno contare in sequenza da 1 a 14 in senso antiorario
- il primo di essi è ulteriormente identificato anche da un *puntino* posto nelle sue vicinanze

L'esperienza spesa *sul campo* suggerisce la necessità di disporre di strumenti di lavoro efficienti e concreti, atti a semplificare ogni fase di un progetto, dal *disegno* alla sua

realizzazione, passando per la *messa a punto* e il *collaudo*; per questo, per ogni componente, ho voluto creare 2 oggetti inediti in grado di sintetizzare tutte le informazioni necessarie:

- lo **schema funzionale**, di solito racchiuso in un piccolo rettangolo, che mette in evidenza la *struttura* del componente, mostrando a sinistra gli ingressi e a destra le uscite dei *dispositivi logici* in esso contenuti e specificando (al di qua e al di là delle linee verticali) il *numero* e la *funzione* affidata dal costruttore a ciascun piedino
- lo **schema pratico**, nato per fornire le informazioni utili al loro concreto utilizzo: in prossimità dell'ingresso e dell'uscita di ciascuno di essi è specificato il nome del *segnale logico* che entra e di quello che esce (nel contesto del progetto) e il *numero* dei piedini ad essi riservati nell'integrato che li ospita; quest'ultima indicazione è una *buona abitudine* (spesso disattesa da un frettoloso progettista) perchè facilita il montaggio del circuito reale (solitamente su una *breadboard*, di cui parleremo in una prossima occasione), evitando la necessità di aver sotto mano lo schema del suo *pin-out* e aiuta, in caso di necessità, a localizzare gli eventuali malfunzionamenti

La *Figura 3* e la *Figura 4* mostrano rispettivamente lo **schema funzionale** e lo **schema pratico** del **74LS04**.



Figura 3 - Hex Inverter 74LS04: Schema funzionale

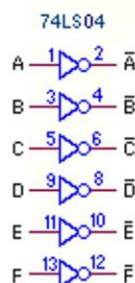


Figura 4 - Hex Inverter 74LS04: Schema pratico

I *datasheet* non forniscono questi schemi (a mio avviso importanti) ma, in alternativa, molto frequentemente ne offrono altri 3:

- lo *schema logico* (*Logic Diagram*): la sua analisi è comunque molto istruttiva perchè aiuta a capire i dettagli funzionali dei *dispositivi* contenuti nell'integrato, specialmente

se sono di natura complessa; nel caso del semplice **74LS04** esso risulta sostanzialmente uguale al contenuto del rettangolino del mio *schema funzionale*

- il *simbolo logico* (*Logic Symbol*), di solito poco intuitivo e molto diverso da quello utilizzato tradizionalmente (*Figura 5*) ma riconosciuto come *standard* dalle commissioni internazionali e codificato nel documento *ANSI/IEEE Std. 91-1984* e incluso nella pubblicazione *IEC 617-12*
- lo *schema elettronico* reale (*Circuit Schematics*) riferito a ciascuna delle porte, uguali tra loro, inserite nell'integrato: la sua analisi è logicamente irrilevante e comporta una decisa competenza su transistor, diodi, resistori,...; la *Figura 6* ne è esempio per il **74LS04** (per gentile concessione *Texas Instruments*)

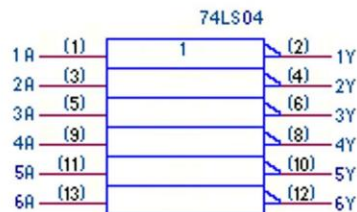


Figura 5 - Hex Inverter 74LS04: Simbolo logico ANSI/IEEE Std. 91-1984

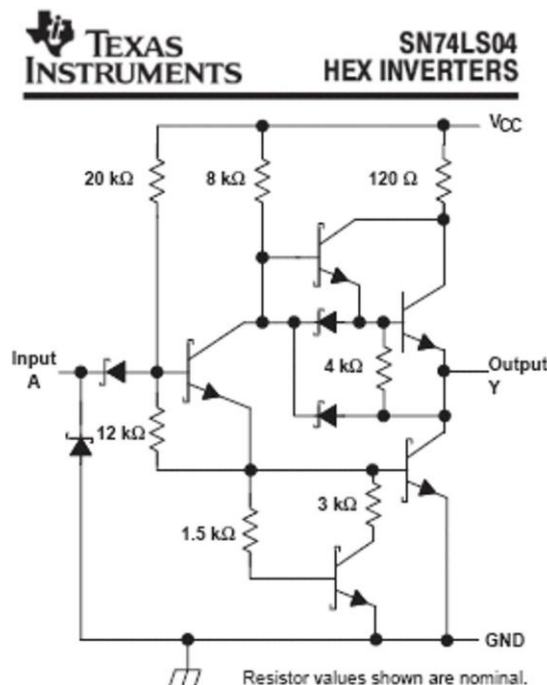


Figura 6 - Hex Inverter 74LS04: Schema elettronico interno

La *famiglia logica* a cui appartiene il nostro componente è la **TTL** (**T**ransistor **T**ransistor **L**ogic), basata sulla tecnologia del *transistor a giunzione bipolare* (BJT); essa è disponibile in numerose sottofamiglie e, per precisa scelta, faremo riferimento alla TTL **LS** (**L**ow Power **S**chottky) le caratteristiche standard della quale si possono riassumere in *Tabella 1*.

TTL LS Caratteristiche Elettriche		Valori
caratteristiche d'ingresso	tensione a livello "1"	V_{IH} 2 V [valore minimo riconosciuto ad ogni ingresso come livello alto]
	tensione a livello "0"	V_{IL} 0,8 V [valore massimo riconosciuto ad ogni ingresso come livello basso]
	corrente a livello "1"	I_{IH} 20 μ A [assorbita, valore massimo, con $V_{IH}=2,7V$ e con $V_{cc}=\text{massima}$]
	corrente a livello "0"	I_{IL} 0,4 mA [erogata, valore massimo, con $V_{IL}=0,4V$ e con $V_{cc}=\text{massima}$]
caratteristiche d'uscita	tensione a livello "1"	V_{OH} 2,7 V [minimo], 3,5 V [tipico], con $V_{IL}=0,8V$, $I_{OH}=-400\mu A$ e $V_{cc}=\text{min}$
	tensione a livello "0"	V_{OL} 0,4 V [valore massimo], 0,25 V [valore tipico], con $V_{IH}=2V$, $I_{OL}=4mA$ e $V_{cc}=\text{min}$
	corrente a livello "1"	I_{OH} 400 μ A [erogata, valore massimo, con $V_{OH}=2,4V$]
	corrente a livello "0"	I_{OL} 8 mA [assorbita, valore minimo, con $V_{OL}=0,4V$]
tensione di alimentazione		V_{CC} 5 V [valore tipico], 4,5 V [valore minimo], 5,5 V [valore massimo]
frequenza di lavoro		f_{out} 45 MHz [valore massimo]
fan-out		20 [valore tipico quando l'uscita è bassa], pari a $I_{OL}/I_{IH}=8\text{ mA}/0,4\text{ mA}$ 20 [valore tipico quando l'uscita è alta], pari a $I_{OH}/I_{IH}=400\text{ }\mu A/20\text{ }\mu A$

Tabella 1 - Hex Inverter 74LS04: Caratteristiche dalla famiglia TTL LS

Osservando i dati raccolti in Tabella possiamo mettere in particolare evidenza che:

- la tensione di alimentazione V_{CC} è tipicamente di 5V ed è tollerato solo un lieve scostamento (da 4,5V a 5,5V) da questo valore
- i livelli di tensione attesi su ogni ingresso vanno da 0V a 0,8V (il valore massimo V_{IL} riconosciuto come livello basso) e da 2V (il valore minimo V_{IH} riconosciuto come livello alto) a 5V (quello dell'alimentazione): si nota un intervallo intermedio (tensioni maggiori di 1,8V e minori di 2V) che si dovrà evitare di fornire se si desidera un corretto funzionamento dei dispositivi TTL
- i livelli di tensione garantiti su ogni uscita dipendono ovviamente dal carico applicato; i valori tipici V_{OL} a livello basso sono quelli di un *transistor in saturazione* e vanno (all'aumentare della corrente assorbita) da 0,25V a 0,35V; quelli V_{OH} a livello alto vanno da un minimo di 2,7V e potranno raggiungere valori di certo inferiori ai 5V dell'alimentazione, per la ovvia presenza della resistenza interna: tipicamente è previsto il valore di 3,5V ma, in condizioni di erogazione di corrente nella norma TTL, si possono misurare fino a 4,2V
- le uscite assicurano una discreta corrente assorbita I_{OL} (a livello "0", fino a 8mA) ma non sono adatte per erogarla I_{OH} (a livello "1", al massimo 0,4mA), almeno quando sono chiamate ad assicurare i livelli di tensione necessari a pilotare ingressi TTL
- la corrente d'ingresso è sostanzialmente 20 volte più piccola di quella coinvolta in uscita (al massimo $I_{IL}=0,4mA$ quella erogata a livello "0" e $I_{IH}=0,02mA$ quella assorbita a livello "1"); ciò significa che ciascuna uscita TTL è in grado di pilotare fino a 20 ingressi di dispositivi appartenenti alla stessa famiglia, mantenendo inalterate le sue caratteristiche logiche. Questa peculiarità è nota come **fan-out** ed è il rapporto tra la corrente in uscita e quella in ingresso
- la frequenza di lavoro è relativamente elevata: da questo punto di vista la tecnologia TTL è di gran lunga più efficiente di altre..

Alle caratteristiche condivise con gli altri componenti della famiglia TTL ne vanno aggiunte altre 2, da valutare di volta in volta perchè specifiche del componente sotto esame:

- la *potenza dissipata*, funzione dalla corrente I_{CC} assorbita d'alimentazione V_{CC} , come detto tipicamente fissata a **5W**; va sottolineato che il *consumo* dipende dalla complessità del componente e che raggiunge il suo massimo quando esso è *in esercizio* (cioè nella *fase di commutazione*) ed è quindi legato alla *frequenza di lavoro*.
- il *ritardo di propagazione* (*Propagation Delay Time*) è il *tempo* che passa dal momento in cui il segnale d'ingresso raggiunge il 50% del suo valore a quello in cui (a causa di questa commutazione) anche il segnale d'uscita raggiunge il 50% del suo valore; i manuali offrono questo dato nella tabella delle *caratteristiche dinamiche* (*Switching Characteristics*) e mettono spesso in evidenza anche il *tempo di transizione*, il tempo di *salita* o di *discesa*, misurato tra il 10% e il 90% del livello del segnale d'uscita, dello stesso ordine di grandezza.

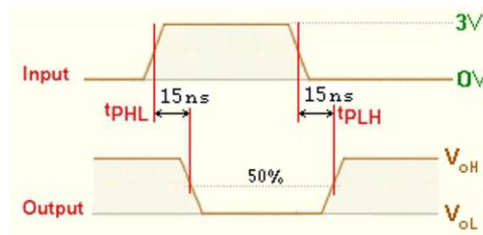


Figura 7 - Hex Inverter 74LS04: Ritardi di Propagazione

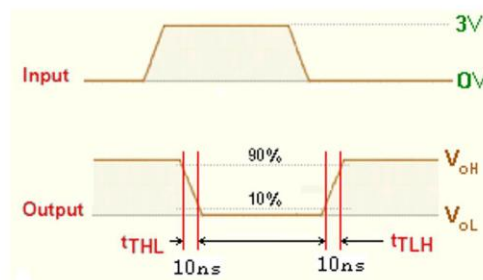


Figura 8 - Hex Inverter 74LS04: Tempi di transizione

La *Tabella 2* raccoglie questi dati per il **74LS04** e le *Figure 7* e *8* mostrano l'andamento temporale delle sue uscite in funzione degli ingressi.

TTL 74LS04	Altre Caratteristiche	Valori
potenza dissipata massima [$I_{cc} \cdot V_{cc}$]	P_D	12 mW [$I_{cc}=2,4$ mA con $V_{cc}=5V$ e uscita a "1"]
		33 mW [$I_{cc}=6,6$ mA con $V_{cc}=5V$ e uscita a "0"]
ritardo di propagazione con carico di 2kohm/15pF	[da basso a alto]	t_{PLH} 15 ns [valore massimo] con $V_{cc}=5V$ a $T_A=25^\circ C$
	[da alto a basso]	t_{PHL} 15 ns [valore massimo] con $V_{cc}=5V$ a $T_A=25^\circ C$

Tabella 2 - Hex Inverter 74LS04: Caratteristiche specifiche del componente

OPERATORE NOT: 4069

L'**operatore fondamentale NOT** è disponibile con 6 inverter *anche* nel componente **CD4069** (della serie CMOS); osservando la *Figura 9* si nota che esso è *pin-out compatibile* con il suo omologo TTL, **74LS04**, cioè la funzione *logica* di ciascuno dei suoi 14 piedini è la medesima sia per i 6 operatori che per le 2 alimentazioni (la *massa* sul pin7, indicata in ambito CMOS con V_{SS} , e il *positivo*, indicato in ambito CMOS con V_{DD} , sul pin14, di valore tipicamente compreso tra +3V e +15V).

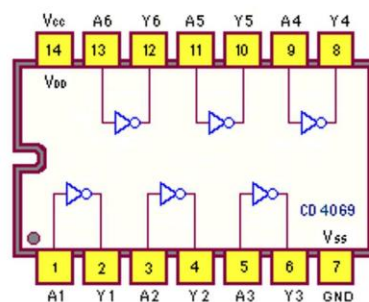


Figura 9 - Hex Inverter 4069: Pinout

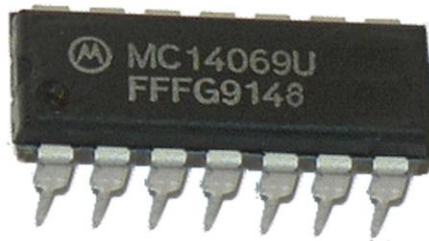


Figura 10 - Hex Inverter 4069: Circuito integrato

La Figura 10 mostra l'integrato nella sua forma reale: per curiosità mettiamolo a confronto con quello di prima:

- di certo hanno la stessa struttura *Dual In-line* del *Package* (entrambi sono sempre in **DIP** plastico)
- su entrambi figura il *simbolino* del costruttore, probabilmente già visto altrove: il primo è della *Mitsubishi* e questo della *Motorola*
- le scritte non sono di immediata comprensione e destano legittima curiosità; non può mancare il nome del componente, se pur mascherato da altri caratteri: **M74LS04P** per il primo e **MC14069U** per il secondo
- ogni carattere eccedente la sigla attesa per l'integrato dipende dal modo con cui il costruttore cataloga i suoi prodotti, ma (inglobata tra di essi) ogni integrato mostra sempre anche la data di produzione, espressa in anno e settimana: il primo (**823709**) è di metà settembre (37esima settimana) del 1982, il secondo (**FFFG9148**) è dei primi di dicembre (48esima settimana) del 1991

Anche per il **4069** è proposto lo **schema funzionale** (Figura 11).

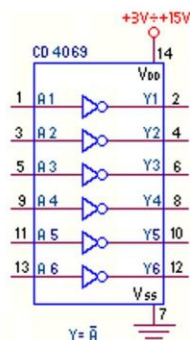


Figura 11 - Hex Inverter 4069: Schema funzionale

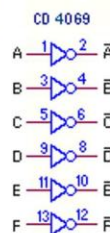


Figura 12 - Hex Inverter 4069: Schema pratico

Lo **schema pratico** (Figura 12) offre l'occasione per sottolineare una importante nota pratica: sebbene sia **sempre buona abitudine** non lasciare *fluttuanti* (scollegati) gli ingressi non utilizzati, nel caso dei dispositivi CMOS diventa una necessità, a causa dell'elevata sensibilità al *rumore elettrico* (dovuta all'alta impedenza d'ingresso), in grado di provocare imprevedibili e indesiderati cambi di livello, da basso a alto e viceversa: per questo tutti gli ingressi inutilizzati devono essere collegati ad un positivo V_{DD} dell'alimentazione o a massa.

La lettura dei *datasheet* ci informa che il **4069** (esso pure definito **Hex Inverter**) è stato progettato per tutte le applicazioni (*general purpose*) che richiedono la normale presenza un inverter, lasciando intendere la disponibilità di una versione più efficiente (il **4049**, di cui ci occuperemo in seguito) in grado di assicurare una maggiore capacità di pilotaggio (maggiore corrente in uscita) e la disponibilità di prestarsi come convertitore di livello logico (da CMOS a TTL).

Il nostro componente appartiene alla *famiglia logica CMOS* (Complementary Metal Oxide Semiconductor), basata sull'utilizzo di *transistor a effetto di campo con struttura MOS* (MOSFET), le cui caratteristiche standard sono decisamente diverse da quelle (viste in precedenza) della *famiglia TTL* e si possono riassumere in *Tabella 3*.

CMOS Caratteristiche Elettriche			Valori per		
			$V_{DD} = 5V$	$V_{DD} = 10V$	$V_{DD} = 15V$
caratteristiche d'ingresso	tensione a livello "1"	V_{IH}	4V [min, $V_O=0,5V$]	8V [min, $V_O=1V$]	12V [min, $V_O=1,5V$]
	tensione a livello "0"	V_{IL}	1V [max, $V_O=4,5V$]	2V [max, $V_O=9V$]	3V [max, $V_O=13,5V$]
	corrente [tipico]	I_{IH}	0,00001 μA [con $V_{DD}=15V$, sia con $V_{IH}=15V$ che con $V_{IL}=0V$]		
caratteristiche d'uscita [valori tipici]	tensione a livello "1"	V_{OH}	5V [valore tipico]	10V [valore tipico]	15V [valore tipico]
	tensione a livello "0"	V_{OL}	0V [valore tipico]		
	corrente a livello "1"	I_{OH}	0,88 mA [$V_{OH}=4,6V$]	2,25 mA [$V_{OH}=9,5V$]	8,8 mA [$V_{OH}=13,5V$]
	corrente a livello "0"	I_{OL}	0,88 mA [$V_{OL}=0,4V$]	2,25 mA [$V_{OL}=0,5V$]	8,8 mA [$V_{OL}=1,5V$]
tensione di alimentazione		V_{CC}	da 3V a 15V [valore raccomandato] da -0,5V a 18V [valore massimo]		
frequenza di lavoro		f_{out}	1 MHz [valore massimo]		
fan-out		f_{out}	50 [valore tipico]		

Tabella 3 - Hex Inverter 4069: Caratteristiche dalla famiglia CMOS

In particolare possiamo mettere in evidenza che:

- la tensione di alimentazione può variare da **3V** a **15V** (o 18V) senza compromettere il funzionamento del componente; data l'ampia rosa di valori appare subito evidente la necessità di differenziare i comportamenti elettrici, raggruppandoli in almeno in tre fasce: per V_{DD} pari a 5V, 10V e 15V
- gli intervalli di tensione attesi su ogni ingresso hanno la stessa estensione per entrambi i livelli: quello basso, V_{IL} , va da 0V a $1/5 \cdot V_{DD}$ e quello alto, V_{IH} , va da $4/5 \cdot V_{DD}$ a V_{DD} ; nella zona di tensioni intermedie, maggiori di $1/5 \cdot V_{DD}$ e minori di $4/5 \cdot V_{DD}$, viene prodotta una repentina commutazione dell'uscita, come si può vedere dalla *transcaratteristica* (*transfer characteristics*, Figura 13).
- i livelli di tensione su ogni uscita sono tipicamente uguali alla V_{DD} per la V_{OH} (a livello alto) e alla V_{SS} (=0V) per la V_{OL} (a livello basso)
- la corrente assorbita dagli ingressi è pressoché nulla in tutte le situazioni! Questo significa i dispositivi CMOS non *caricano* il circuito a cui sono collegati (una eccellente proprietà); ciò è dovuto al valore molto elevato della loro impedenza d'ingresso
- questo significa anche che il **fan-out** dei dispositivi CMOS si può ritenere infinito; è tuttavia consuetudine stimare a **50** il numero di ingressi pilotabili da un'uscita CMOS, volendo tener conto delle capacità parassite d'ingresso (soggette dinamicamente a *carica* e *scarica*)
- le uscite sono in grado di assicurare lo stesso valore sia per la corrente assorbita I_{OL} (a livello "0") che per quella erogata I_{OH} (a livello "1"), fino ad un massimo di 8,8mA con

$V_{DD}=15V$; dal punto di vista della compatibilità con la TTL a bassa potenza esse sono in grado di pilotare 2 ingressi di tipo 74L o un solo ingresso di tipo 74LS

- tutti gli ingressi sono protetti da eventuali danni dovuti alle cariche statiche, con diodi posti tra le linee V_{DD} e V_{SS}
- la frequenza di lavoro non è particolarmente elevata: da questo punto di vista la famiglia TTL è di gran lunga più efficiente..

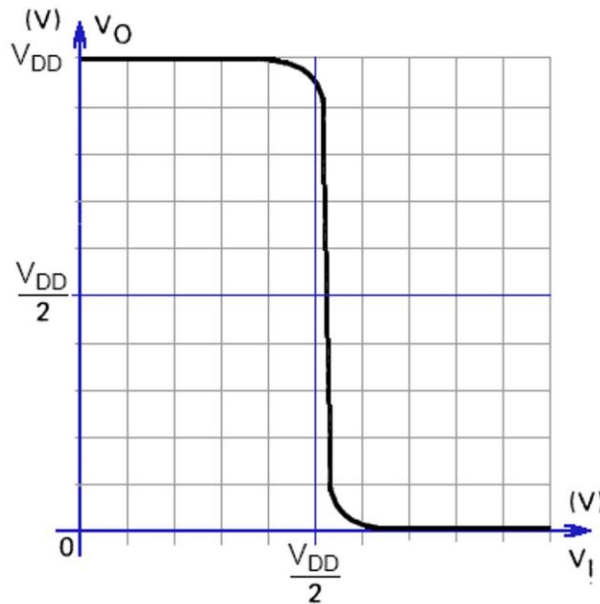


Figura 13 - Hex Inverter 4069: Caratteristica di trasferimento

La Tabella 4 raccoglie i dati relativi alla *potenza dissipata* e alle *caratteristiche dinamiche* (Switching Characteristics) del **4069**; per visualizzare gli andamenti temporali delle sue uscite in funzione degli ingressi si può ancora far riferimento alle Figure 7 e 8.

CMOS 4069 Altre Caratteristiche		Valori per		
		$V_{DD} = 5V$	$V_{DD} = 10V$	$V_{DD} = 15V$
potenza dissipata [$I_{DD} \cdot V_{DD}$]	massima a 125°C	37,5 μW [$I_{DD} = 7.5 \mu A$]	150 μW [$I_{DD} = 15 \mu A$]	450 μW [$I_{DD} = 30 \mu A$]
	massima a 25°C	1,25 μW [$I_{DD} = 0.25 \mu A$]	5,0 μW [$I_{DD} = 0.5 \mu A$]	15 μW [$I_{DD} = 1.0 \mu A$]
	tipica a 25°C	0.05 μW [$I_{DD} = 0.01 \mu A$]	0.10 μW [$I_{DD} = 0.01 \mu A$]	0.15 μW [$I_{DD} = 0.01 \mu A$]
ritardo di propagazione [da ingresso a uscita [t_{PHL} o t_{PLH}]]		50 ns [tipico] 90 ns [massimo]	30 ns [tipico] 60 ns [massimo]	25 ns [tipico] 50 ns [massimo]
	tempo di transizione [t_{THL} o t_{TLH}]	80 ns [tipico] 150 ns [massimo]	50 ns [tipico] 100 ns [massimo]	40 ns [tipico] 80 ns [massimo]

Tabella 4 - Hex Inverter 4069: Caratteristiche specifiche del componente

La *potenza dissipata* in condizioni statiche è veramente trascurabile e rimane comunque tale anche nella fase di commutazione ad alta frequenza: si tratta di un grande pregio, rispetto alla TTL.

Taluni costruttori indicano valori leggermente inferiori sia per il *ritardo di propagazione* (Propagation Delay Time) che per il *tempo di transizione*; altri forniscono valori differenziati sia per t_{PHL} e t_{PLH} che per t_{THL} e t_{TLH} ; i valori riportati sono comunque quelli condivisi dalla maggior parte di essi e sono stati rilevati con carico di **200kohm/50pF**.

OPERATORE NOT: 4049

Anche il componente **CD4049** (della serie CMOS) offre l'**operatore fondamentale NOT**, sempre in 6 esemplari; la *Figura 14* presenta il suo *pin-out*.

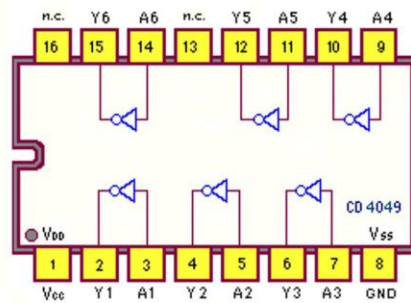


Figura 14 - Inverting Hex Buffer 4049: Pinout

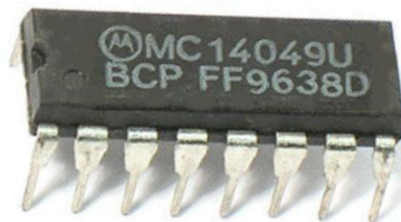


Figura 15 - Inverting Hex Buffer 4049: Circuito integrato

Si notano subito alcune differenze con i suoi omologhi **74LS04** (TTL) e **4069** (CMOS):

- la presenza di **16** piedini, sempre *Dual In-line*: 2 in più, funzionalmente non necessari, essendo di fatto i pin13 e pin16 internamente *non collegati* (n.c.)
- una diversa collocazione dei piedini d'alimentazione (per altro anomala anche nell'ambito della famiglia CMOS) ora rispettivamente sul pin8 (la *massa*, indicata in ambito CMOS con V_{SS}) e sul pin1 (il *positivo*, indicata in ambito CMOS con V_{DD} , di valore tipicamente compreso tra +3V e +15V)
- un diverso orientamento interno degli operatori, per altro logicamente irrilevante

Lo **schema funzionale** (*Figura 16*) e lo **schema pratico** (*Figura 17*) ribadiscono le differenze riscontrate.

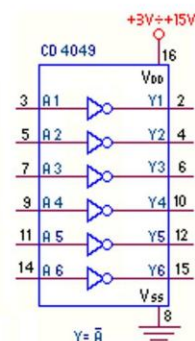


Figura 16 - Inverting Hex Buffer 4049: Schema funzionale

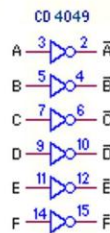


Figura 17 - Inverting Hex Buffer 4049: Schema pratico

La disponibilità sul mercato di un secondo integrato CMOS può risultare strana ma la lettura dei *datasheet* ci aiuta a scoprirne la ragione, evidenziandone le differenze; intanto il **4049** è definito **Inverting Hex Buffer**, mettendo in risalto l'attitudine (da parte di ciascuno dei 6 dispositivi contenuti) a comportarsi da *buffer invertente* cioè la capacità di garantire in uscita una corrente maggiore di quella controllata in ingresso (*amplificazione di corrente*) e di offrire in uscita un livello logico (tensione) *opposto* a quello ricevuto in ingresso.

L'analisi delle *caratteristiche elettriche* del nostro componente conferma le valenze **tipiche** dei dispositivi della *famiglia logica CMOS* a cui appartiene:

- la tensione attesa su ogni ingresso è sostanzialmente la stessa: inferiore di 0,5V la V_{IH} (a livello "1") e superiore di 0,5V la V_{IL} (a livello "0"); ma può ora superare quella dell'alimentazione, V_{DD} , in virtù di speciali dispositivi di protezione
- la corrente d'ingresso rimane *pressoché* nulla (0,00001 μA) in ogni condizione operativa, per via del valore molto elevato dell'impedenza d'ingresso, confermando l'attitudine a non *caricare* il circuito a cui sono collegati
- il **fan-out** è sempre teoricamente infinito ma stimabile in 50, per via della *carica e scarica* delle capacità parassite d'ingresso
- la tensione di alimentazione può variare da **3V** a **15V** senza compromettere il funzionamento del componente
- la frequenza di lavoro è relativamente contenuta (massimo 1MHz)

CMOS 4049 Caratteristiche Elettriche			Valori per		
			$V_{DD} = 5V$	$V_{DD} = 10V$	$V_{DD} = 15V$
caratteristiche d'uscita	tensione a livello "1" V_{OH}		5V [valore tipico]	10V [valore tipico]	15V [valore tipico]
	tensione a livello "0" V_{OL}		0V [valore tipico]		
[valori tipici]	corrente a livello "1" I_{OH}		1,6 mA [$V_{OH}=4,6V$]	3,6 mA [$V_{OH}=9,5V$]	12 mA [$V_{OH}=13,5V$]
	corrente a livello "0" I_{OL}		5 mA [$V_{OL}=0,4V$]	12 mA [$V_{OL}=0,5V$]	40 mA [$V_{OL}=1,5V$]

Tabella 5 - Inverting Hex Buffer 4049: Caratteristiche d'uscita del componente

La dichiarata proprietà di Buffer del **4049** rispetto al **4069** è invece chiaramente rilevabile osservando i valori della corrente d'uscita, raccolti in *Tabella 5*: quella *erogata* (a livello "1") è quasi il doppio mentre quella *assorbita* (a livello "0") è 5 volte maggiore; è bene ricordare, tuttavia, che per correnti troppo elevate non sono più garantiti i livelli di tensione necessari a pilotare ingressi CMOS; in aggiunta, i manuali ammoniscono di non superare i 12mA per lunghi periodi di tempo (ritenendo *valori di picco* quelli indicati in tabella per la corrente d'uscita). Il **4049** è spesso utilizzato anche come convertitore di livello logico *da CMOS a TTL* (o *da CMOS a CMOS* con alimentazione inferiore a V_{DD}); in questi casi alla tensione d'ingresso a "1" logico, V_{IH} , è consentito superare quella di alimentazione, per esempio (vedi *Figura 18*) $V_{CC}=5V$; la capacità di pilotaggio in queste condizioni è di 2 ingressi TTL.

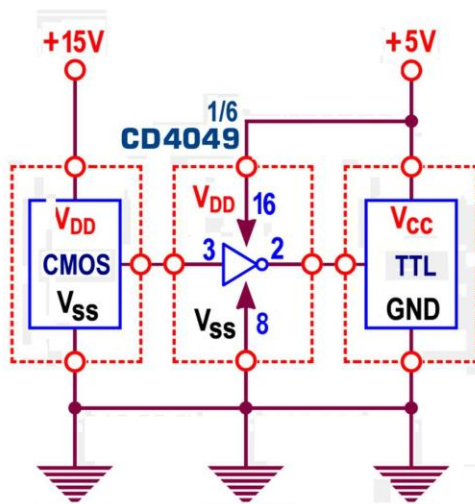


Figura 18 - Inverting Hex Buffer 4049: convertitore di livello da CMOS a TTL

La *Tabella 6* mostra le *caratteristiche dinamiche* e di *consumo* del **4049**: sottoposto alla massima alimentazione ($V_{DD}=15V$) la *potenza dissipata* in condizioni statiche rimane irrisoria (circa 1 nW) mentre in fase di commutazione, cioè sottoposto al massimo assorbimento, consuma 10 volte di più, rispetto al **4069**, ma comunque meno di 2 mW!!

CMOS 4049 Altre Caratteristiche		Valori per		
		$V_{DD} = 5V$	$V_{DD} = 10V$	$V_{DD} = 15V$
potenza dissipata [$I_{DD} \cdot V_{DD}$]	massima, a 85°C	150 μW [$I_{DD}=30 \mu A$]	600 μW [$I_{DD}=60 \mu A$]	1,8 mW [$I_{DD}=120 \mu A$]
	massima, a 25°C	20 μW [$I_{DD}=4 \mu A$]	80 μW [$I_{DD}=8 \mu A$]	240 μW [$I_{DD}=16 \mu A$]
	tipica, a 25°C	0,15 μW [$I_{DD}=0.03 \mu A$]	0,50 μW [$I_{DD}=0.05 \mu A$]	1,05 μW [$I_{DD}=0.07 \mu A$]
ritardo di propagazione t_{PHL} , t_{PLH}	[da basso a alto]	45 ns [tipico] 85 ns [massimo]	25 ns [tipico] 45 ns [massimo]	20 ns [tipico] 35 ns [massimo]
	[da alto a basso]	30 ns [tipico] 65 ns [massimo]	20 ns [tipico] 40 ns [massimo]	15 ns [tipico] 30 ns [massimo]
	[da basso a alto]	60 ns [tipico] 120 ns [massimo]	30 ns [tipico] 55 ns [massimo]	25 ns [tipico] 45 ns [massimo]
	[da alto a basso]	30 ns [tipico] 60 ns [v]	20 ns [tipico] 40 ns [massimo]	15 ns [tipico] 30 ns [massimo]

Tabella 6 - Inverting Hex Buffer 4049: Altre caratteristiche specifiche

Il *ritardo di propagazione* e il *tempo di transizione* (sempre rilevati con carico di **200kohm/50pF**) sono ancora dell'ordine delle decine di ns