



di GIORGIO OBER (GIOBE2000)

l'angolo di Mr A.KEER



(parte ventitreesima)

PROGETTARE con le PORTE LOGICHE

Il Flip-Flop D-Type (Seconda parte)

Continuiamo in questa puntata lo studio degli elementi di memoria di tipo D-Type analizzando in dettaglio i componenti commerciali e i Registri della famiglia CMOS e presentando alcune tra le più comuni applicazioni di questo straordinario dispositivo.

Il **Flip-Flop D-Type** è in grado di fissare (memorizzare) sull'uscita il livello logico predisposto sul suo ingresso di dato D, sempre e solo in corrispondenza di *uno dei fronti* del suo ingresso di sincronismo (*Clock*), per ciò detto **Edge Triggered**; nella puntata precedente abbiamo analizzato i componenti TTL con **D-Type** singoli, indipendenti tra loro, e altri organizzati in **Registri** da 4 o 6 bit; vediamo ora le medesime configurazioni, ma supportate dalla tecnologia CMOS.

Flip-Flop D-Type (CMOS): 4013

Anche nella serie **CMOS** esiste un unico componente contenente **Flip-Flop** completamente indipendenti tra loro; si tratta del **4013**, definito dai costruttori **Dual D-Type Positive Edge-Triggered Flip-Flop**, che mette a disposizione due **D-Type**, ciascuno dotato di uscita Q sia diretta che negata e di linee autonome di dato, *Clock*, *Preset* e *Clear*; la *Figura 1* mostra il suo *pin-out*.

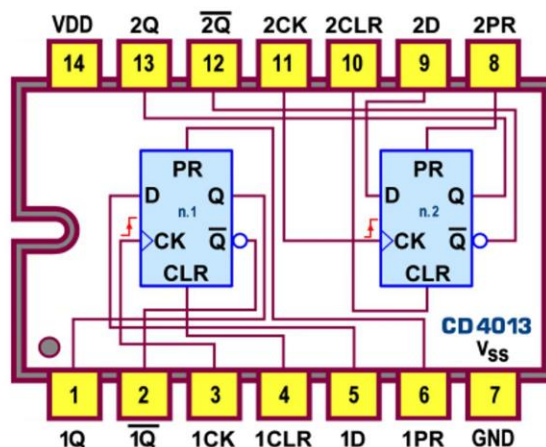


Figura 1 - Dual D-Type Flip-Flop 4013: Pin-out

La presenza delle linee di *Preset* e *Clear* non è coerente con il funzionamento di un **D-Type**, essendo *asincrono* nell'ambito *Edge Triggered* che li caratterizza, ma è molto utile per forzare lo stato iniziale delle uscite ad un valore indipendente da quello gestibile con gli ingressi di Dato e di *Clock*; in pratica è come disporre anche di un **Latch SR asincrono** (in logica positiva); la *Tabella di Verità* di Figura 2 conferma la loro azione prioritaria sugli altri ingressi e la logica **SR** che li governa.

INPUTS					OUTPUTS	
PRE	CLR	CLK	D	Q	\bar{Q}	MODO
0	1	X	X	0	1	Clear
1	0	X	X	1	0	Preset
1	1	X	X	1	1	Vietata
0	0	f	1	1	0	SET
0	0	f	0	0	1	RESET
0	0	0,1,f	X	Q'	Q'	Memoria

Figura 2 - Dual D-Type Flip-Flop 4013: Tabella di Verità

Possiamo osservare che queste linee sono *attive alte* (contrariamente a quanto succede nella versione TTL **74LS74**) per cui, in condizioni normali, vanno lasciate a 0; in questo stato il dato presente sull'ingresso D viene trasferito in uscita sul fronte di salita dell'impulso *Clock*.

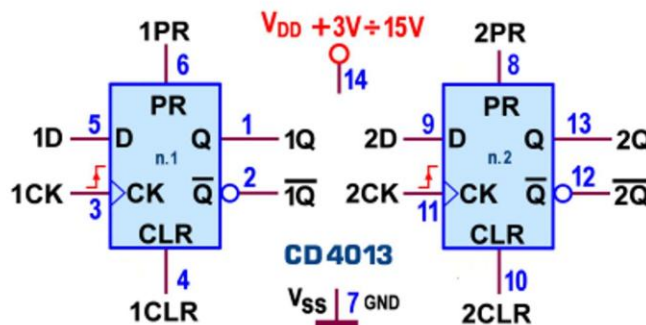


Figura 3 - Dual D-Type Flip-Flop 4013: Schema funzionale

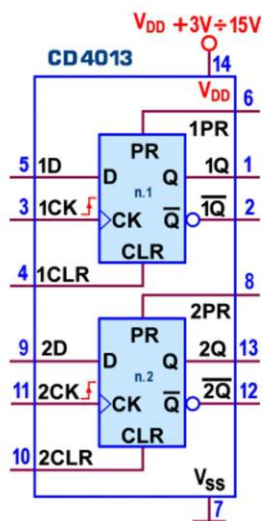


Figura 4 - Dual D-Type Flip-Flop 4013: Schema pratico

Lo *schema funzionale* è visibile in *Figura 3*, mentre lo *schema pratico* è mostrato in *Figura 4*.

In *Figura 5* è disponibile anche il *simbolo logico* predisposto dallo *standard IEEE*.

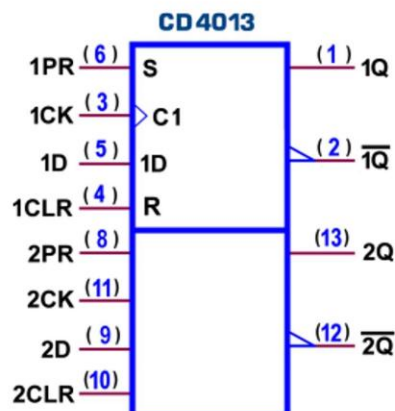


Figura 5 - Dual D-Type Flip-Flop 4013: Simbolo logico ANSI/IEEE Std. 91-1984

Come per gli altri componenti della famiglia **CMOS** la *potenza dissipata* dal **4013** è trascurabile; la corrente tipica, sia erogata (I_{OH} , con $Q=1$) che assorbita (I_{OL} , con $Q=0$) in uscita, è (in valore assoluto) di **1 mA** ($V_{DD}=5V$), **2,6 mA** ($V_{DD}=10V$) e **6,8 mA** ($V_{DD}=15V$); i ritardi di propagazione (misurati con carico di **50pF/200kOhm**) tra *Clock* e le uscite Q sono al massimo di **350ns** ($V_{DD}=5V$), **130ns** ($V_{DD}=10V$) e **90ns** ($V_{DD}=15V$), mentre i valori *tipici* sono sostanzialmente la metà.

Poichè si tratta di un componente dal funzionamento sincrono assumono particolare importanza, tra le caratteristiche dinamiche, anche la massima frequenza di *Clock* applicabile (tipicamente di **24 Mhz** con $V_{DD}=15V$, ridotta a **7 Mhz** con $V_{DD}=5V$) e gli importanti tempi di *Setup Time* [t_s , durante il quale il dato presente sull'ingresso D deve essere mantenuto stabile, *prima* dell'arrivo del fronte attivo del *clock*, pari a $t_s=20$ ns ($V_{DD}=5V$), **10 ns** ($V_{DD}=10V$) e **7 ns** ($V_{DD}=15V$)] e di *Hold Time* [t_h , da lasciar trascorre, subito *dopo* il fronte attivo del *Clock*, per poter modificare i dati sull'ingresso D senza pericolo di influenzare il livello d'uscita, pari a $t_h=0$ ns].

Circuiti di applicazione con Flip-Flop D-Type

I **Flip-Flop D-Type** sono i dispositivi ideali per gestire la **memoria** di dati, ma si prestano anche per altre applicazioni, alcune in sintonia con le loro caratteristiche ed altre per le quali sono forse più adatti altri componenti.

[1] La disponibilità degli ingressi di *Preset* e *Clear* (comune, come vedremo, anche ad altri tipi di Flip-Flop) permette di utilizzare questo componente in modo improprio, come **Latch SR Asincrono**. Come è noto, una delle applicazioni più emblematiche di quest'ultimo è il **Circuito Antirimbazzo** (*debouncer*), chiamato a risolvere il problema degli impulsi spuri generati dalla pressione di un pulsante o dall'azione sulla levetta di un deviatore o di un interruttore, dovuti agli inevitabili micro-rimbaldi che, per qualche decina di millisecondi, non permettono all'elemento meccanico interno di assestarsi immobile sul contatto d'arrivo.

Poiché di solito questo dispositivo è realizzabile con due sole porte logiche invertenti, la sua realizzazione con un Flip-Flop D-Type (nell'esempio un **74LS74**) ha senso solo se non si dispone di queste porte, ma costituisce comunque un buon esempio d'applicazione.

Lo schema è visibile in *Figura 6*: gli ingressi di Dato D e di *Clock* sono messi decisamente fuori causa (collegandoli a massa) in modo da poter governare il dispositivo solo con gli ingressi asincroni di *Preset* e *Clear*, attivi bassi, affidando loro il classico compito di *Set* e *Reset*. Senza

entrare nei dettagli (ampiamente trattati in altra puntata) affidiamo la descrizione al diagramma temporale (Figura 7), dal quale è facile verificare la sua efficienza: gli impulsi spuri introdotti dal deviatore dopo ogni commutazione non avranno alcun effetto, in virtù delle regole previste dalla tabella di verità del **Latch SR**, e per la presenza dei 2 resistori di pull-up, che contribuiscono alla loro attuazione.

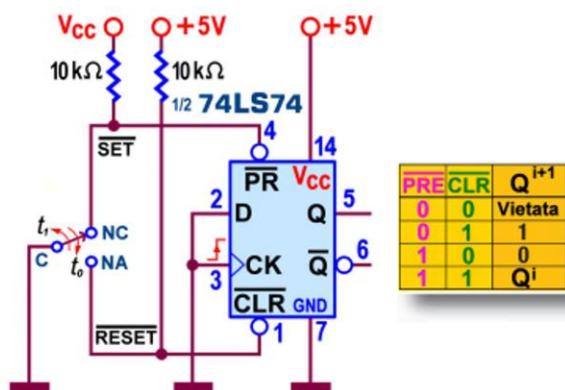


Figura 6 - Flip-Flop D-Type 7474 come Circuito Antirimbalzo

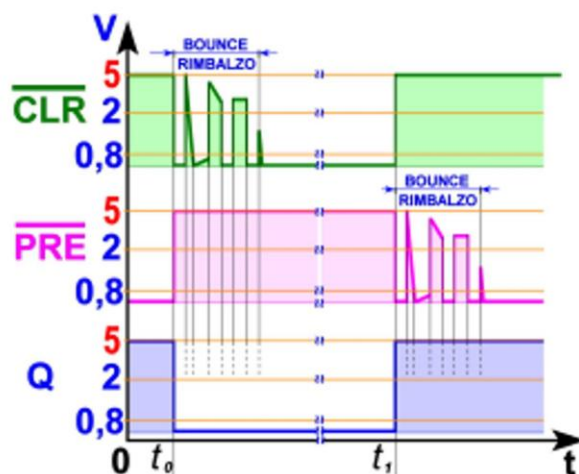


Figura 7 - Flip-Flop D-Type 7474 come Circuito Antirimbalzo: Diagramma temporale

[2] Un'altra applicazione spesso citata dalla letteratura è quella di **Sincronizzatore** (*synchronizer*); il problema da risolvere è quello di fornire "al momento giusto" e "nel giusto modo" gli impulsi di comando richiesti da un sistema organizzato per operare solo in precisi istanti (di solito i fronti attivi del suo Clock), cioè governato in modo *sincrono*.

Se l'azione di controllo è esercitata sul sistema in modo casuale, del tutto imprevedibile, essa è da ritenersi *asincrona*; per chiarire le idee possiamo pensare alla finestra temporale creata da un intervento manuale (mediante la pressione sequenziale di un pulsante di Start e di uno di Stop) o dai sensori d'apertura e di chiusura coinvolti (per esempio) nel movimento di un oggetto su un nastro trasportatore..

Il segnale *asincrono* di controllo esterno (detto Start/Stop, in Figura 8) può dunque essere pensato come un impulso positivo di durata non definibile a priori, attivato in tempi del tutto sconsueti, all'interno del quale è necessario autorizzare una determinata azione *sincrona* con il sistema da controllare, per esempio con lo stesso input di Clock; in passato per avere un

servizio analogo abbiamo coinvolto una porta logica, realizzando il **Gating** di segnale mostrato in Figura 8a.

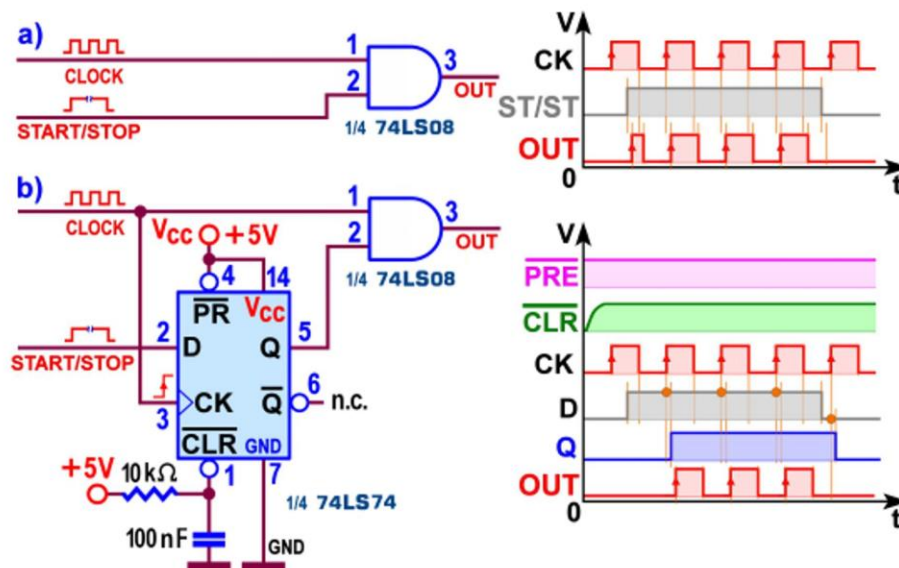


Figura 8 - Flip-Flop D-Type 7474 come Sincronizzatore

Il segnale controllato dalla porta AND è proprio il *Clock* di sistema ed è facile verificare che quello Out restituito in uscita è una sua frazione; tuttavia, poiché l'intervallo di tempo nel quale la porta rimane aperta non è (ovviamente) sincronizzato con il *Clock* stesso è molto probabile che il primo o l'ultimo impulso (o entrambi) vengano restituiti in modo parziale, *accorciati*!

Nel nostro esempio quello accorciato è il primo della serie e la sua presenza può non essere gradita: si vede chiaramente che il fronte di salita di questo primo *impulso anomalo* non è per nulla sincrono con gli altri (cioè non corrisponde a quelli del *Clock*) e "di fatto" l'onda quadra in uscita dalla AND conta un fronte attivo in più di quelli realmente controllati.

L'utilizzo di un **Flip-Flop D-Type** risolve il problema: la finestra temporale di controllo viene ora proposta sul suo ingresso di dato D e il comando di gating è affidato alla sua uscita diretta Q: come si vede (Figura 8b) dalla porta AND usciranno, ora, solo impulsi sincroni con quelli di *Clock* (cioè "in fase" con essi), proprio in quantità proporzionale al tempo suggerito dall'azione asincrona esterna.

Poiché l'uscita del Flip-Flop copia il valore presente sull'ingresso D solo subito *dopo* che un fronte attivo di *Clock* lo ha agganciato (con un piccolo ritardo di propagazione), e poiché ne mantiene inalterato il valore fino all'arrivo del successivo (ribadendo con esso l'apertura della porta di gating o provvedendo a chiuderla definitivamente) non sarà più possibile alcun accorciamento di impulsi.

[3] Una originale applicazione del **Flip-Flop D-Type** è quella di **Rivelatore** (di anticipo o di ritardo) **di fase**: disponendo di due segnali uguali ma sfasati tra loro, con questo circuito è immediato stabilire quale dei due è in anticipo rispetto all'altro: basta infatti applicarli rispettivamente all'ingresso di dato D e a quello di *Clock*.

Utilizziamo ancora un **74LS74**, sfruttando la sua capacità di trasferire in uscita il valore del dato rilevato sul fronte di salita del suo *Clock*: l'uscita diretta Q scatterà ad 1 se l'altra onda quadra applicata all'ingresso D è in anticipo rispetto a quella collegata al *Clock*, oppure a 0 in

caso contrario; la *Figura 9* mostra i diagrammi temporali, nei due casi, e lo schema del progetto, con l'aggiunta opzionale di un Led sull'uscita negata, al fine di rendere anche visivamente il risultato della prova.

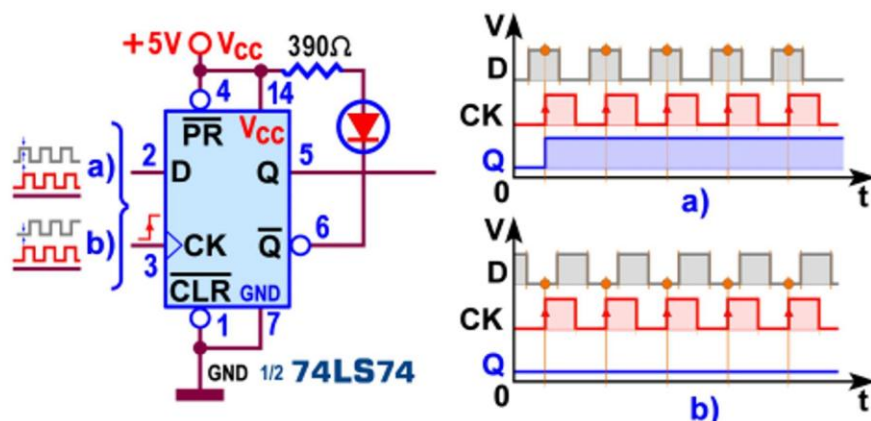


Figura 9 - Flip-Flop D-Type 7474 come Rivelatore di fase

[4] Un'applicazione per certi versi vicina a quella appena descritta è quella di **Comparatore di fase e di frequenza** (*phase-frequency detector*): il circuito (*Figura 10*) utilizza 2 **Flip-Flop D-Type**, entrambi con ingresso di dato D collegato a 1 logico e con i due segnali da confrontare spediti ai rispettivi ingressi di Clock.

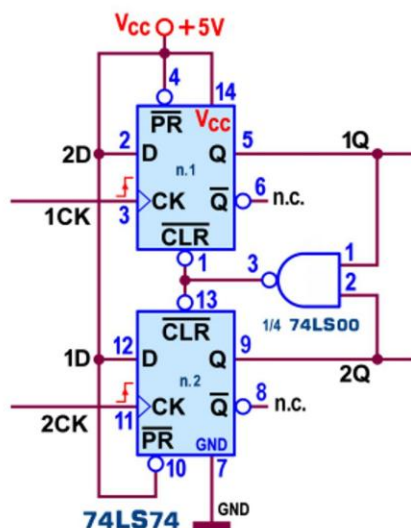


Figura 10 - Flip-Flop D-Type 7474 come Comparatore di fase e frequenza

Supponendo che, all'inizio, entrambe le uscite siano nulle, vediamo cosa può succedere: **a)** il segnale 1CK arriva per primo e, non appena rilevato, il suo fronte di salita fa commutare a 1 l'uscita 1Q; poco dopo arriva il segnale 2CK (supposto della stessa frequenza del primo), il cui fronte si salita fa commutare a 1 anche l'uscita 2Q; in questo preciso istante gli ingressi della NAND sono entrambi a 1, condizione per la quale la sua uscita passa a 0, riportando a 0 anche le uscite dei 2 Flip-Flop (essendo collegata al *Clear attivo basso* di entrambi); il diagramma temporale di *Figura 11a* mette in evidenza che la forma d'onda sull'uscita 2Q (e il segnale *Clear*, ad essa complementare) è di fatto un impulso di durata brevissima, in sostanza la somma dei tempi di propagazione attraverso il Flip-Flop e la porta NAND; **b)** se il segnale 2CK arriva prima del segnale 1CK (*Figura 11c*) succede la stessa cosa ma in modo opposto: quanto

detto per l'uscita 1Q vale ora per 2Q, e viceversa; **c)** se, infine, i due segnali sono in fase, sia 1Q che 2Q scattano a 1, ma sono immediatamente resettate, così da mostrare (Figura 115b) entrambe un aspetto impulsivo.

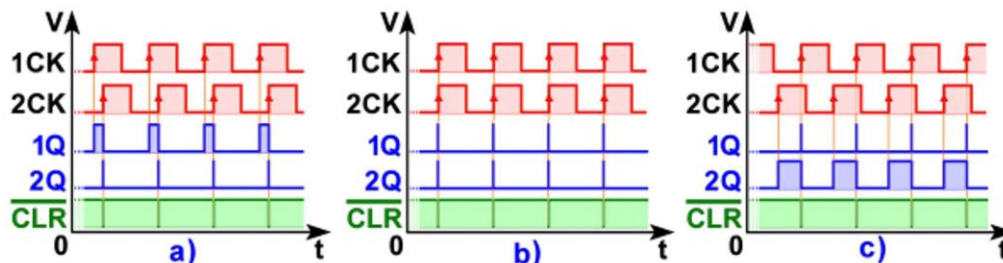


Figura 11 - Flip-Flop D-Type 7474 come comparatore di fase e frequenza

Questo dispositivo sta alla base del principio di funzionamento del PLL (*Phase-Locked Loop*, anello ad aggancio di fase), di utilizzo piuttosto frequente, in elettronica; il duty-cycle della forma d'onda su 1Q o su 2Q è proporzionale al ritardo di fase tra i segnali applicati, da un minimo pressoché nullo (quando sono in fase) ad un massimo del 50% (quando sono sfasate 180 gradi); la durata dell'impulso sulle uscite può essere trasformata in corrente con l'aiuto di una "pompa di carica" (un circuito con opportuni generatori di corrente) al fine di caricare o scaricare un condensatore, la cui differenza di potenziale può essere quindi utilizzata per pilotare altri dispositivi (nella fattispecie un VCO, Voltage-Controlled Oscillator) in modo proporzionale all'esito del confronto.

Vediamo ora alcune applicazioni di solito affidate ad altri dispositivi, specificatamente progettati per assolvere al meglio questi compiti: pur non essendo specializzato, il **Flip-Flop D-Type** li supporta egregiamente.

[5] Lo schema di Figura 12 mostra un **74LS74** usato per generare un impulso di una certa durata, cioè per svolgere il compito normalmente affidato ad un **Monostabile**; si suppone che l'uscita diretta Q sia stata preventivamente azzerata e che l'ingresso D sia stabilmente a 1, copia di quello attualmente presente sull'uscita negata; il **Flip-Flop** rimane in attesa di un fronte di salita sull'ingresso di *Clock*, per esempio dovuto alla breve pressione di un tasto o al segnale d'uscita di un sensore.

Quando ciò avviene l'uscita diretta Q assume il valore attuale di D (cioè scatta a 1) e, contemporaneamente, il condensatore C (inizialmente scarico) comincia a caricarsi esponenzialmente attraverso R; la tensione ai suoi capi è proposta sull'ingresso di un inverter e quando raggiunge i 2V (valore TTL minimo per essere ritenuto V_{IH}) provoca la sua commutazione; questo fatto porta a 0 l'ingresso asincrono di *Clear*, che provvede a riportare a 0 anche l'uscita diretta Q.

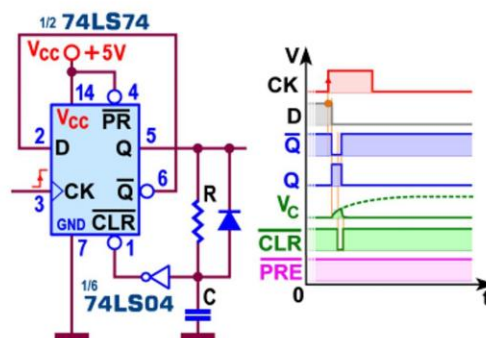


Figura 12 - Flip-Flop D-Type 7474 come Monostabile

Ciò interrompe la carica del condensatore che, anzi, si scarica rapidamente attraverso il diodo, ponendo fine alla procedura e ripristinando le condizioni stabili di partenza; la durata dell'impulso prodotto è pari a circa la metà del valore della costante di tempo RC (vedi *Figura 14*).

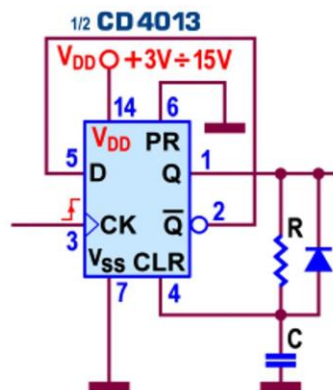


Figura 13 - Flip-Flop D-Type 4013 come Monostabile

La necessità di dover coinvolgere un operatore NOT rende poco appetibile la pur valida soluzione proposta; per questo può essere conveniente utilizzare la versione CMOS, cioè il **4013**, che dispone di ingressi asincroni attivi alti, rendendo l'inverter non necessario (vedi *Figura 13*); vale la pena ricordare che la soglia CMOS minima ritenuta V_{IH} vale ora 3,3V (con $V_{DD}=5V$) cioè 2/3 della tensione di alimentazione, per cui la durata dell'impulso prodotto è di poco superiore alla costante di tempo RC (vedi *Figura 14*).

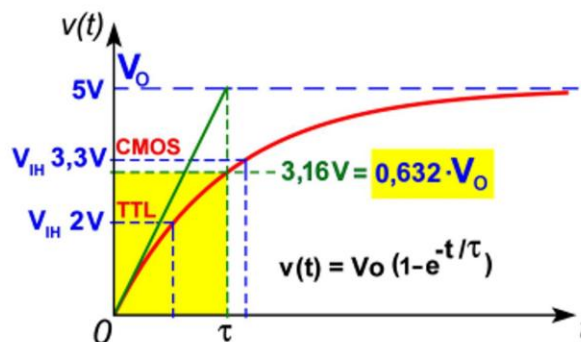


Figura 14 - Andamento della Carica di un condensatore

[6] L'impiego come *Divisore di frequenza* è compito tipicamente affidato ad altri elementi di memoria, come i J-K, di cui ci occuperemo nel prossimo futuro; tuttavia anche i **Flip-Flop D-Type** (per la loro natura *edge-triggered*) sono in grado di assolverlo a pieni voti; se si collega l'uscita negata all'ingresso D di dato il segnale applicato sul *Clock* sarà disponibile sull'uscita diretta Q con frequenza dimezzata; la *Figura 15a* mostra lo schema di un **Divisore per 2** (*divide-by-two counter*) costruito con un **74LS74**.

Il funzionamento è semplice: la presenza della rete di reset automatico assicura che, poco dopo aver alimentato il circuito, l'uscita diretta sia a 0 e il dato D abbia valore 1 (quello dell'uscita negata); all'arrivo del primo fronte di salita del *Clock* il valore corrente del dato viene trasferito in uscita, così che quella diretta passerà a 1 e quella negata provvederà a predisporre a 0 l'ingresso di Dato, a beneficio del prossimo fronte attivo.

Il diagramma temporale di *Figura 15b*, conferma che il segnale sulle uscite ha un *periodo doppio* (cioè una *frequenza dimezzata*) rispetto a quello applicato sul *Clock*; è interessante notare che esso ha sempre un duty-cycle del 50% (cioè è un'onda quadra simmetrica).

indipendentemente dal valore di quello dell'onda quadra applicata in ingresso, in virtù del fatto che, di tutti i suoi istanti, solo il fronte positivo di essa produce effetto, facendo commutare le uscite.

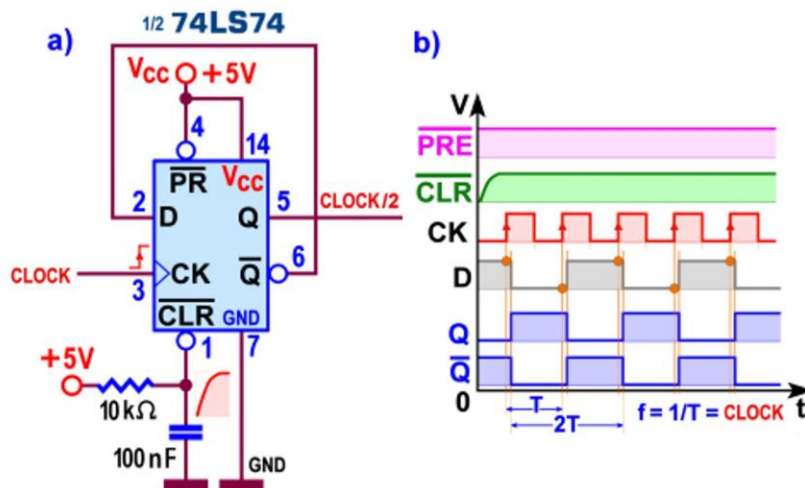


Figura 15 - Divisore per 2 con Flip-Flop D-Type 7474

Inoltre il periodo minimo T del segnale applicato in ingresso (cioè la distanza tra due fronti attivi consecutivi) non potrà essere inferiore all'inevitabile ritardo di propagazione tra D e Q , e questo metterà un limite anche alla sua frequenza massima, $f=1/T$.

[7] Se l'uscita diretta $1Q$ diventa *Clock* per un secondo Flip-Flop, posto in cascata con il primo, anche per esso avremo un identico comportamento, cosicché sulle sue uscite $2Q$ avremo un'onda quadra simmetrica di frequenza 4 volte più piccola di quella del *Clock* di partenza; osservando il diagramma temporale del **Divisore per 4** così ottenuto (Figura 16b) possiamo capire la ragione per la quale esso è anche un **Contatore** (*up counter*): sulle uscite negate $2Q$, $1Q$ verrà proposto un codice binario puro a 2 bit, da 00 a 11, cioè un conteggio da 0 a 3, reiterato all'infinito.

Se le uscite di riferimento sono invece quelle dirette, $2Q$, $1Q$, il conteggio scorre da 11 a 00, situazione tipica di un contatore che conta indietro (*down counter*).

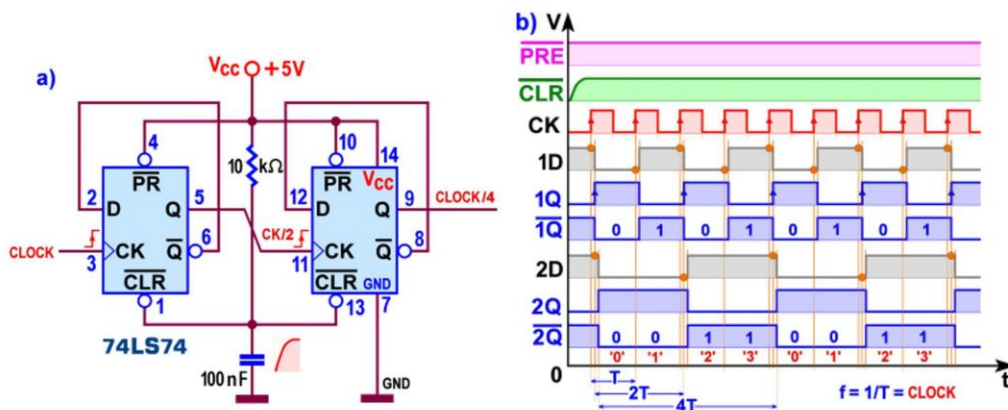


Figura 16 - Divisore per 4 con Flip-Flop D-Type 7474

Sembra inutile aggiungere che il numero di Flip-Flop coinvolti può essere incrementato senza limite, realizzando strutture di conteggio (e/o di divisione) grandi a piacere: con 3 **D-Type** in cascata avremo un **Divisore per 8** [Contatore da 0 a 7]; da notare come il numero del conteggio massimo sia sempre un'unità meno del fattore di divisione.

Inoltre possiamo mettere in evidenza il fatto che, per garantire un conteggio (una divisione) affidabile, le uscite di ciascuno degli elementi di memoria coinvolti dovranno essere stabili; questo comporta la necessità di attendere almeno un tempo pari alla propagazione dell'informazione *da sinistra a destra*, il che pone dei limiti insuperabili anche alla frequenza massima applicabile al primo stadio della struttura.

Registri D-Type (CMOS): 40174, 40175, 4076

Terminiamo questa puntata descrivendo i **Registri** a 4 o a 6 bit previsti dalla serie **CMOS**; come è noto si tratta di componenti che contengono più **Flip-Flop D-Type** organizzati per lavorare coordinati, al fine di gestire la **memoria** di dati espressa in parole di 4 o 6 bit.

Essi sono del tutto identici, logicamente parlando, a quelli omologhi della serie TTL, descritti la scorsa puntata; tenendo conto della diversa tecnologia (che prevede alimentazione **V_{DD}** compresa tra 3V e 18V, riferimento di massa detto **V_{SS}**, potenza dissipata pressoché nulla, correnti d'uscita non così elevate e frequenza di lavoro nettamente inferiore) ogni schema (*pin-out*, *funzionale*, *pratico* e *simbolo ieee*) pubblicato per la versione TTL può essere utilizzato anche per quelli che andremo a segnalare ora.

Il **40175** è un **4-bit D-Type Flip-Flops with Clear**, dotato di 4 **D-Type**, ciascuno con uscita Q sia diretta che negata; è logicamente identico al TTL **74LS175** e il suo *pin-out* è mostrato in *Figura 17*.

Il **40174** è la versione a 6 bit (**Hex D-Type Flip-Flops with Clear**) del precedente; per la necessità di ospitare due Flip-Flop in più nel medesimo contenitore *dual-in-line* da 16 pin, ora i 6 **D-Type**, possono disporre delle sole uscite dirette Q; è logicamente uguale al TTL **74LS174** e la *Figura 18* mostra il suo *pin-out*.

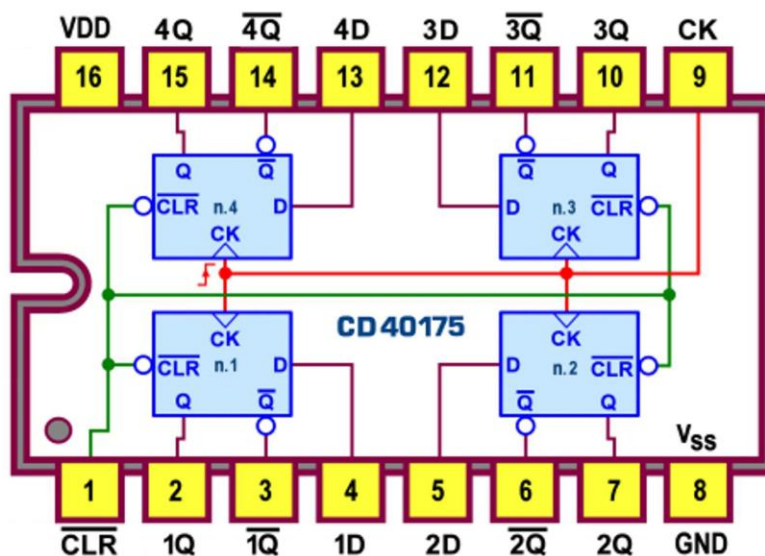
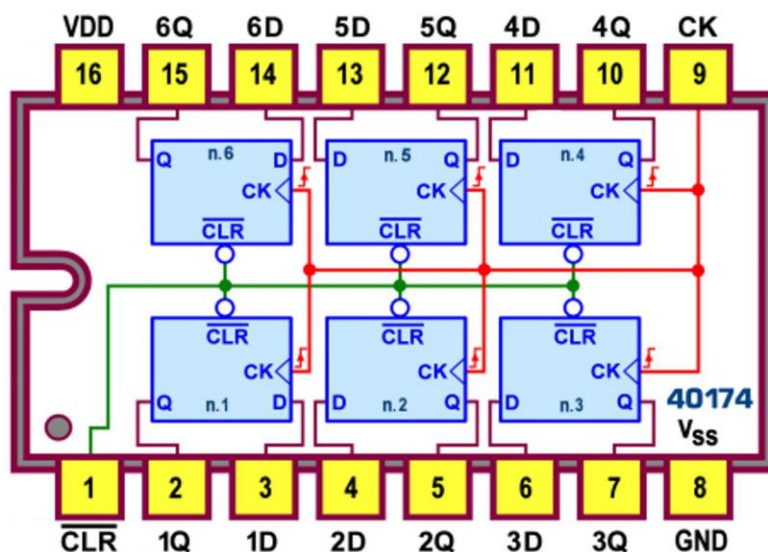


Figura 17 - 4-bit D-Type Flip-Flops 40175: Pin-out



La Tabella di verità (mostrata rispettivamente in *Figura 19* e in *Figura 20* insieme allo *schema pratico*) sintetizza il funzionamento di questi dispositivi; per entrambi, se le parole sugli ingressi D soddisfano i requisiti del *Setup Time*, l'informazione viene trasferita alle rispettive uscite sul fronte positivo (*positive-edge triggered*) del *Clock*, in comune a tutti i Flip-Flop, come la linea di *Clear* (attiva bassa), in grado di azzerare le uscite in modo asincrono, cioè in qualunque istante, indipendentemente dal valore dati presenti in ingresso e dall'azione del *Clock*.

INPUTS			OUTPUTS	
CLR	CLK	D	Q	Q'
0	X	X	0	1
1	↓	1	1	0
1	↓	0	0	1
1	0,1, ↓	X	Q'	Q

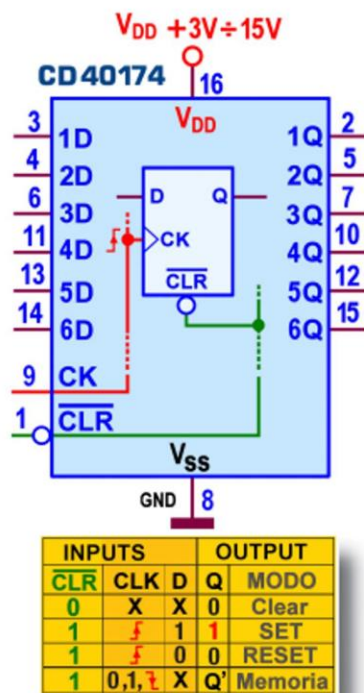


Figura 20- Hex D-Type Flip-Flops 40174: Schema pratico

Lo schema funzionale del **40175** è visibile in Figura 19BIS, ...

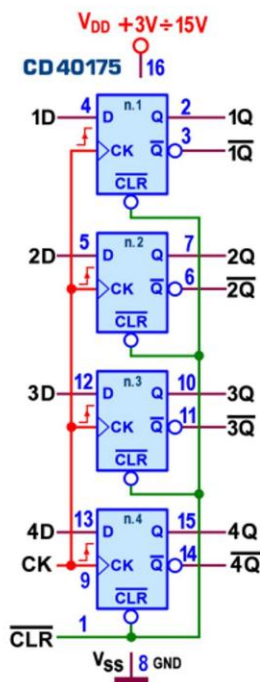


Figura 19BIS - 4-bit D-Type Flip-Flops 40175: Schema funzionale

In Figura 20BIS è disponibile il simbolo logico predisposto dallo standard IEEE per il **40175**.

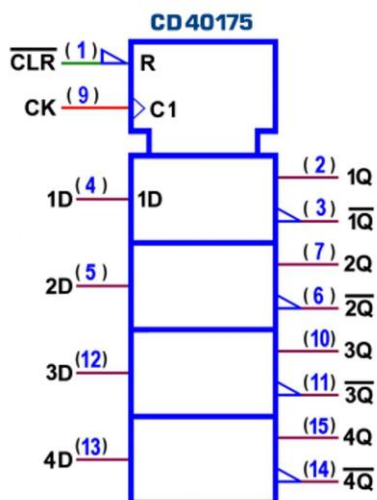


Figura 20BIS - 4-bit D-Type Flip-Flops 40175: Simbolo logico ANSI/IEEE Std. 91-1984

Lo schema funzionale del **40174** è visibile in Figura 19TER, ...

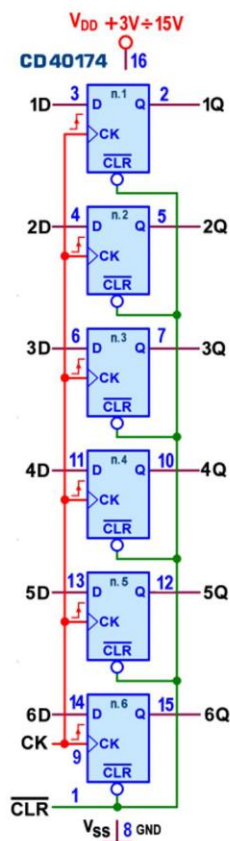


Figura 19TER - Hex D-Type Flip-Flops 40174: Schema funzionale

In Figura 20TER è disponibile il simbolo logico predisposto dallo standard IEEE per il **40174**.

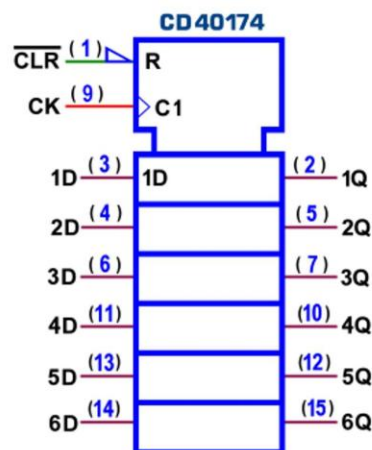


Figura 20TER - Hex D-Type Flip-Flops 40174: Simbolo logico ANSI/IEEE Std. 91-1984

La *potenza dissipata* da questi componenti è trascurabile; la corrente tipica, sia erogata (I_{OH} , con $Q=1$) che assorbita (I_{OL} , con $Q=0$) in uscita, è (in valore assoluto) di **0,8 mA** ($V_{DD}=5V$), **2,25 mA** ($V_{DD}=10V$) e **8,8 mA** ($V_{DD}=15V$); il valore minimo di *Setup Time* vale $t_S=45$ ns ($V_{DD}=5V$), **15 ns** ($V_{DD}=10V$) e **13 ns** ($V_{DD}=15V$); quello di *Hold Time* vale $t_H=0$ ns; la frequenza massima è tipicamente di **16 Mhz** ($V_{DD}=15V$), ridotta a **7 Mhz** con $V_{DD}=5V$; i ritardi di propagazione massimi (misurati con carico di **50pF/200kOhm**) tra Clock e le uscite Q sono al massimo di **300ns** ($V_{DD}=5V$), **110ns** ($V_{DD}=10V$) e **90ns** ($V_{DD}=15V$); i valori *tipici* sono sostanzialmente pari a circa due terzi.

Anche nella serie CMOS esiste una versione più sofisticata, un **Registro a 4 bit** con uscite 3-state: si tratta del **4076 (4-Bit D-Type Register with 3-state output)**, logicamente uguale al TTL **74LS173**, molto utile nelle strutture a bus e per pilotare carichi a bassa impedenza; la Figura 21 mostra il suo pin-out.

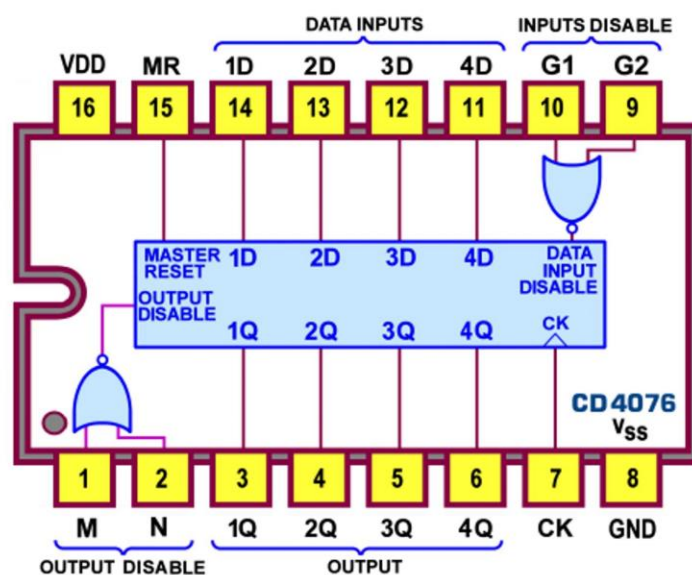


Figura 21 - 4-Bit D-Type Register 4076: Pin-out

Osservando con attenzione i dettagli funzionali (vedi Figura 22) è curioso notare che le linee di controllo sono ora dette *Data Disable Inputs* (G1 e G2) e *Output Disable* (M e N) e sono gestite in *logica positiva* con un gating di NOR, mentre nel TTL **74LS173** sono definite *Data Enable Inputs* (IE1 e IE2) e *Output Control* (OE1 e OE2) e sono gestite in *logica negativa* tramite un gating di AND con ingressi negati.

Questa incongruenza è solo apparente perchè la logica che le governa è comunque la stessa, considerata da 2 punti di vista diversi, evidenziati anche dalla loro definizione: **a)** l'effetto *Data Disable* è prodotto da una NOR (*NOR Gated*) di G1 e G2 e per *disabilitare* l'ingresso del dato D ci vuole uno 0 (= porta X chiusa), per cui basta che almeno uno dei due sia (attivo) alto; mentre l'effetto *Data Enable* è prodotto da una AND con ingressi negati di IE1 e IE2 e per *abilitare* ci vuole un 1 (= porta X aperta), per cui entrambi devono essere (attivi) bassi; **b)** analogamente, lo stesso si può dire per gli ingressi *Output Disable* (M e N), almeno uno dei quali deve essere (attivo) alto per *disabilitare* (cioè per mettere le uscite in *Hi-Z*); mentre, per *abilitare*, gli ingressi *Output Control* (OE1 e OE2, coordinati da una AND con ingressi negati) devono essere entrambi (attivi) bassi.

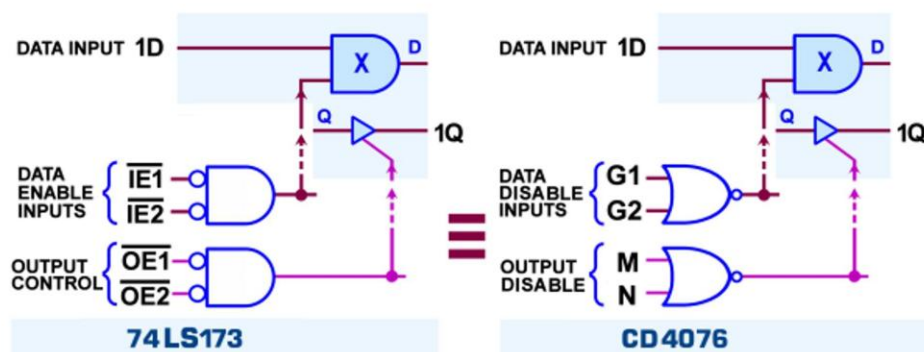


Figura 22 - 4-Bit D-Type Register 74LS173 e 4076: Dettaglio sulle linee di controllo

Il dettaglio funzionale di Figura 23 ci aiuta a ribadire il modo di operare di questo componente: **a)** per poter trasferire in uscita i bit predisposti su ciascuno dei 4 ingressi D entrambe le linee G1 e G2 devono essere poste a 0 logico; se o una o l'altra o entrambe sono attive (cioè a 1), ogni possibile fronte attivo del *Clock* non potrà cambiare l'uscita, anche se fosse cambiato il valore di D: sull'ingresso interno del Flip-Flop viene infatti proposta copia del valore presente in uscita che, con esso, potrà solo essere riconfermata; **b)** affinché le uscite possano disporre dei normali livelli logici adatti a pilotare carichi o per gestire strutture a bus, entrambe le linee di controllo M e N (*Output Disable*) devono essere forzate a 0; se o una o l'altra o entrambe sono alte, le uscite sono disabilitate, cioè sono forzate nello stato di alta impedenza, senza influenzare l'attuale contenuto del registro.

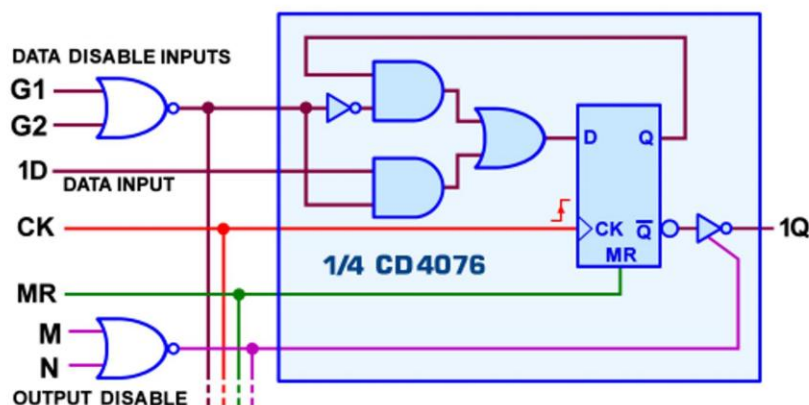


Figura 23 - 4-Bit D-Type Register 4076: Dettaglio di ciascuno dei 4 Flip-Flop

Da notare la disponibilità anche di una linea prioritaria (e asincrona) di *Master Reset* che (se attiva, alta) azzerà il registro, indipendentemente dallo stato del *Clock* e delle linee di ingresso (di abilitazione, G1 e G2, e di dato D); per il normale funzionamento deve dunque essere posta a massa.

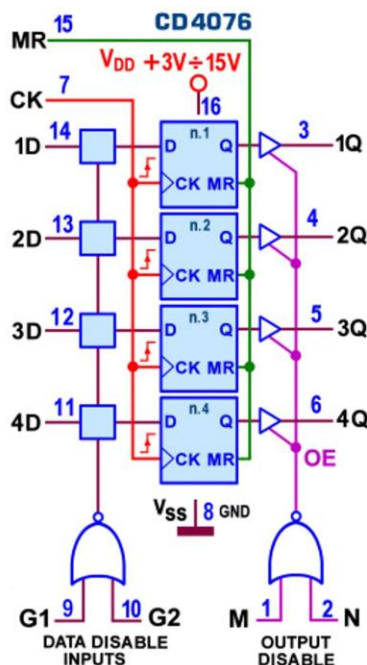


Figura 24 - 4-Bit D-Type Register 4076: Schema funzionale

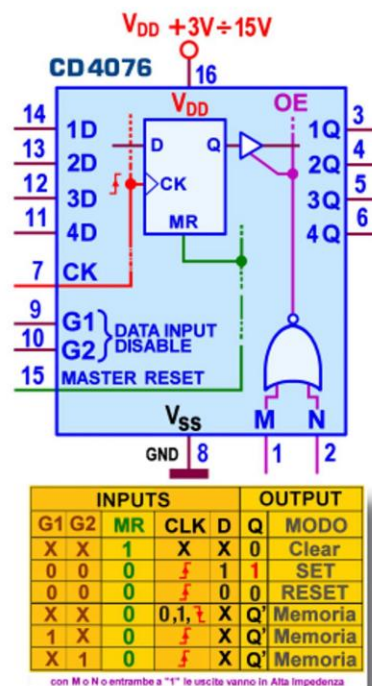


Figura 25 - 4-Bit D-Type Register 4076: Schema pratico

La Figura 24 mostra lo schema funzionale e la Figura 25 mostra lo schema pratico, insieme alla Tabella di verità, un valido aiuto per verificare quando detto finora.

In Figura 25BIS è disponibile il simbolo logico predisposto dallo standard IEEE .

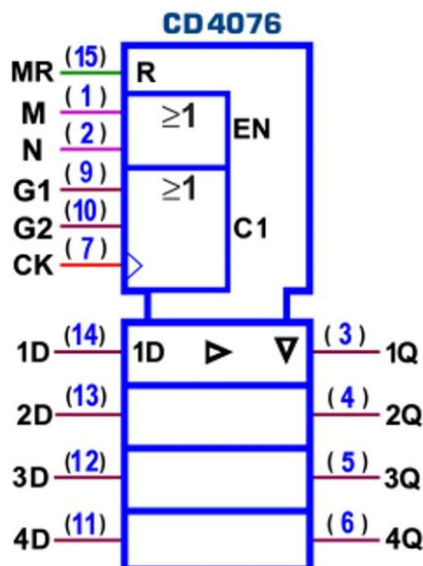


Figura 25BIS - 4-Bit D-Type Register 4076: Simbolo logico ANSI/IEEE Std. 91-1984

La potenza dissipata dal **4076** è trascurabile; la corrente tipica assorbita in uscita (I_{OL} , con $Q=0$) è di **0,88 mA** ($V_{DD}=5V$), **2,25 mA** ($V_{DD}=10V$) e **8,8 mA** ($V_{DD}=15V$); il valore minimo di Setup Time vale $t_s=30$ ns ($V_{DD}=5V$), **10 ns** ($V_{DD}=10V$) e **4 ns** ($V_{DD}=15V$); quello di Hold Time vale $t_H=130$ ns ($V_{DD}=5V$), **60 ns** ($V_{DD}=10V$) e **50 ns** ($V_{DD}=15V$); la frequenza massima è tipicamente di **12 Mhz** ($V_{DD}=15V$), ridotta a **3,6 Mhz** con $V_{DD}=5V$; i ritardi di propagazione massimi (misurati con carico di **50pF/200kOhm**) tra Clock e le uscite Q sono al massimo di **600ns** ($V_{DD}=5V$), **250ns** ($V_{DD}=10V$) e **180ns** ($V_{DD}=15V$); i valori *tipici* sono sostanzialmente pari alla metà.