



di GIORGIO OBER (GIOBE2000)

l'angolo di Mr A.KEER



(parte ventiduesima)

PROGETTARE con le PORTE LOGICHE

Il Flip-Flop D-Type (prima parte)

Con questa puntata iniziamo lo studio dei Flip-Flop presenti sul mercato, cominciando dal modello D-Type, alla base della struttura della Memoria statica, molto utile e indispensabile nei progetti basati sui microprocessori.

E' giunto il momento di aprire un capitolo di fondamentale importanza, nell'ambito della gestione dei dati digitali: la presentazione e lo studio dei **Flip-Flop**, in grado di garantire la memorizzazione istantanea di uno o più bit, in corrispondenza di *uno dei fronti* di un ingresso di sincronismo (*Clock*) di cui sono sempre dotati, detti **Positive Edge Triggered**, se si tratta di quello di salita, o **Negative Edge Triggered**, se sono attivi su quello di discesa.

I **Flip-Flop** sono la naturale evoluzione dei dispositivi noti come **Latch** ("chiavistello"), con i quali non di rado sono erroneamente confusi e ai quali abbiamo dedicato ben quattro puntate; la differenza sostanziale sta nel fatto che questi ultimi svolgono il loro compito in funzione del *livello* logico assunto dai rispettivi ingressi e per questo sono detti **Level Triggered**.

Vediamo di riassumere quanto detto su questi elementi di memoria, ricordando che le medesime considerazioni valgono sia per i **Latches SR** (con 2 ingressi dato, S e R) che per i **Latches D** (ricavati dai precedenti per risolvere il problema della loro "condizione vietata", collegando l'unico ingresso D *direttamente* a S e *tramite un inverter* a R).

a) Nella versione più economica (**Latch Asincrono**, cosiddetto perchè non si avvale della presenza di alcun segnale di sincronismo) l'uscita dipende solo dai segnali di ingresso_dato ed è facile capire che questa situazione può generare qualche limite sulla stabilità dell'uscita stessa.

b) Per limitare i rischi questi dispositivi si possono sincronizzare con l'aggiunta di un segnale di Abilitazione (**E**, *Enable*, spesso erroneamente definito *Clock*) al fine di autorizzare l'aggiornamento dell'uscita solo in ben precisi intervalli di tempo; le versioni così ottenute (**Latch Sincrono** o **Gated Latch**) sono dunque ancora legate al *livello* (**Level Triggered**) della linea E, consentendo agli ingressi (R e S, o D) di influenzare l'uscita per tutto il tempo in cui E=1, bloccando su di essa il valore presente sugli input nell'istante corrispondente al *fronte di discesa* di E, e memorizzandolo per tutto il tempo in cui E=0. In questo caso l'effetto migliore si ottiene pensando al segnale di Abilitazione come ad un brevissimo impulso attivo alto (in pratica costituito dai suoi 2 fronti di salita e di discesa, talmente vicini da essere ritenuti pressoché coincidenti), breve ma non troppo, per dare alla memoria almeno il tempo per commutare, supponendo stabile il valore degli ingressi in questo intervallo.

c) Un deciso passo in avanti si è ottenuto ponendo in cascata 2 distinti **Latches Sincroni**, indipendenti l'uno dall'altro ma abilitati in tempi diversi; questo dispositivo (detto **Master-Slave** o **Pulse-Triggered**) memorizza il dato presente in ingresso (se mantenuto stabile) solo

sul fronte di discesa dell'Abilitazione (ancora una volta detta *Clock*, in modo improprio), tenendo in uscita la memoria di questo evento durante tutte le altre parti della sua forma d'onda. Sebbene, da questo punto di vista, il Master-Slave si possa (in prima istanza) ritenere un **Flip-Flop**, in realtà si tratta di una proposta didattica non del tutto affidabile, essendo soggetta ad un piccolo difetto intrinseco che, per un breve periodo, attiva contemporaneamente entrambi i due Latches (con probabile produzione di comportamenti indesiderati e imprevedibili).

d) Per poter disporre di un effettivo **Flip-Flop** non basta dunque affidarci al caso: è necessario aggiungere accorgimenti circuitali in grado di trasformare il segnale di Abilitazione (attivo sui livelli) in un segnale di *Clock* (attivo su uno dei suoi fronti); nei componenti commerciali ciò è ottenuto con l'aggiunta di **Rivelatori di Transizione** (o **Rivelatori di Fronte d'onda**), che trasformano il circuito didattico precedente in un **Flip-Flop Master-Slave**, detto **Data Lock-Out** per sottolineare che entrambi i **Latches** lasceranno passare i dati presenti sui rispettivi ingressi agganciandoli (bloccandoli, *Lock-Out*) in tempi effettivamente separati e non sovrapposti, corrispondenti rispettivamente al fronte di salita (**Edge Triggered**) del Clock e del Clock negato, evitando ogni possibile effetto collaterale.

Con queste premesse è possibile introdurre con proprietà la categoria dei **Flip-Flops**, molto ben rappresentata in commercio dal tipo **D** e dal tipo **JK**; cominceremo dalla prima, lasciando la trattazione dei JK alle prossime puntate.

Il **Flip-Flop D** (di norma detto **D-Type**, in contrapposizione alla definizione **D-Latch**, relativa alla versione level triggered) può essere riferito allo schema didattico di *Figura 1*: un classico *Latch SR Sincrono* con ingressi riadattati per trasformarlo in *Latch D Sincrono*, ma in più dotato di *Rivelatore di Transizione* che, in questo esempio, trasforma il segnale di Abilitazione in un breve impulso attivo alto, in corrispondenza del suo fronte di salita:

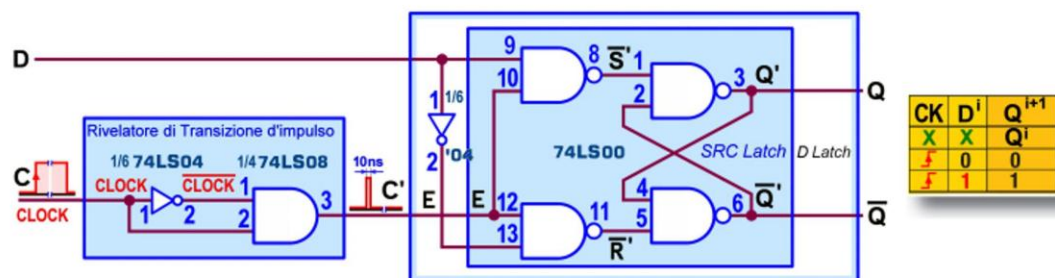


Figura 1 - Flip-Flop D-Type: circuito e Tabella delle Transizioni

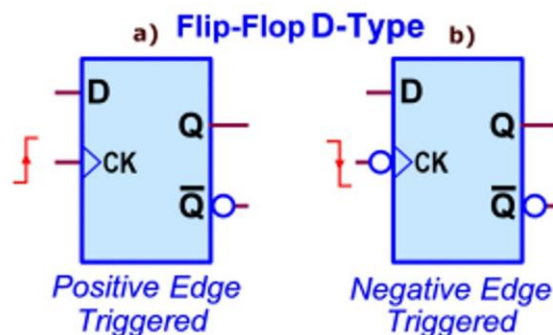


Figura 2 - Flip-Flop D-Type: simboli logici

La *Figura 2a* sintetizza lo schema nel suo corrispondente simbolo logico: il fatto di essere attivo su uno dei fronti del sincronismo (*Clock*) è indicato dalla presenza di un triangolino all'interno del simbolo; poiché nel nostro esempio la memorizzazione è imposta sul *fronte di salita*

(**Positive Edge Triggered D-Type**) non serve aggiungere altro, mentre dovendo documentare un **Negative Edge Triggered D-Type** (attivo sul fronte di discesa) è consuetudine aggiungere un pallino sull'ingresso di clock.

La differenza funzionale tra un **D-Latch** e un **D-Type** è rimarcata anche dal Diagramma Temporale di *Figura 3*, nel quale si suppone che, all'accensione, il valore logico delle uscite sia stato forzato a 0 da un circuito di reset automatico, per evitare l'intrinseca imprevedibilità tipica di questa situazione. A parità di segnale di sincronismo le uscite dei due elementi di memoria sono completamente diverse: **a)** quella del primo (attivo sui livelli dell'abilitazione **E**) insegue il valore dell'ingresso **D** per tutto il tempo in cui $E=1$ e memorizza quello presente nell'istante corrispondente al fronte di discesa di **E**; **b)** quella del secondo (attivo su una transizione del Clock) copia il valore di **D** presente in ingresso nell'istante corrispondente (nel nostro esempio) al fronte di discesa.

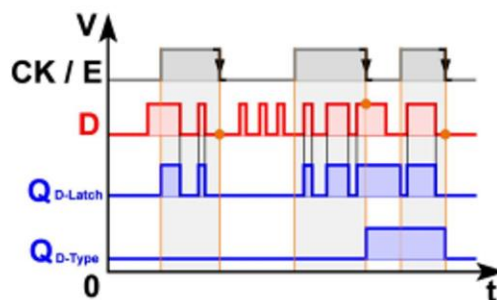


Figura 3 - Confronto Uscite D-Latch/D-Type: Diagramma Temporale

Flip-Flop D-Type (TTL): 74LS74

La disponibilità commerciale di questi elementi di memoria è molto ampia: numerosi sono i componenti di tipo **D-Type**, ora effettivamente **Flip-flop**, essendo dotati del circuito *Rivelatore di Transizione* che trasforma il segnale di Abilitazione in un Clock.

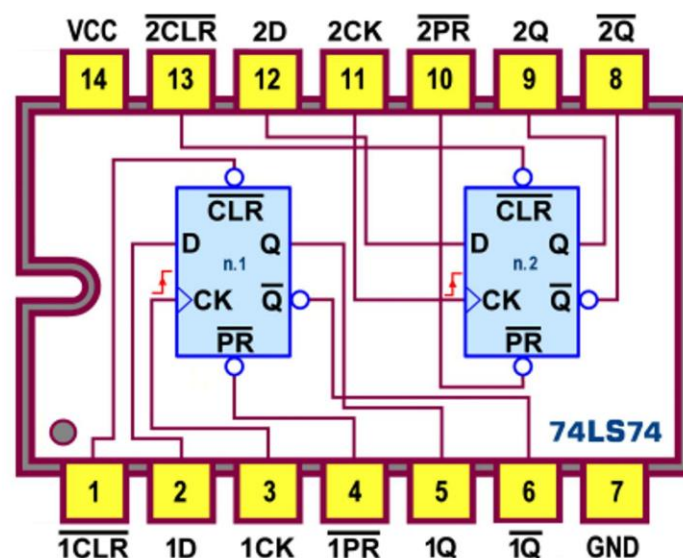


Figura 4 - Dual D-Type Flip-Flop 74LS74: Pin-out

Tra quelli della serie **TTL** si distingue il **74LS74**, definito dai costruttori **Dual D-Type Positive Edge-Triggered Flip-Flop**, l'unico a mettere a disposizione due **D-Type** completamente indipendenti tra loro; la *Figura 4* mostra il suo *pin-out*, dal quale si nota che ciascuno dei due

dispone sia dell'uscita diretta Q che di quella negata \bar{Q} , con una linea di *clock* e una di dato autonoma.

La cosa nuova consiste nella presenza di due altre linee d'ingresso, *Preset* e *Clear*, attive basse; esse non sono indispensabili alla struttura di un **Flip-Flop** (né sono coerenti con il loro funzionamento, essendo *asincrono* in un ambito *Edge Triggered*) ma sono un gradito "dono" spesso presente in questi componenti; la loro disponibilità è molto utile, per esempio, per stabilire lo stato iniziale delle uscite o per forzarne il valore indipendentemente da quello assunto dagli ingressi tipici (di Dato e di Clock).

La loro azione è infatti prioritaria rispetto a quella esercitata dagli altri ingressi e la logica che li governa è quella di un **Latch SR asincrono**. In altri termini l'uscita diretta Q passa a 1 se si collega il *Preset* a 0, oppure si assesta a 0 se si attiva invece il *Clear*; ovviamente non ha senso forzare a massa entrambe le linee di controllo ("condizione vietata"): se ciò accadesse entrambe le uscite (diretta e negata) sarebbero forzate a 1, contravvenendo all'ipotesi che debbano essere complementari l'una dall'altra.

In condizioni normali le linee di *Preset* e di *Clear* vanno lasciate inattive (alte) e il dato presente sull'ingresso D viene trasferito in uscita sul fronte di salita dell'impulso Clock.

La *Figura 5*, traduce visivamente l'effetto prodotto in uscita da ciascuno dei segnali appena descritti (ribadito in *Figura 6* dalla *Tabella di Verità*); possiamo fare alcune considerazioni: 1) nell'intervallo "a" la presenza del *Clear* attivo forza e mantiene a 0 l'uscita fino a quando viene disattivato; poco dopo, all'istante "b", il fronte di salita del *Clock* aggancia il valore corrente del dato in ingresso D, copiandolo in uscita; 2) essendo disattivi i comandi *Clear* e *Preset*, nulla accade fino all'istante "c", nel quale un nuovo fronte di salita del *Clock* trova il dato D a 0 e con questo valore aggiorna l'uscita; 3) nell'intervallo "d" risulta attivo *Preset* per cui l'uscita passa a 1, subito riazzerata per l'azione del breve livello basso di *Clear*; 4) da notare la forza dei segnali asincroni: poichè l'istante "f" è all'interno dell'intervallo "e" (durante il quale, essendo ancora attivo *Clear*, l'uscita è bloccata a 0) il fronte attivo del Clock non può produrre alcun effetto e viene perduto.

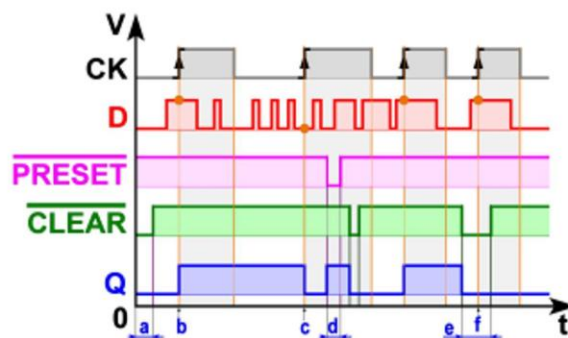


Figura 5 - Dual D-Type Flip-Flop 74LS74: Diagramma Temporale

INPUTS				OUTPUTS		
PRE	CLR	CLK	D	Q	\bar{Q}	MODO
0	1	X	X	1	0	Preset
1	0	X	X	0	1	Clear
0	0	X	X	1	1	Vietata
1	1	f	1	1	0	SET
1	1	f	0	0	1	RESET
1	1	0,1,f	X	Q'	\bar{Q}'	Memoria

Figura 6 - Dual D-Type Flip-Flop 74LS74: Tabella di Verità

Lo *schema funzionale* è visibile in *Figura 7*, mentre lo *schema pratico* è mostrato in *Figura 8*.

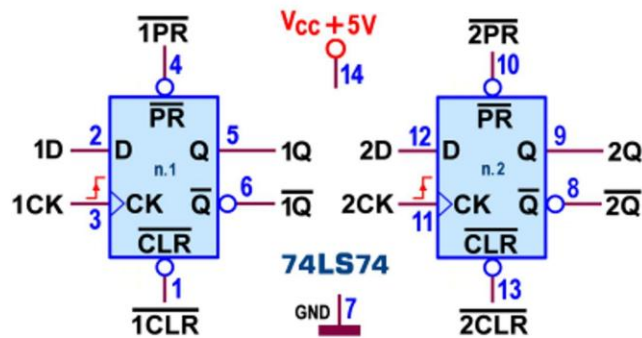


Figura 7 - Dual D-Type Flip-Flop 74LS74: Schema funzionale

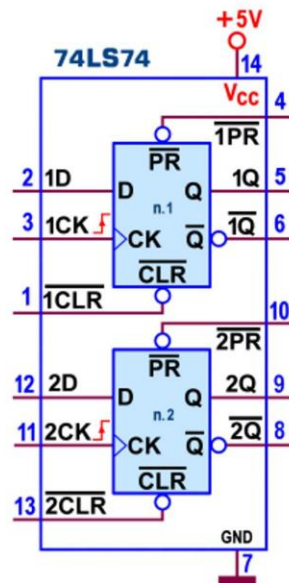


Figura 8 - Dual D-Type Flip-Flop 74LS74: Schema pratico

In Figura 9 è disponibile anche il simbolo logico predisposto dallo standard IEEE.

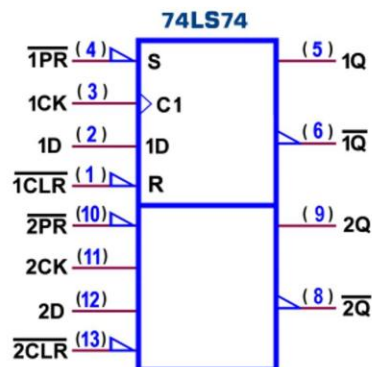


Figura 9 - Dual D-Type Flip-Flop 74LS74: Simbolo logico ANSI/IEEE Std. 91-1984

La potenza massima dissipata dal **74LS74** è di **40 mW**; la documentazione relativa al funzionamento dinamico di norma garantita dai *datasheet* (talvolta sostenuta anche dalla disponibilità dell'andamento dei segnali nel tempo, *AC waveforms*), risulta di particolare importanza per l'impiego corretto dei **Flip-Flop**; essendo componenti dal funzionamento Sincrono per essi è importante conoscere la frequenza massima applicabile come *clock*, di solito pari a **30 Mhz** (corrispondente ad un periodo $t_{W(H)} + t_{W(L)}$ di **33 ns**).

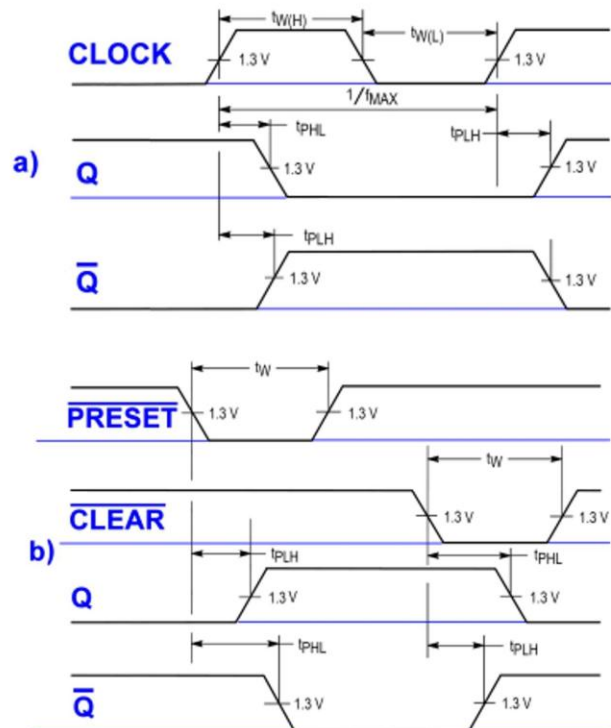


Figura 10 - Dual D-Type Flip-Flop 74LS74: Tempi di Propagazione tra ingressi e uscite

In questo caso il *ritardo di propagazione* è pari al tempo che intercorre tra uno dei fronti del clock e il momento in cui l'uscita Q assume stabilmente il nuovo stato: il suo valore massimo (misurato con carico di **50pF/2kohm**, *Figura 10a*) è di **25 ns** (per la transizione t_{PLH}) e di **40 ns** (per la transizione t_{PHL}); un ritardo della stessa entità si avrà anche tra il momento in cui si applica *Clear* o *Preset* e quello in cui se ne rileva l'effetto sull'uscita Q (*Figura 10b*).

Nell'uso corretto dei **Flip-Flop** è di fondamentale importanza tener conto anche di due altri importanti parametri temporali: **a)** il dato presente sull'ingresso D deve essere mantenuto stabile, *prima* dell'arrivo del fronte attivo del clock, per un intervallo almeno pari al *tempo di impostazione* (**setup time**, t_s); **b)** *dopo* l'applicazione del fronte attivo del clock i dati sull'ingresso D potranno essere modificati (senza pericolo di influenzare il livello d'uscita) non appena sarà trascorso anche il *tempo di mantenimento* (**hold time**, t_h).

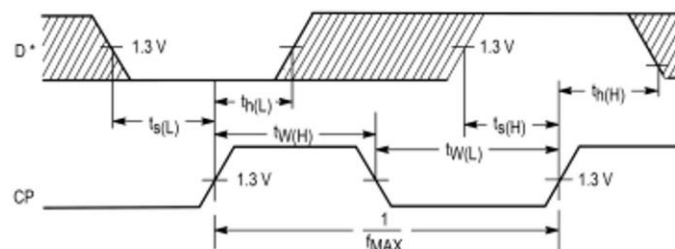


Figura 11 - Dual D-Type Flip-Flop 74LS74: Tempo di Impostazione e Tempo di Mantenimento

La Figura 11 mette in evidenza questi due tempi: per **74LS74** i valori minimi sono pari a $t_s=20\text{ ns}$ e $t_H=5\text{ ns}$; le aree ombreggiate indicano quando è consentito cambiare lo stato logico dell'ingresso, per avere la certezza di prestazioni e risultati attendibili.

Registri D-Type a 4 bit (TTL): 74LS171, 74LS173, 74LS175, 74LS379

Il **74LS74** è decisamente interessante per i progetti che richiedono la disponibilità di un singolo **D-Type**, completo di tutto e indipendente; tuttavia questo dispositivo è di fondamentale importanza perchè costituisce l'elemento base con cui si realizzano le *memorie statiche*, ampiamente utilizzate nell'ambito delle logiche programmabili: ciascuna singola cella è in sostanza un Flip-Flop **D-Type**.

In aggiunta, nel progetto digitale, si rende spesso necessario uno strato di memoria temporanea con un numero maggiore di elementi singoli, di solito 4 o 8 (o multipli di 8); esso è detto **Registro** ed è così importante da essere addirittura parte integrante della stessa CPU.

La serie **TTL** ospita quattro tipi di **Registro a 4 bit**, piuttosto simili tra loro; uno tra i più utilizzati è il **74LS175** (definito dai costruttori **4-bit D-Type Flip-Flops with Clear**), dotato di 4 **D-Type**, ciascuno con uscita sia diretta Q che negata Q; se l'informazione sui 4 ingressi D soddisfa i requisiti del *Setup Time*, viene trasferita sulle uscite sul fronte positivo (*positive-edge triggered*) del Clock.

La Figura 12 mostra il suo *pin-out*; possiamo notare che il segnale di *Clock* è in comune a tutti e quattro i **D-Type**, come quello di controllo *Clear*.

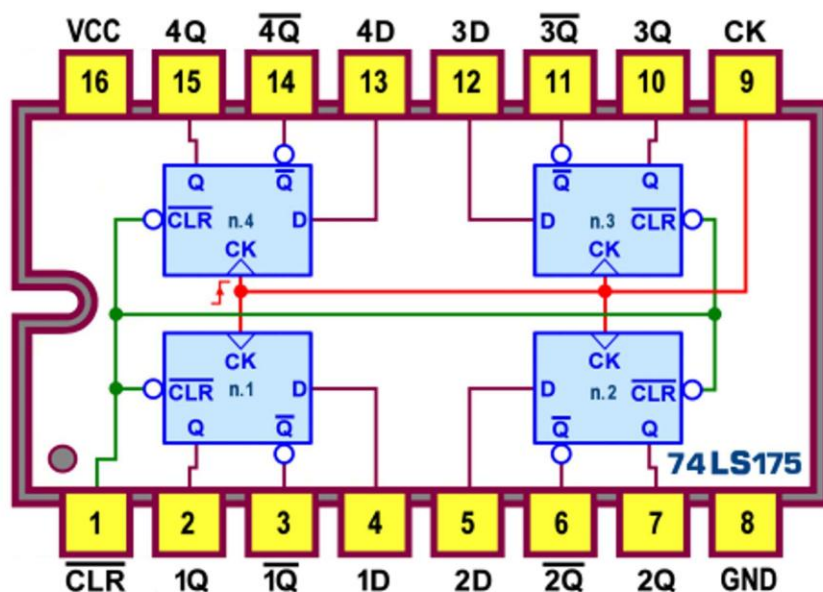


Figura 12 - 4-bit D-Type Flip-Flops 74LS175: Pin-out

Lo *schema funzionale* è visibile in Figura 13, mentre lo *schema pratico* è mostrato in Figura 14, insieme alla *Tabella di verità*, dalla quale si può apprezzare l'azione asincrona (per ciò

prioritaria su quella esercitata in ingresso dal *Clock* e dal dato *D* corrente) imposta dal segnale *Clear* (attivo basso) sulle uscite.

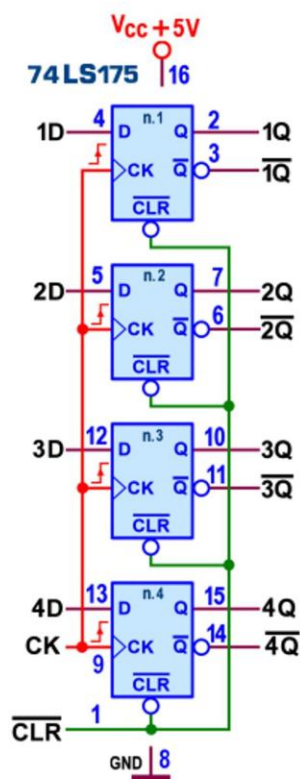


Figura 13 - 4-bit D-Type Flip-Flops 74LS175: Schema funzionale

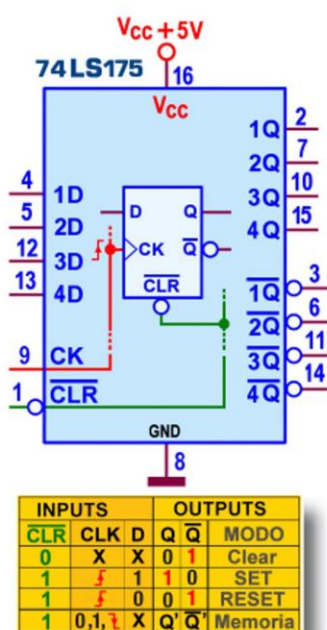


Figura 14 - 4-bit D-Type Flip-Flops 74LS175: Schema pratico

In Figura 15 è disponibile il simbolo logico predisposto dallo standard IEEE.

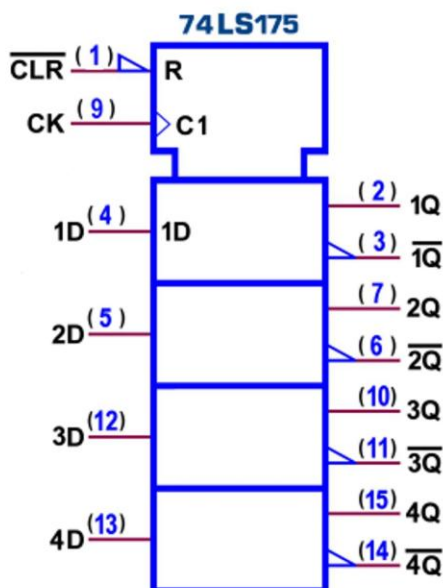


Figura 15 - 4-bit D-Type Flip-Flops 74LS175: Simbolo logico ANSI/IEEE Std. 91-1984

La potenza massima dissipata dal **74LS175** è di **150 mW**; in regime dinamico (con carico di **50pF/2kohm**): i ritardi di propagazione massimi (per entrambe le transizioni, t_{PLH} e t_{PHL}) sono di **30 ns** (tra *Clock* e uscita *Q*) e di **35 ns** (tra *Clear* e uscita *Q*); il valore minimo di *Setup Time*= t_s =**17 ns** e quello di *Hold Time*= t_H =**0 ns**; la frequenza massima è di **25 Mhz** (estendibile a **30 Mhz**, con carico capacitivo ridotto a **15pF**).

Il componente **74LS379**, detto **4-bit D-Type Flip-Flops with Enable**, è simile al precedente **74LS175**: ha la stessa disposizione dei piedini (vedi *pin-out*, in Figura 16) ma non dispone di *Clear*; al suo posto è presente una linea di abilitazione (*Enable*, *E*, attiva bassa), che consente invece di controllare l'influenza degli ingressi sui possibili cambiamenti delle uscite.

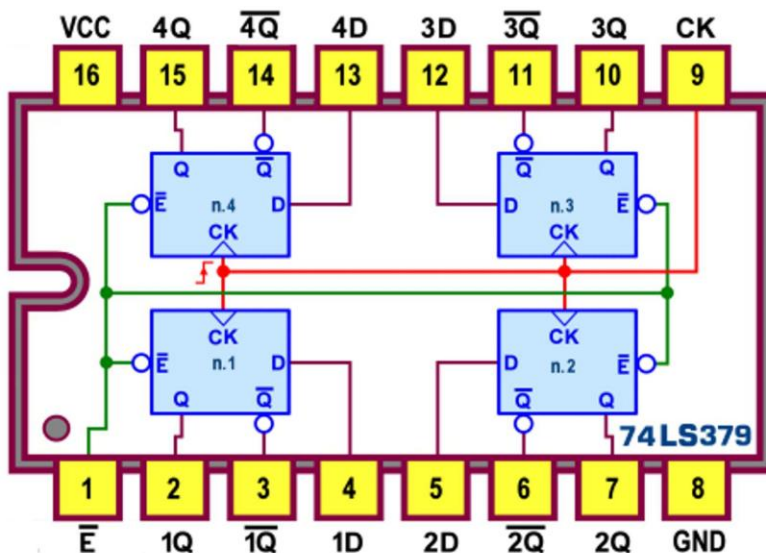


Figura 16 - 4-bit D-Type Flip-Flops 74LS379: Pin-out

Il *dettaglio funzionale* di *Figura 17* aiuta a capire il funzionamento di questo oggetto: l'informazione presente su ciascuno dei 4 ingressi D (ritenuta compatibile con i requisiti di *Setup Time*) viene trasferita sull'uscita Q sul fronte positivo del segnale di *Clock* solo se la linea di abilitazione degli ingressi (E, attiva bassa) è a 0 logico; se essa è disattiva (cioè a 1) ogni eventuale fronte attivo del *Clock* lascerà l'uscita inalterata, indipendentemente dal valore corrente di D: come si vede il reale ingresso del Flip-Flop è, in questo caso, quello attualmente presente in uscita, riportato in ingresso, per cui non potrà che essere riconfermato.

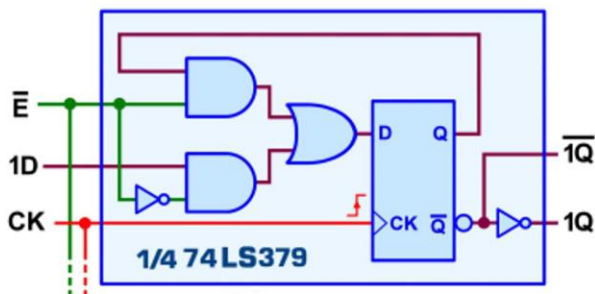


Figura 17 - 4-bit D-Type Flip-Flops 74LS379: Dettaglio di ciascuno dei 4 Flip-Flops

Lo *schema funzionale* e il *simbolo logico IEEE* sono del tutto simili a quelli (rispettivamente) di *Figura 13* e di *Figura 15*, con E al posto di CLR: riportiamo solo lo *schema pratico* (in *Figura 18*) per sottolineare la condivisione dei segnali di *Clock* e di *Enable* e per mostrare la *Tabella di verità*, sempre utile per riassumere sinteticamente tutte le considerazioni precedenti.

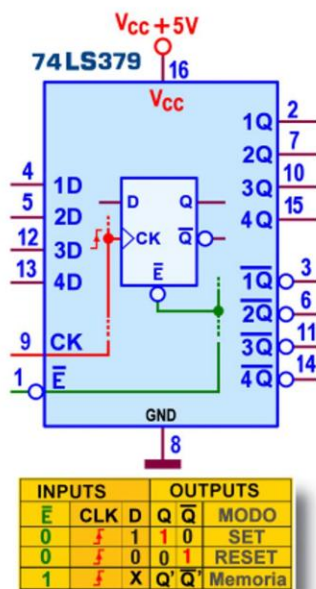


Figura 18 - 4-bit D-Type Flip-Flops 74LS379: Schema pratico

La potenza massima dissipata dal **74LS379** è di **90 mW**; in regime dinamico (con carico di **15pF/2kohm**): i ritardi di propagazione massimi (per entrambe le transizioni, t_{PLH} e t_{PHL}) sono di **27 ns** (tra Clock e uscita Q); il valore minimo di *Setup Time*= t_s =**20 ns** (per i dati D) e t_s =**25 ns** (per l'abilitazione E) e quello di *Hold Time*= t_H =**5 ns**; la frequenza massima è di **30 Mhz**.

Il **74LS171**, esso pure un **4-bit D-Type Flip-Flops with Clear**, è un'altra variante del **74LS175**, ad esso funzionalmente identico: l'unica differenza sta nella disposizione dei segnali coinvolti, assegnati in questa versione, a piedini completamente diversi, come si vede dal suo *pin-out*, descritto dalla *Figura 19*.

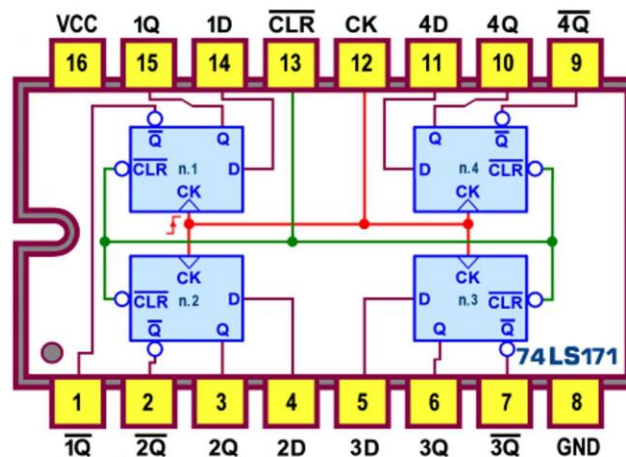


Figura 19 - 4-bit D-Type Flip-Flops 74LS171: Pin-out

Per lo *schema funzionale*, per quello *pratico* e per il *simbolo logico IEEE* ci si può dunque ancora riferire rispettivamente alle *Figura 13*, *14* e *15*, facendo attenzione a riposizionare il numero del pin associato a ciascun segnale.

La potenza massima dissipata dal **74LS171** è di **75 mW**; i ritardi di propagazione massimi (misurati con carico di **15pF/2kohm**, per entrambe le transizioni, t_{PLH} e t_{PHL}) sono mediamente intorno ai **30 ns** (tra ingresso *Clock* e uscita *Q*) e ai **40 ns** (tra ingresso *Clear* e uscita *Q*).

La versione più sofisticata è però quella offerta dal **74LS173**, detto **4-Bit D-Type Register with 3-state output**; si tratta di un **Registro a 4 bit** con uscite 3-state, in grado di pilotare carichi a bassa impedenza (o fortemente capacitivi) e adatte all'impiego in strutture organizzate a bus, tipiche del progetto con logiche programmabili, senza bisogno di interfaccia o componenti di pull-up. La *Figura 20* mostra il suo *pin-out*.

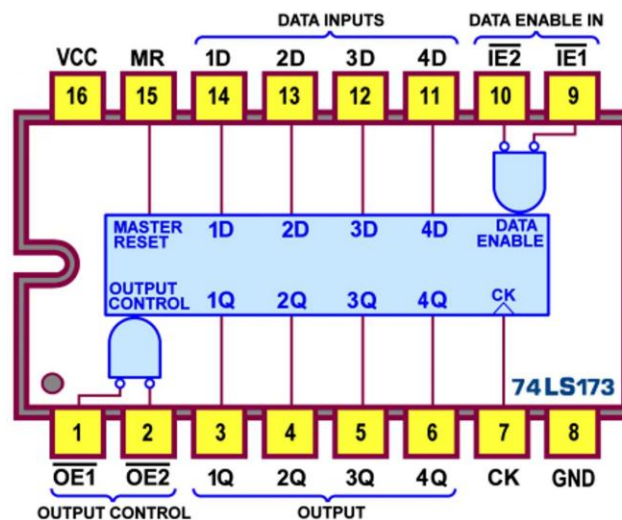


Figura 20 - 4-Bit D-Type Register 74LS173: Pin-out

Come il **74LS379** dispone di un controllo d'abilitazione degli ingressi, articolato addirittura su due linee, IE1 e IE2 (attive basse): per poter trasferire in uscita i bit predisposti su ciascuno dei 4 ingressi D entrambe le linee dovranno essere poste a 0 logico; come si vede dal *dettaglio funzionale* di *Figura 21* è facile verificare che, se o una o l'altra o entrambe sono disattivate (cioè a 1), ogni possibile fronte attivo del Clock non potrà cambiare l'uscita, anche se fosse cambiato il valore di D: sull'ingresso interno del Flip-Flop viene infatti proposta copia del valore presente in uscita che, con esso, potrà solo essere riconfermata.

Come il **74LS175** dispone di una linea di Clear, ora detta *Master Reset* e attiva alta; naturalmente essa è sempre prioritaria, cioè azzerà (con un 1) il registro, indipendentemente dallo stato del Clock e delle linee di ingresso (di abilitazione, IE1 e IE2, e di dato D); per il normale funzionamento deve dunque essere posta a massa.

Per poter disporre in uscita dei normali livelli logici adatti a pilotare carichi o le linee di un bus le linee di controllo, OE1 e OE2 (attive basse), devono essere entrambe a 0; se o una o l'altra o entrambe sono alte, le uscite sono forzate nello stato di alta impedenza, senza influenzare l'attuale contenuto del registro; in aggiunta, per ridurre al minimo la possibilità che due uscite possano tentare di accedere ad un bus comune con livelli logici opposti, il circuito di controllo è stato progettato in modo che il tempo medio di disabilitazione delle uscite sia il più breve possibile, rispetto a quello necessario per la loro abilitazione.

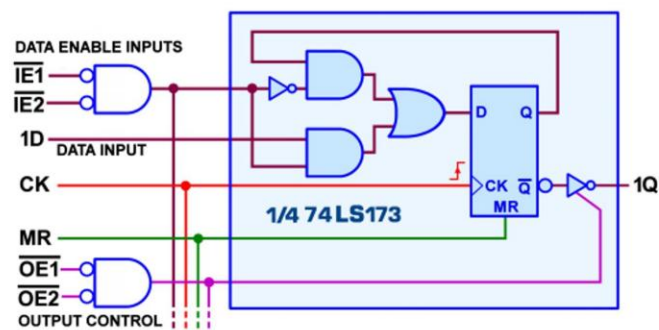


Figura 21 - 4-Bit D-Type Register 74LS173: Dettaglio di ciascuno dei 4 Flip-Flop

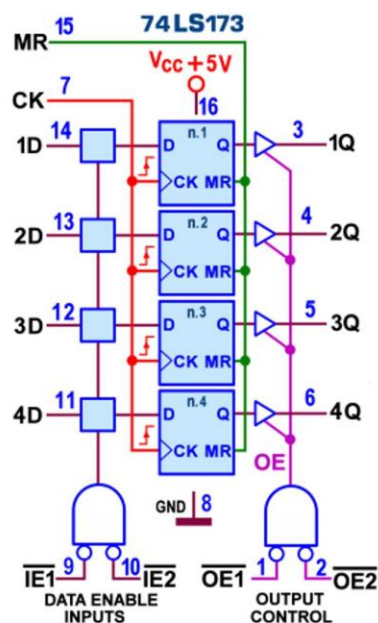


Figura 22 - 4-Bit D-Type Register 74LS173: Schema funzionale

La Figura 22 mostra lo schema funzionale e la Figura 23 mostra lo schema pratico, insieme alla Tabella di verità, un valido aiuto per verificare quando detto finora.

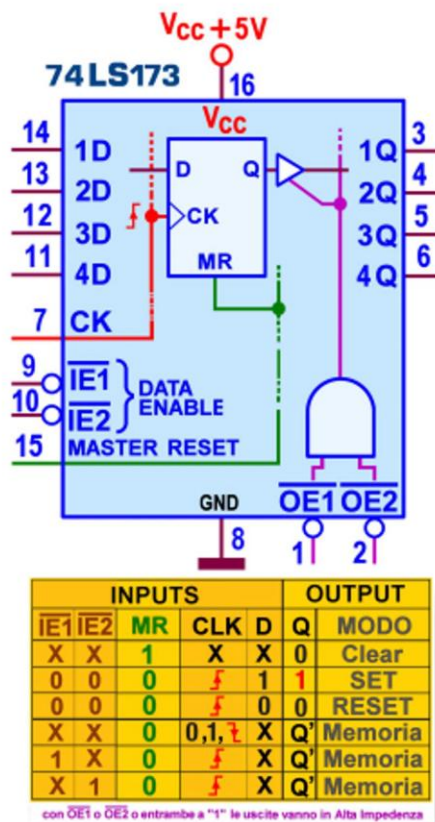


Figura 23 - 4-Bit D-Type Register 74LS173: Schema pratico

La potenza massima dissipata dal **74LS173** è di **150 mW**, mentre spicca la corrente massima assorbita in uscita a livello 0, $I_{OL}=24\text{ mA}$, tre volte più grande di quella di norma assicurata dalla famiglia logica **TTL LS**; in regime dinamico (con carico di **150pF/667ohm**) i ritardi di propagazione massimi (per entrambe le transizioni, t_{PLH} e t_{PHL}) sono di **35 ns** (tra ingresso Clock e uscita Q) e di **40 ns** (tra ingresso Clear e uscita Q), i tempi minimi di gestione sono $Setup\ Time=t_s=15\text{ ns}$, $Hold\ Time=t_H=0\text{ ns}$, $Clear\ Release\ Time=10\text{ ns}$, e la frequenza massima è di **20 Mhz** (estendibile a **30 Mhz**, con carico capacitivo ridotto a **45pF**).

Registri D-Type a 6 bit (TTL): 74LS174, 74LS378

Sebbene il formato di dato non sia coerente con l'informazione binaria, nella serie **TTL** sono disponibili anche due **Registri a 6 bit**; si tratta del **74LS174** e del **74LS378**, entrambi definiti **Hex D-Type Flip-Flops** e funzionalmente riconducibili ai componenti già descritti, rispettivamente al **74LS175** e al **74LS379**, per i quali abbiamo sottolineato la sostanziale identità tra loro: la stessa disposizione dei piedini e la disponibilità alternativa di un comando di Clear (registro a 4 bit "**with Clear**") al posto di una linea di Enable (registro a 4 bit "**with Enable**").

Va da sè che anche questa coppia sarà caratterizzata dalle stesse prerogative, fermo restando che, dovendosi avvalere ancora del medesimo contenitore *dual-in-line* da 16 pin, la necessità di ospitare due Flip-Flop in più ha richiesto di rinunciare alle 4 uscite negate Q, presenti nella versione a 4 bit e ora non più disponibili.

Tutto questo è ben visibile osservando il loro *pin-out*, rispettivamente proposto in *Figura 24* e in *Figura 25*.

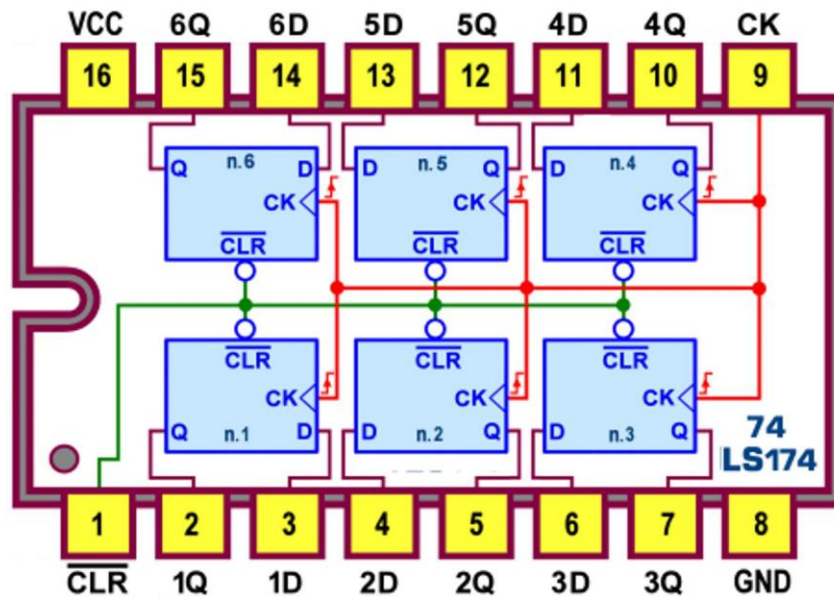


Figura 24 - Hex D-Type Flip-Flops 74LS174: Pin-out

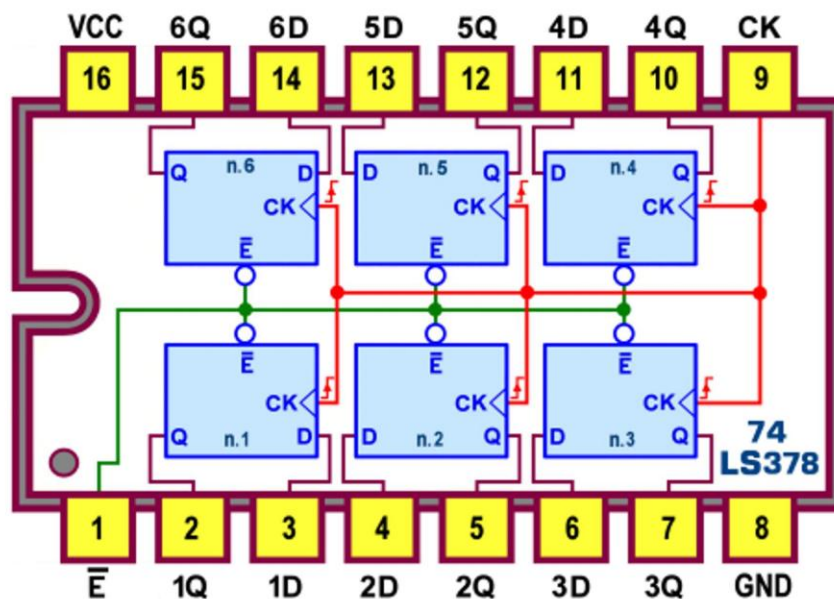


Figura 25 - Hex D-Type Flip-Flops 74LS378: Pin-out

Lo schema *schema funzionale* e il *simbolo logico IEEE* sono facilmente deducibili da quelli della coppia a 4 bit (**74LS175/74LS379**, vedi le figure *Figura 13* e *15*, da valutare con 2 FF in più), come lo *schema pratico* che comunque riportiamo, con la *Tabella di verità*, in *Figura 26* per dare una visione globale definitiva dei 2 componenti.

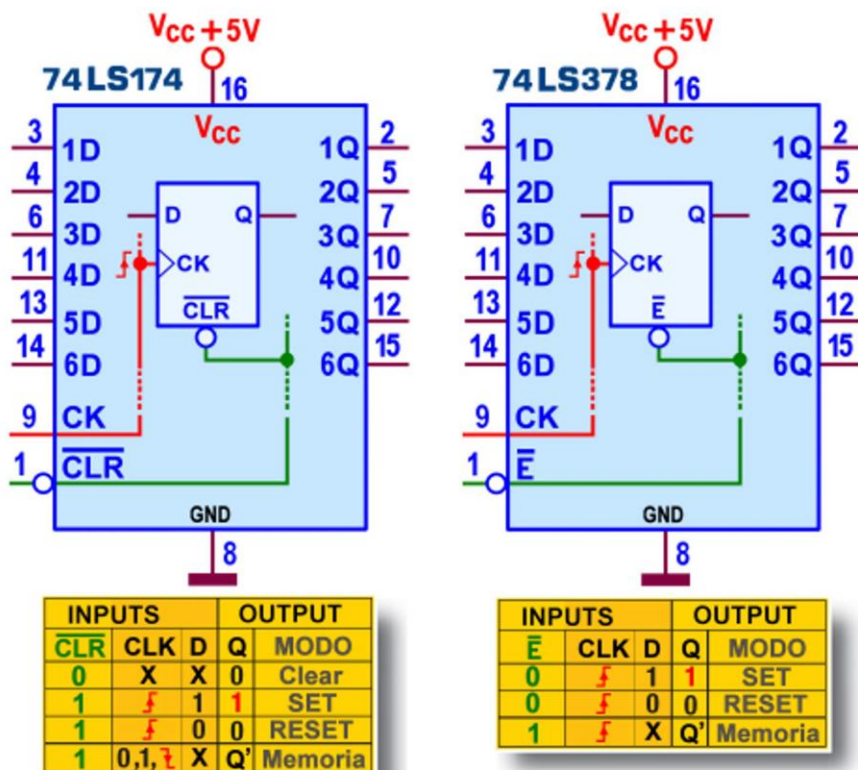


Figura 26 - Hex D-Type Flip-Flops 74LS174 e 74LS378: Schema pratico

La potenza massima dissipata dal **74LS378** è di **110 mW**; in regime dinamico (con carico di **15pF/2kohm**): i ritardi di propagazione massimi (per entrambe le transizioni, t_{PLH} e t_{PHL}) sono di **27 ns** (tra Clock e uscita Q); il valore minimo di *Setup Time*= t_s =**20 ns** (per i dati D) e t_s =**30 ns** (per l'abilitazione E) e quello di *Hold Time*= t_H =**5 ns**; la frequenza massima è di **30 Mhz**.

La trattazione dei D-Latch sarà completata nella prossima puntata, con la descrizione degli importanti **Registri a 8 bit** e delle disponibilità di questi elementi di memoria nella tecnologia **CMOS**.