Convertitore A/D con visualizzazione esadecimale su due display

Schema elettrico



Strumenti utilizzati

ADC0804; varie resistenze e condensatori; 2 integrati 9368; 2 display a 7 segmenti a catodo comune; alimentatore +5V; multimetro digitale; oscilloscopio; fili di collegamento, basetta millefiori.

Procedimento

Dopo aver montato correttamente il circuito come mostra in figura, si è misurato con il multimetro il potenziale dell'ingresso Vref/2 e lo si è portato al valore 2,5V agendo sul potenziometro R9.

|  |  |  |
| --- | --- | --- |
| Vi (V) | n (esad.) | n (dec.) |
| 0 | 00 | 00 |
| 0,5 | 17 | 23 727b16h |
| 1 | 30 | 48 |
| 1,5 | 47 | 71 |
| 2 | 60 | 96 |
| 2,5 | 78 | 120 |
| 3 | 90 | 144 |
| 3,5 | AA | 170 |
| 4 | E0 | 192 |
| 4,5 | D7 | 215 |
| 5 | F8 | 248 |

Si è collegato con un ponticello l'uscita INTR all'ingresso WR in modo che il convertitore "triggera se stesso". È stato comunque necessario applicare manualmente il primo impulso chiudendo e poi riaprendo l'interruttore WR. Si è inoltre tenuto il convertitore abilitato alla letture con l'interruttore RD chiuso. A questo punto agendo sul potenziometro R6 si è notato variare le due cifre sui display. Si è compilato infine la tabella qui a fianco scrivendo il numero in esadecimale visualizzato sui display corrispondente al valore di tensione in ingresso e il corrispondente valore in decimale

Richiami teorici

ADC 0804

È un convertitore analogico digitale ad 8 bit ad approssimazioni successive in tecnologia CMOS che si presenta in un contenitore DIP a 20 pin e funziona con una sola tensione di alimentazione Vcc = +5V.

Possiede due ingressi analogici Vin (+) e Vin (-) che comandano un differenziale interno a guadagno unitario sicché il dato digitale di uscita risulta proporzionale alla differenza Vin (+) - Vin (-).

Il circuito di clock è interno ma la frequenza fCK dipende dalle rete esterna R-C che si inserisce. È possibile applicare un  clock  esterno ma, in tal caso, si evita l'uso della rete  R-C.

Se al piedino Vref/2 si applica una tensione costante pari a 2,5V l'intervallo dei valori della tensione di ingresso (span) va da 0 a 5 V.

Si noti inoltre che Vref/2 = 2,5V rappresenta il valore della tensione di ingresso in grado di porre ad 1 il bit più significativo (MSB) DB7.

Il convertitore presenta, inoltre, le seguenti linee di controllo:

CS: Chip select (attiva bassa). Se CS = 1 non è possibile avviare alcuna conversione ed inoltre le uscite digitali, essendo tri-state, si pongono nello stato di alta impedenza.

WR: Write (attiva bassa). Ponendo CS = WR = 0 si inizia una conversione A-D e la linea INTR se bassa, si porta al livello alto.

RD: Read (attiva bassa). Ponendo CS = RD = 0 si rende disponibile in uscita il byte convertito purché la precedente conversione ha avuto termine. Anche in questo caso INTR, se bassa, si porta al livello alto.

INTR: Interrupt (attiva bassa). È una linea di uscita che si trova nello stato alto durante la conversione e compie la transizione negativa quando tale conversione ha termine. Questa linea ritorna al livello alto quando si attiva una successiva conversione (CS = WR = 0) o quando si predispone la lettura (CS = RD = 0).

Principali caratteristiche

1)     Tensione di alimentazione : Vcc = +5V

2)     Tensione di ingresso analogica: 0 < Vi  < +5V

3)     Tempo di conversione: tc = 100us

4)     Frequenza di clock consigliata: fCK = 840KHz (R = 10K, C = 150pF)

5)     Start conversion: CS = WR = 0

6)     End of conversion: transizione negativa di INTR

7)     Lettura: CS = RD = 0 (il dato digitale è disponibile non prima di 8 periodi di clock dalla fine della conversione

8)     I valori di tensione degli ingressi di controllo digitali ( CS, RD, WR) sono TTL standard compatibili.

Semplificazione del convertitore A-D ad approssimazioni successive

|  |
| --- |
|  |
|  |

|  |
| --- |
| Convertitore A/D ad approssimazioni successive a 8 bit |

  |

Dopo l'applicazione del comando di conversione (SOC: start of conversion), che azzera le uscite e inizializza il sistema, il registro ad approssimazioni successive (SAR: successive approssimation register) si trova nello stato 10000000. questo dato viene presentato all'ingresso del DAC che fornisce il primo livello analogico, pari alla metà della tensione di fondo scala del convertitore, da confrontare con il segnale Va. Se Va > Va' l'uscita del comparatore è alta e il bit più significativo del SAR, che è anche il MSB della parola di uscita, rimane alto. Se viceversa Va < Va', l'uscita del comparatore è bassa, il bit più significativo del SAR (e quindi anche del dato d'uscita) si porta a 0. a questo punto, in sincronismo con il clock, viene portato ad 1 il secondo bit più significativo del SAR, cosicché il dato presente sugli ingressi del DAC sarà 11000000 oppure 01000000 a seconda del risultato del confronto precedente. Il secondo confronto porta a 0 o mantiene ad 1 il secondo bit del SAR e del buffer d'uscita, a seconda che Va risulti minore o maggiore di Va'. Con il procedimento analogo vengono effettuati i confronti per gli altri bit.
Alla fine della conversione, ovvero dopo otto confronti successivi, il dato digitale contenuto nel buffer d'uscita è pronto e valido; il blocco di temporizzazione segnala la fine della conversione ( EOC: end of conversion) e l'uscita può essere letta.

Conclusioni

Il convertitore ad approssimazioni successive si è dimostrato un convertitore abbastanza veloce in quanto impiega solo n colpi di clock per convertire un segnale analogico in digitale, dove n è dato dal numero di bit del convertitore.