



di GIORGIO OBER (GIOBE2000)

l'angolo di Mr A.KEER



(parte dodicesima)

PROGETTARE con le PORTE LOGICHE

Comparatori

Le macchine combinatorie si prestano a realizzare utili strumenti di calcolo e di controllo numerico: cominciamo l'analisi di questa categoria con i dispositivi di confronto e scopriamone i segreti e il modo migliore per utilizzarli.

Dopo aver fornito gli strumenti per gestire la traduzione e la visualizzazione decimale delle informazioni binarie possiamo rivolgere l'attenzione alle numerose altre categorie di dispositivi specializzati, cominciando con quelle destinate al trattamento dei dati binari; tra esse spiccano i comparatori, per la loro versatilità e per il fascino legato alla loro capacità di scoprire l'ordine degli elementi coinvolti e consentire la loro classificazione.

Comparatori (TTL): 74LS85

I comparatori sono macchine combinatorie chiamate a confrontare tra loro 2 numeri binari al fine di scoprire se sono uguali; prima di entrare nel merito dei dispositivi integrati offerti dal mercato possiamo fare alcune considerazioni iniziali, per capire a fondo il meccanismo logico che governa questo servizio.

Intanto sembra naturale affidare al circuito finale anche il compito di stabilire e segnalare se uno dei 2 è maggiore o minore dell'altro: il costo aggiuntivo è irrisorio e il servizio garantito è decisamente accattivante.

Il comparatore più semplice è quello che opera il confronto di 2 parole a un solo bit (*Figura 1*), affidato alle variabili A e B, proposte sui suoi ingressi: per la sua natura intrinseca l'**operatore OR ESCLUSIVO (OREX o XOR)**, disponibile con 4 porte logiche a 2 ingressi nel componente TTL **74LS86** o nei CMOS **4030** o **4070** sembra fatto apposta per espletare questa funzione: la sua uscita è infatti a **0** logico (attiva *bassa*) solo quando il valore di A è uguale a quello di B.

Utilizzando l'**operatore NOREX** (disponibile nel TTL **74LS266**, per altro a *collettore aperto*, o nel CMOS **4077**) è possibile disporre dello stesso servizio *in logica positiva*; nella *Figura 1* si è preferito realizzare la funzione $A=B$ negando l'uscita di una porta **OREX**.

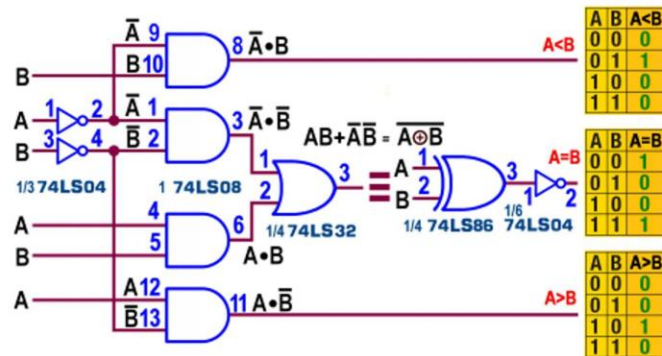


Figura 1 - 1-bit Magnitude Comparator: Tabelle di verità (in logica positiva) e schema

La scelta dei componenti utilizzati per il progetto è giustificata dall'analisi delle 3 Tabelle di Verità allegate: si notano le 4 AND richieste dai rispettivi *mintermini*, 2 dei quali servono per assicurare le uscite A < B e A > B.

La Figura 2 mostra un comparatore a 2 bit completo; i singoli settori circuitali necessari per stabilire se una parola $A=A_1A_0$ è minore, uguale o maggiore dell'altra, $B=B_1B_0$, sono il frutto della minimizzazione (con le mappe di Karnaugh) delle rispettive funzioni, previste e documentate dalla Tabella di Verità; senza entrare nel dettaglio è comunque facile riscontrare una certa simmetria nelle colonne delle uscite A < B e A > B, chiaramente evidente anche nella struttura delle reti che le realizzano (per inciso ricordo che le porte **AND** a 2 e a 3 ingressi sono disponibili rispettivamente nei TTL **74LS08** e **74LS11**, mentre non esiste una TTL **OR** a 3 ingressi, per cui sarà necessario usarne 2 a 2 ingressi, **74LS32**, in cascata).

Per garantire la condizione A = B sono necessarie 2 **NOREX** (una per i bit di *peso 0* e una per quelli di *peso 1*); essa è verificata quando entrambe (giustificando la presenza della **AND**) le porte assumono in uscita il valore logico **1**, per il fatto di aver rilevato l'uguaglianza dei rispettivi bit in ingresso, entrambi **0** o **1**.

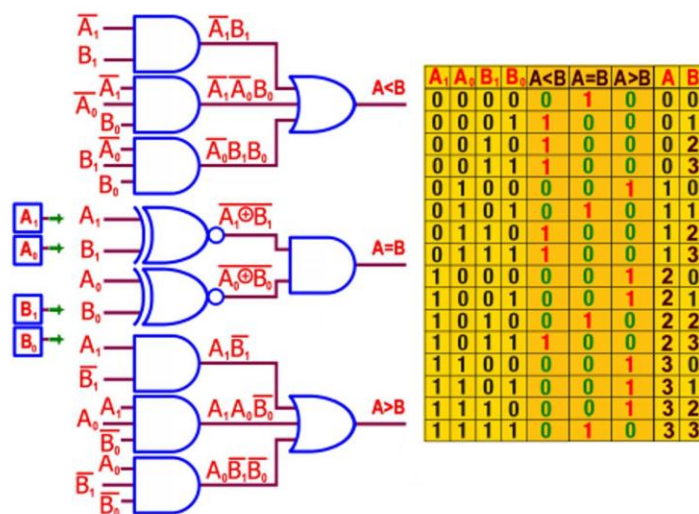


Figura 2 - 2-bit Magnitude Comparator: Tabella di verità (in logica positiva) e schema

La verifica d'uguaglianza dei bit di A e B mantiene la sua logica anche quando il loro numero aumenta: con parole binarie a n bit è sempre necessario confrontare a 2 a 2 i bit dello stesso peso, per cui saranno necessarie n **NOREX**, una per ciascuna coppia di bit dello stesso peso, comunque coordinate da una **AND** ad n ingressi.

La famiglia **TTL** offre numerosi dispositivi in grado di assicurare questo servizio, in quantità decisamente maggiore di quella disponibile per realizzare altre funzioni logiche; il più classico e noto è il **74LS85**, chiamato a confrontare 2 parole a 4 bit e per questo definito **4-Bit Magnitude Comparator** dai *datasheet*; il suo pin-out è mostrato in *Figura 3*.

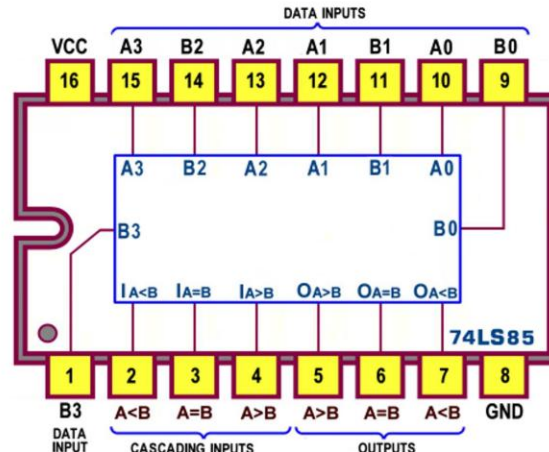


Figura 3 - 4-bit Magnitude Comparator 74LS85: Pin-out

Lo *schema funzionale* proposto dai *datasheet* (di solito come *schema logico*, *Logic Diagram*) è come sempre molto interessante: si tratta di un disegno piuttosto complesso che coinvolge una trentina di porte logiche; osservandolo con attenzione è facile riconoscere la parte circuitale relativa alla funzione $A=B$, ridisegnata in *Figura 4* senza il "disturbo" delle parti che si occupano delle funzioni $A<B$ e $A>B$.

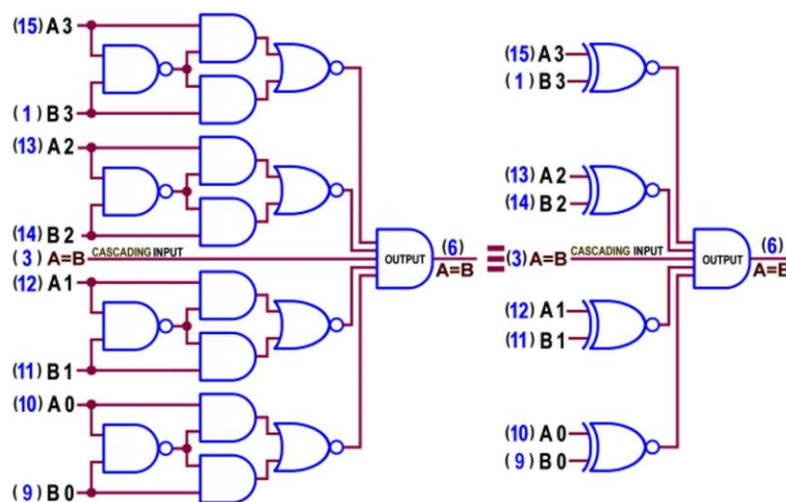


Figura 4 - 4-bit Magnitude Comparator 74LS85: Schema funzionale di $A=B$

Come abbiamo anticipato è evidente la presenza delle 4 **NOREX** concorrenti in una **AND**: è interessante notare la scelta degli operatori chiamati a realizzare ciascuna di esse, così come è facile verificare che effettivamente rappresentano una **NOREX**; la *Figura 5* ci prova, ricreando il circuito con componenti reali.

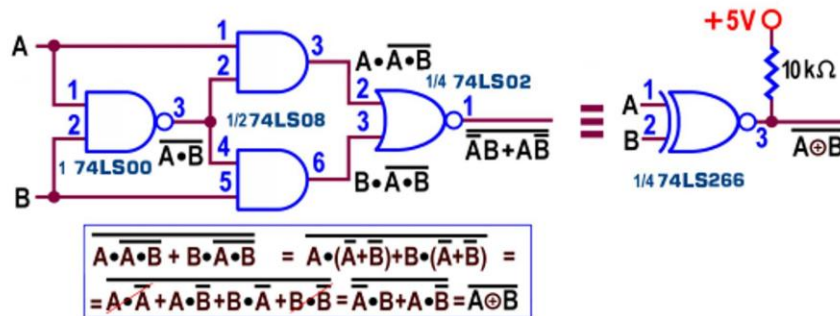


Figura 5 - 4-bit Magnitude Comparator 74LS85: Particolare dello schema funzionale

Lo *schema pratico* (Figura 6) offre il simbolo del **74LS85**, da utilizzare nei progetti, consigliato per la sua sintetica completezza, evidenziando il nome dei *segnali logici* che entrano e di quelli che escono e il *numero* dei piedini ad essi riservati.

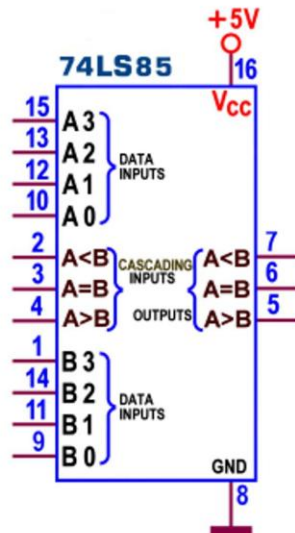


Figura 6 - 4-bit Magnitude Comparator 74LS85: Schema pratico

Sono evidenti le 8 linee d'ingresso destinate a raccogliere il codice binario (o qualunque altro codice, anche BCD) affidato alle 2 parole a 4 bit da confrontare tra loro, $A=A_3A_2A_1A_0$ e $B=B_3B_2B_1B_0$, così come le 3 uscite specializzate nel segnalare le 3 possibili condizioni $A<B$, $A=B$ e $A>B$.

Il valore logico da esse assunto dipende da quello predisposto sui 3 ingressi di espansione (detti *Cascading Inputs* o *Expander Inputs*); per un corretto funzionamento gli ingressi $A<B$ (*pin2*) e $A>B$ (*pin4*) **devono** essere posti a **0** e l'ingresso $A=B$ (*pin3*) a **1**: in questo modo, al verificarsi di una condizione, l'uscita corrispondente passerà a **1** (*attiva alta*) lasciando a **0** le altre 2.

Lo scopo degli ingressi di espansione è ovviamente quello di rendere possibile il collegamento in cascata di 2 o più dispositivi al fine di consentire il confronto di 2 parole a $n \cdot 4$ bit (con n intero a partire da 2); la Figura 7 mostra un comparatore a 8 bit, nel quale le condizioni richieste per i *Cascade Inputs* sono affidate al componente chiamato a gestire la parte meno significativa dei 2 numeri binari (ogni altro ingresso di espansione sarà collegato alle uscite di pari dignità del precedente comparatore).

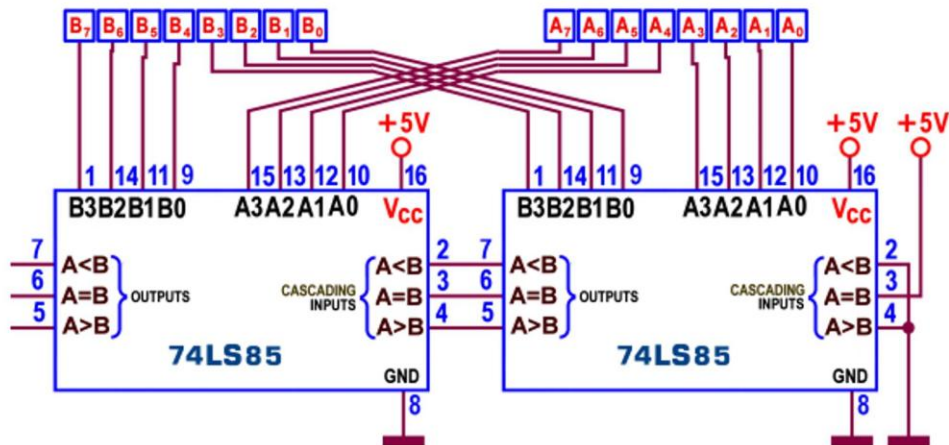


Figura 7 - 4-bit Magnitude Comparator 74LS85: Espansione a 8 bit in cascata

L'utilizzo *in cascata* di questi dispositivi non richiede alcun componente aggiuntivo; nonostante la loro relativa velocità è per altro evidente che il *ritardo di propagazione* (*Propagation Delay Time*), necessario per disporre di una risposta attendibile sulle uscite del **74LS85** chiamato a gestire la parte più significativa dei 2 numeri, sarà di fatto uguale a *n* volte quello di un singolo comparatore a 4 bit, mediamente dai **30 ns** ai **45 ns** (misurato con carico di **400ohm/15pF**) per tutte le transizioni.

Per mantenere in termini accettabili i tempi del confronto di parole binarie di grandi dimensioni il costruttore stesso suggerisce di usare questi componenti *in parallelo*; per parole fino a 24 bit questa tecnica assicura un ritardo di soli 2 tempi di propagazione.

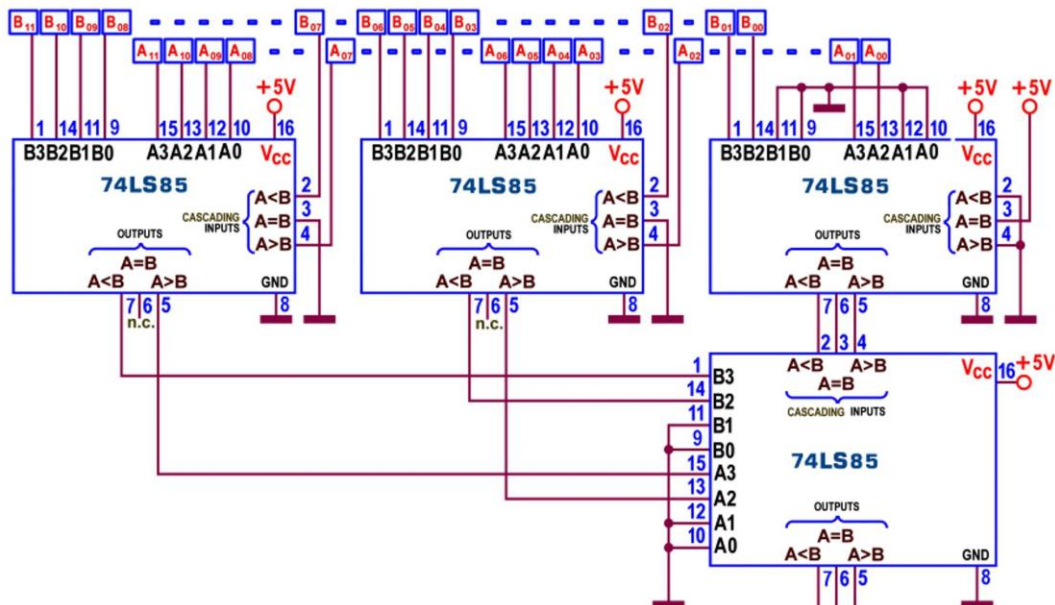


Figura 8 - 4-bit Magnitude Comparator 74LS85: Espansione a 12 bit in parallelo

La *Figura 8* mostra un comparatore a 12 bit realizzato con *tecnica parallela*: si può notare che, rispetto a quella *in cascata*, il beneficio di disporre di un ritardo decisamente minore (un 30% in meno) costa un **74LS85** in più.

La *Figura 8* ci aiuta a capire come è strutturata la tecnica *in parallelo*; il comparatore che si occupa dei bit meno significativi (fino ad un massimo di 4) è collegato *in cascata* con un secondo, chiamato a fare da collettore delle decisioni degli altri comparatori presenti nel progetto: gli ingressi di dato di quest'ultimo sono infatti le linee d'uscita maggiore e minore di ulteriori **74LS85**, ciascuno dei quali potrà accollarsi il compito di confrontare fino a 5 bit di peso crescente.

Nel nostro esempio (anche per mostrare come si fa ...) abbiamo volutamente limitato il confronto a parole di 12 bit, ma una struttura come questa è in grado di confrontare parole fino a 24 bit, $A=A_{23}...A_0$, $B=B_{23}...B_0$; di fatto, sostituendo i 4 ingressi di dato del primo comparatore, attualmente a massa, con effettive linee di dato possiamo affidargli direttamente i primi 4 bit, mentre sostituendo gli ingressi a massa del comparatore "collettore" possiamo aggiungere altri 2 **74LS85**, portando a 20, in questo modo, la quantità dei bit più significativi (per un totale di 24).

La tecnica in parallelo si può certamente estendere a parole di una quantità di bit grande a piacere: i *datasheet* assicurano la possibilità di gestire parole da 25 a 120 bit coinvolgendo un numero di integrati da 8 a 31: pur molto incuriosito la stesura del circuito relativo sembra legittimamente complicata, per cui lascerò a qualche volontario il compito di montare un prototipo..

Preferisco sottolineare un dettaglio della *Figura 8*, relativo al **74LS85** che si occupa dei bit meno significativi; isolato dal circuito (e riproposto in *Figura 9*) esso offre una alternativa integrata al comparatore a 2 bit completo di *Figura 2*: il nostro dispositivo integrato si presta dunque ottimamente anche al confronto di parole con meno di 4 bit purchè i bit di A siano affidati alle linee di dato dello stesso peso di quelle a cui si affidano i bit di B, lasciando le rimanenti allo stesso livello logico.

Nell'esempio A_1 e B_1 sono affidati alle linee di peso 3 (*pin15* e *pin1*) e A_0 e B_0 sono affidati alle linee di peso 2 (*pin13* e *pin14*) lasciando le rimanenti a livello logico 0, ma ogni altra scelta avrebbe garantito un risultato sicuro.

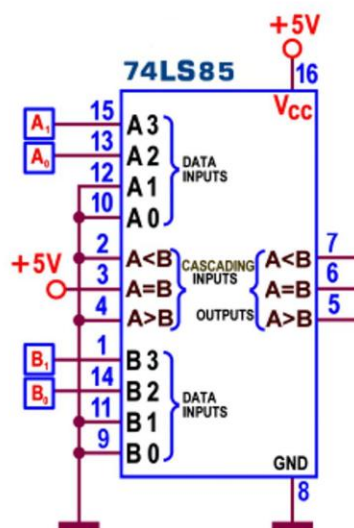


Figura 9 - 4-bit Magnitude Comparator 74LS85: Riduzione a 2 bit

Il simbolo logico predisposto dallo standard IEEE è mostrato in Figura 10 ed è, in questo caso, di immediata comprensione.

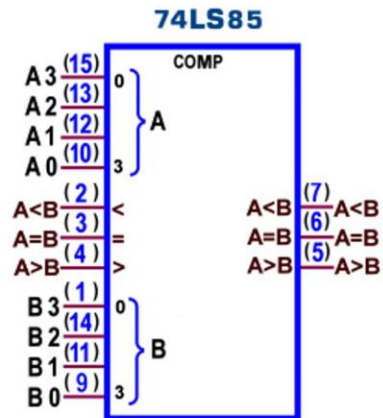


Figura 10 - 4-bit Magnitude Comparator 74LS85: Simbolo logico ANSI/IEEE Std. 91-1984

Quando si progetta un dispositivo combinatorio è naturale partire dalla Tabella di Verità: abbiamo già visto (Figura 2) come sia semplice ottenere un circuito completo sviluppando le desiderate funzioni booleane a partire dalle possibili combinazioni delle 4 variabili d'ingresso A_1, A_0, B_1, B_0 ; ma quando i bit coinvolti sono più di 4 (cioè per confrontare parole con più di 2 bit) la Tabella scritta nel modo tradizionale diventa ingombrante e oggettivamente inutile, per cui la tecnica della minimizzazione diventa oggettivamente impraticabile.

Anche per questo la *Tabella di Verità* (*Function Table*) offerta dai datasheet è meno formale e più pratica;

INGRESSI DI DATO				INGRESSI IN CASCATA			USCITE		
A3,B3	A2,B2	A1,B1	A0,B0	A>B	A=B	A<B	A>B	A=B	A<B
A3>B3	X	X	X	X	X	X	H	L	L
A3=B3	A2>B2	X	X	X	X	X	H	L	L
A3=B3	A2=B2	A1>B1	X	X	X	X	H	L	L
A3=B3	A2=B2	A1=B1	A0>B0	X	X	X	H	L	L
A3<B3	X	X	X	X	X	X	L	L	H
A3=B3	A2<B2	X	X	X	X	X	L	L	H
A3=B3	A2=B2	A1<B1	X	X	X	X	L	L	H
A3=B3	A2=B2	A1=B1	A0<B0	X	X	X	L	L	H
A3=B3	A2=B2	A1=B1	A0=B0	X	H	X	L	H	L
A3=B3	A2=B2	A1=B1	A0=B0	H	L	L	H	L	L
A3=B3	A2=B2	A1=B1	A0=B0	H	L	H	L	L	L
A3=B3	A2=B2	A1=B1	A0=B0	L	L	L	H	L	H
A3=B3	A2=B2	A1=B1	A0=B0	L	L	H	L	L	H

H livello logico **alto**
 L livello logico **basso**
 X livello logico **irrelevante**

Figura 11 - 4-bit Magnitude Comparator 74LS85: Tabella di verità

la *Figura 11* riorganizza in modo più intuitivo le situazioni più comuni: a) la parte in alto si riferisce all'evento nel quale una parola è maggiore o minore dell'altra: si vede con chiarezza che risulta attiva (*alta*) solo l'uscita che corrisponde alla condizione $A > B$ o $A < B$ e che il contributo degli ingressi "in cascata" è irrilevante; in aggiunta il compito di forzare a **1** l'uscita corrispondente è delegato a partire dal bit più significativo di entrambe le parole, cosicché se, per esempio, A_3 è maggiore di B_3 non è necessario controllare il valore dei bit di peso inferiore (nella posizione dei quali appare per questo il segno **X** di indifferenza); b) la parte in basso mette in evidenza l'importanza degli ingressi *in cascata* quando le parole poste a confronto sono uguali tra loro; la prima riga di questo gruppo ricorda le condizioni da imporre quando il componente è usato da solo o è il primo di una serie con altri: abbiamo già detto che in questo caso è necessario porre l'ingresso $A=B$ ($pin3$)=**1** e gli altri 2 ($A < B$, $pin2$ e $A > B$, $pin4$)=**0**; le altre righe di questo gruppo (tutte caratterizzate dall'avere l'ingresso $A=B$ uguale a **0**) sono significative quando si realizzano comparatori con la tecnica *in parallelo*, come quello descritto dalla *Figura 8*.

La corrente massima assorbita dalle uscite del **74LS85** è quella tipica **TTL LS** ($I_{OL}=8\text{ mA}$) mentre la potenza dissipata massima è di **100 mW**.

Tra le numerose proposte **TTL** il **74LS460** offre una ulteriore dimostrazione della natura intrinseca di questi componenti, legata alla *somma esclusiva*; esso realizza il confronto di 2 parole a 10 bit semplicemente integrando 10 **NOREX** concorrenti in una **AND** a 10 ingressi, senza alcuna ulteriore linea di controllo; il suo pin-out è mostrato in *Figura 12*.

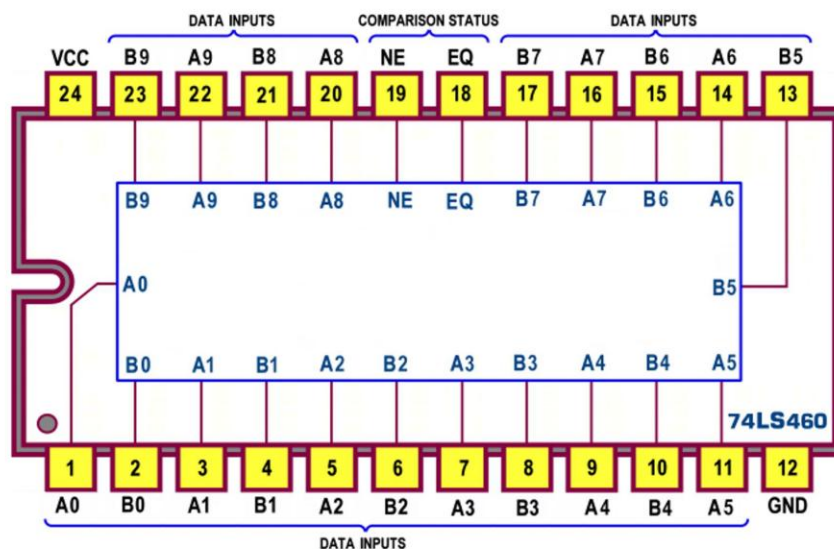


Figura 12 - 10-bit Comparator 74LS460: Pin-out

Lo *schema funzionale* (*Logic Diagram*, *Figura 13*) è in questo caso molto essenziale e mette in evidenza la disponibilità di 2 uscite tra loro alternative, EQ e NE, entrambe *attive alte*.

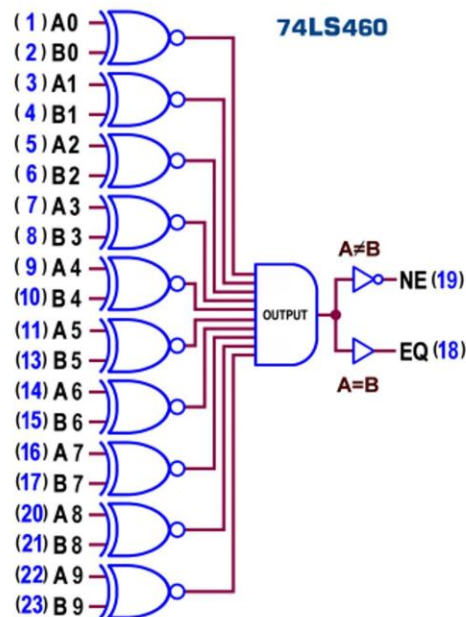


Figura 13 - 10-bit Comparator 74LS460: Schema funzionale

I rimanenti componenti **TTL** sono per lo più specializzati a rilevare solo l'uguaglianza delle parole processate e per questo sono definiti **Identity Comparator**; la mancanza della possibilità di verificare se $A < B$ e $A > B$ è per altro compensata dalla grande quantità di bit coinvolti, di solito 8, 12 o 16.

Un primo gruppo di 7 integrati consente il confronto d'uguaglianza di 2 parole binarie (o BCD) da 8 bit: il **74ALS518**, il **74ALS519**, il **74ALS522** e il **74LS689** hanno uscita $A=B$ di tipo *open collector* mentre quella del **74ALS520**, del **74ALS521** e del **74LS688** è di tipo standard, *totem pole*; il *pin-out* per tutti è quello di Figura 14; una curiosa caratteristica dei **74ALS518**, **74ALS520** e **74ALS522** è quella di disporre di un resistore interno di *pull-up* da 20 kOhm su tutti gli 8 ingressi della parola B (pin 3, 5, 7, 9, 12, 14, 16 e 18).

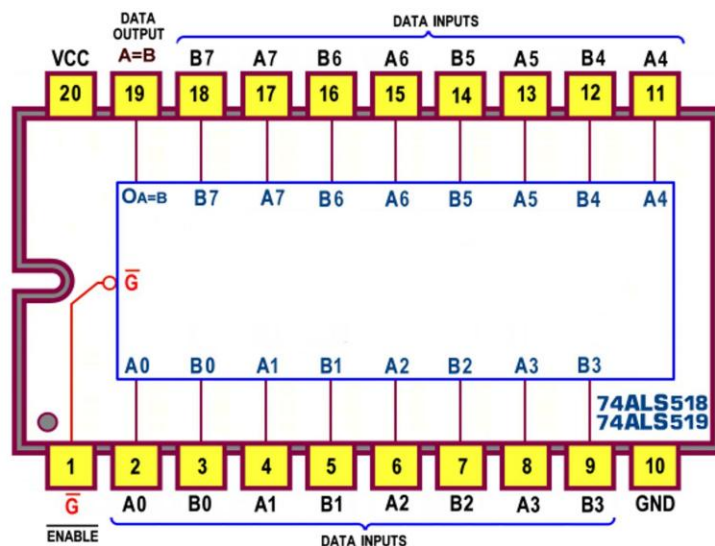


Figura 14 - 8-bit Identity Comparator (componenti vari): Pin-out

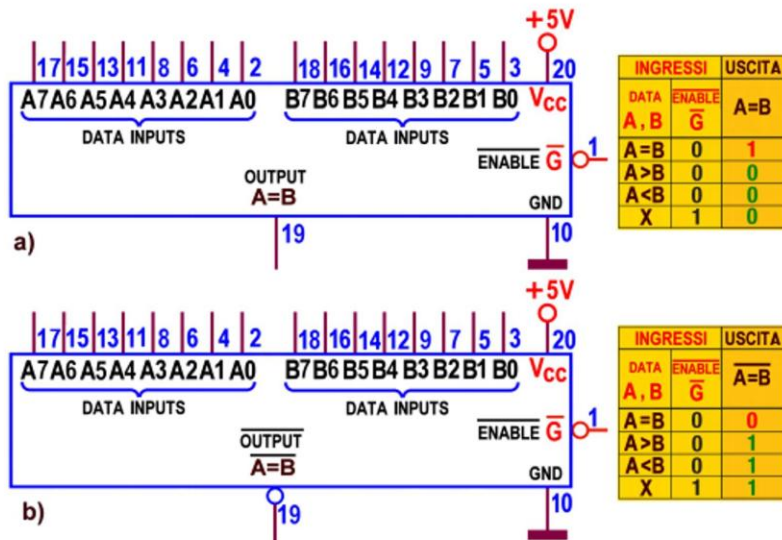


Figura 15 - 8-bit Identity Comparator (componenti vari): Schema pratico

Lo schema funzionale proposto dei *datasheet* conferma la struttura tipica del comparatore (anticipata in Figura 4), ora con 8 **NOREX** (una per ciascuna coppia di bit dello stesso peso) concorrenti in una **AND** ad 9 ingressi: il nono ingresso è infatti utilizzato per un segnale di abilitazione, G , attivo basso.

Componente TTL		Numero di bit	Potenza dissipata	Corrente d'uscita	Ritardo Propagazione		
		n	P _D (mW)	I _{OL} (mA)	t _{PLH} (ns)	t _{PHL} (ns)	condizioni
74LS85	totem pole	4	100	8	36	45	400ohm/15pF
74LS460	totem pole	10	500	8	40	40	560ohm/50pF
74ALS518	open collector	8	85	24	33	15	680ohm/50pF
74ALS519		8	85	24	33	15	680ohm/50pF
74ALS522		8	85	24	33	15	680ohm/50pF
74LS689		8	325	24	40	35	667ohm/50pF
74ALS520	totem pole	8	95	24	12	20	500ohm/50pF
74ALS521		8	95	24	12	20	500ohm/50pF
74LS688		8	325	24	27	30	667ohm/45pF
74LS683	open collector	8	350	24	45	30	667ohm/45pF
74LS685		8	325	24	45	35	667ohm/45pF
74LS687		8	375	24	35	30	667ohm/45pF
74LS682	totem pole	8	350	24	25	25	667ohm/45pF
74LS684		8	325	24	25	25	667ohm/45pF
74LS686		8	375	24	25	30	667ohm/45pF
74AS885	totem pole	8	1000	20	17	15	500ohm/50pF
74ALS526	totem pole	16	135	20	15	12	680ohm/50pF
74ALS527		8	120	20	15	12	680ohm/50pF
74ALS528		12	65	20	15	12	680ohm/50pF
74ALS677	totem pole	16	165	24	25	38	500ohm/50pF
74ALS678		12	175	24	22	43	500ohm/50pF
74ALS679		16	140	24	25	35	500ohm/50pF
74ALS680		12	135	24	22	38	500ohm/50pF

Figura 16 - Magnitude/Identity Comparator: Caratteristiche dinamiche e di Dissipazione

L'uscita di tutti i componenti di questo gruppo sarà *attiva alta* (per **74ALS518** e **74ALS519**, *Figura 15a*) o *attiva bassa* (per **74ALS520**, **74ALS521**, **74ALS522**, **74LS688** e **74LS689**, *Figura 15b*) quando le parole sono uguali ($A=B$) e **solo** se $G=0$; in caso di disuguaglianza ($A>B$ o $A<B$) l'uscita sarà sempre *disattiva* (a **0** per i primi 2 e a **1** per i rimanenti 5); le tabelle incluse in *Figura 15*, relative allo schema pratico, aiutano a chiarire ogni particolare.

Da notare che 5 integrati di questo gruppo sono **ALS (Advanced LS)**, cioè di produzione più recente e caratterizzati da prestazioni dinamiche e consumi migliori, come si vede dalla Tabella di *Figura 16*: essa raccoglie le caratteristiche dinamiche e di dissipazione di tutti i comparatori descritti in quest'articolo, per rendere compatta l'informazione e consentire facili confronti.

Tutti i dati esprimono il Valore Massimo delle rispettive grandezze e i ritardi sono riferiti al tempo necessario per avere un'uscita $A=B$ stabile dopo l'applicazione dei bit delle parole in ingresso, ricordando che i tempi necessari da eventuali altri punti di vista sono comunque dello stesso ordine di grandezza.

Ci sono altri 4 integrati in grado di confrontare 2 parole da 8 bit, con un'unica differenza rispetto a quelli appena descritti: sul *pin1* non è più disponibile il segnale di abilitazione G ; al suo posto è offerta l'uscita $A>B$, in aggiunta a quella d'uguaglianza $A=B$, sempre presente sul *pin19*, entrambe comunque *attive basse*; la funzione $A<B$, *attiva bassa*, non prevista esplicitamente, può essere ottenuta inviando le 2 uscite disponibili, $A=B$, e $A>B$, ad una **NAND** a 2 ingressi.

Le uscite del **74LS682** e il **74LS684** sono di tipo *totem pole* mentre quelle del **74LS683** e del **74LS685** sono *open collector*; il *pin-out* per tutti è quello di *Figura 17*; anche in questo gruppo alcuni dispositivi (**74LS682** e **74LS683**) dispongono di un resistore interno di *pull-up* da 20 kOhm su tutti gli 8 ingressi della parola B.

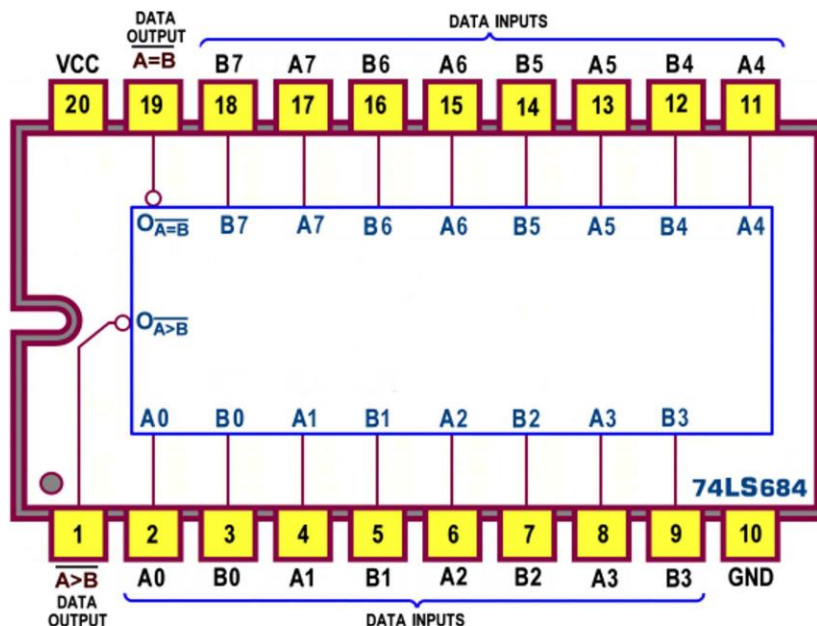


Figura 17 - 8-bit Magnitude/Identity Comparator 74ALS684: Pin-out

Lo schema pratico (valido per tutti i componenti di questo gruppo) è disponibile in *Figura 18*.

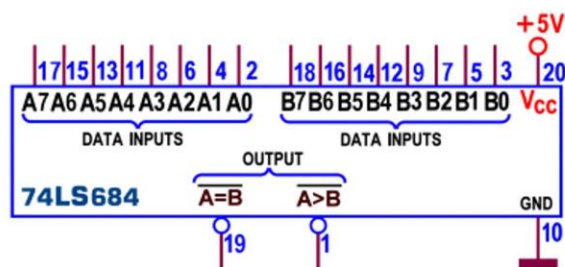


Figura 18 - 8-bit Magnitude/Identity Comparator 74ALS684: Schema pratico

Il **74LS686** (totem pole) e il **74LS687** (open collector) sono una variante dei precedenti: offrono ancora sia l'uscita A=B che quella A>B (entrambe *active basse*) garantendo però anche una linea di abilitazione indipendente, G1 e G2, per ciascuna di esse; la *Figura 19* mostra il loro *pin-out*, evidenziando la necessità di dover disporre di un chip di 24 pin.

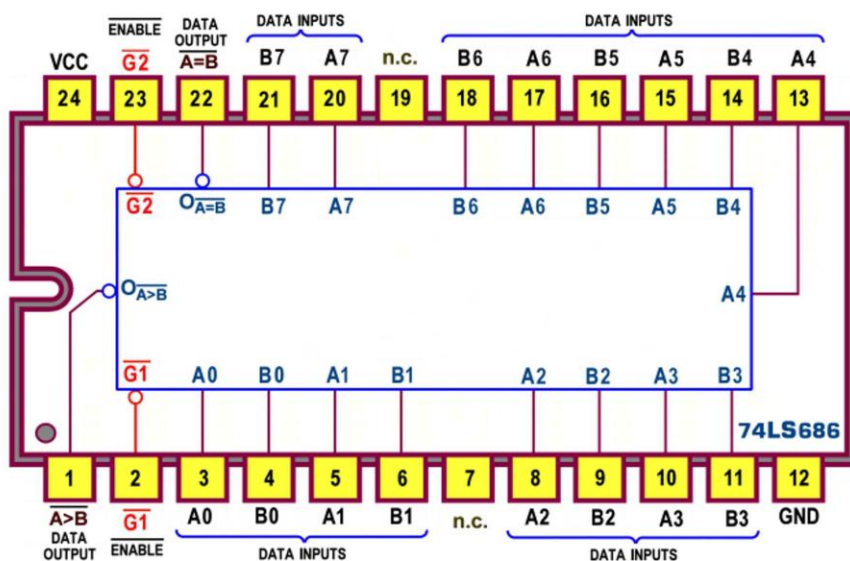


Figura 19 - 8-bit Magnitude/Identity Comparator 74ALS686: Pin-out

Lo schema pratico (valido per entrambi) è disponibile in *Figura 20* la tabella inclusa aiuta a chiarire l'importanza del controllo di abilitazione.

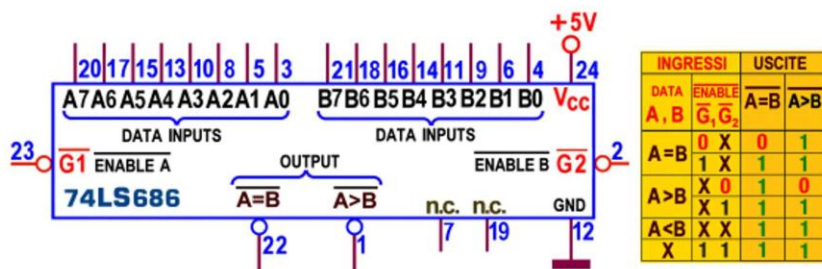


Figura 20 - 8-bit Magnitude/Identity Comparator 74ALS686: Schema pratico

Le caratteristiche dinamiche e di dissipazione per i 6 integrati appena descritti sono raccolte nella Tabella di *Figura 16*.

Alla categoria dei comparatori a 8 bit appartiene anche il **74AS885**, un sofisticato dispositivo dotato di memoria interna in grado di congelare provvisoriamente gli 8 bit della parola A; come il **74LS85** dispone di ingressi di espansione che assicurano la possibilità di controllare parole con un numero qualsiasi di bit senza porte esterne, comunque ad alta velocità, cioè con tempi di ritardo minimi garantiti della tecnologia **Advanced Schottky** di cui si avvale (vedi Tabella di *Figura 16*).

Un altro gruppo, altrettanto particolare, è quello costituito dal **74ALS526** (a 16 bit), dal **74ALS527** (a 8 bit) e dal **74ALS528** (a 12 bit): il loro compito è quello di comparare la parola fornita sulle linee d'ingresso dato con quella (di uguale dimensione) predisposta in una memoria PROM interna; per questo sono detti **Fuse-Programmable Identity Comparators** e sono di grande utilità nelle applicazioni di confronto fisso.

La loro uscita $A=B$ (*attiva bassa*) andrà a **0** quando la parola di dati A applicata in ingresso coinciderà con quella preprogrammata B.

In sostanza, i questi componenti dispongono di una serie di fusibili interni, uno per bit della parola da utilizzare nel confronto; in origine i fusibili sono intatti e il valore del bit corrispondente è **1**, ma è facile intervenire su ciascuno di essi per "bruciarlo", portando a **0** il bit relativo; l'operazione si conduce facilmente, senza dover disporre di programmatore di PROM, semplicemente applicando momentaneamente una tensione di 12V al pin desiderato e contemporaneamente un breve impulso (50 μ s) di 12V sull'ingresso di programmazione, G.

Per le caratteristiche dinamiche e di dissipazione consultare la Tabella di *Figura 16*.

Per finire facciamo cenno ad un ultimo gruppo, costituito dal **74ALS677** e dal **74ALS679**, dispositivi dal compito decisamente singolare: essi sono in grado di forzare a **0** l'uscita Y quando viene rilevato un determinato indirizzo, rispettivamente a 16 bit per il primo e a 12 bit per il secondo; per questo sono detti **Address Comparators**.

Va da sé che questo comparatore semplifica molto le operazioni d'indirizzamento dei chip nelle schede di espansione di memoria e/o di qualunque altra periferica.

L'indirizzo desiderato, in arrivo dal bus esterno sulle loro 16 (o 12) linee di ingresso-dato, viene rilevato confrontandolo con la parola di uguale lunghezza generata da un decoder interno, governato da 4 linee di controllo: in sintesi basta predisporre su di esse il numero k (uguale a quello dei bit *trovati a 0* nell'indirizzo da comparare), collegando poi le corrispondenti k linee del bus esterno (quelle attese a 0) ai primi K ingressi del comparatore (... e le rimanenti agli altri ingressi).

Se si ha a che fare con un *bus esterno* di 16 bit i possibili indirizzi in arrivo sono 2^{16} ; se per esempio si desidera rilevare l'indirizzo $(1100110011001111)_2 = (EEEE)_H$ basta contare la quantità di 0 presenti e predisporre con questo numero il valore $P_3P_2P_1P_0$ delle 4 linee di controllo.

Poiché le linee a 0 sono 6 (e quelle a 1 sono ovviamente 10) fisseremo $P_3=0$, $P_2=1$, $P_1=1$ e $P_0=0$ e porteremo le 6 linee Add13, Add12, Add9, Add8, Add5, Add4 del bus address esterno (previste a 0) alle linee d'ingresso del comparatore da A1 a A6, in ogni ordine, a piacere; le restanti 10 linee del bus address saranno collegate alle rimanenti linee d'ingresso del comparatore, da A7 a A16, ancora in qualsiasi ordine.

L'uscita Y (*attiva bassa*) di questi componenti è controllata da una linea d'abilitazione G (essa pure *attiva bassa*); è disponibile anche la versione **74ALS678** (a 16 bit) e **74ALS680** (a 12 bit) l'uscita dei quali è dotata di memoria di *tipo latch*, per il controllo della quale ci si appoggia alla linea d'ingresso C, presente al posto dell'abilitazione G: quando C è *alto* la memoria è

trasparente; altrimenti l'uscita viene bloccata (sul fronte di discesa di C) al valore su essa presente in quel momento.

Le caratteristiche dinamiche e di dissipazione sono disponibili nella Tabella di *Figura 16*.

Comparatori (CMOS): 4585, 4063

La famiglia **CMOS** mette a disposizione 2 dispositivi di tipo **4-Bit Magnitude Comparator**, in grado cioè di confrontare 2 parole a 4 bit (esprese in binario o in qualunque altro codice) e di segnalare le 3 condizioni $A < B$, $A = B$ e $A > B$; sono entrambi funzionalmente identici all'omologo TTL **74LS85**: il **4063** è con esso anche *pin-out* compatibile (vedi *Figura 3*) mentre il **4585** dispone degli stessi segnali, però posizionati su piedini diversi (vedi *pin-out* in *Figura 21*).

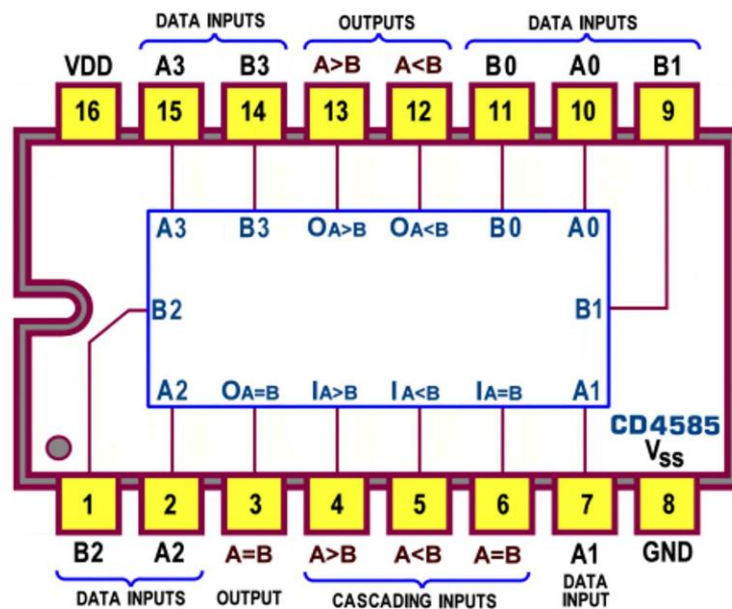


Figura 21 - 4-bit Magnitude Comparator 4585: Pin-out

Lo *schema pratico* di entrambi (*Figura 22*) ribadisce il concetto ed è normale che lo *schema funzionale* proposto dai *datasheet* sia sostanzialmente lo stesso del **74LS85**, mantenendone la struttura logica, in particolare quella per generare l'uscita $A=B$, sempre basata sulla presenza di 4 **NOREX** concorrenti in **AND**.

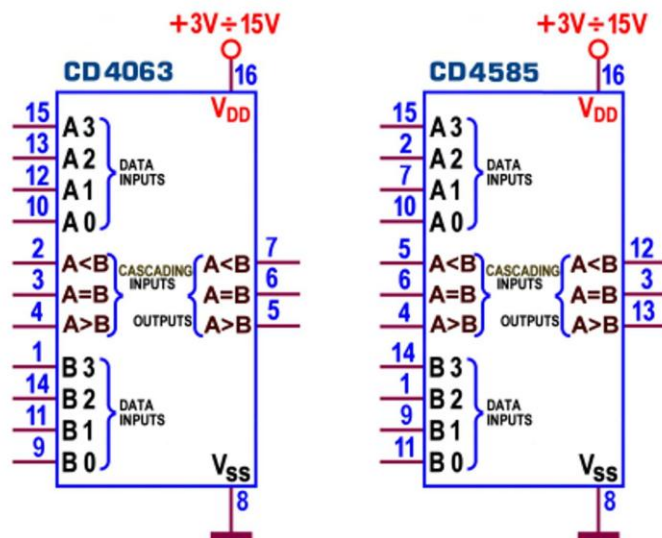


Figura 22 - 4-bit Magnitude Comparator CMOS: Schema pratico

Sono presenti anche i 3 ingressi di espansione, per consentire il confronto di 2 parole con più di 4 bit, collegando in cascata di 2 o più dispositivi come in *Figura 7*; ricordiamo che, utilizzando un solo comparatore in caso di effettiva uguaglianza dei dati A e B, per assicurare a **1** l'uscita A=B (attiva alta, lasciando a **0** le altre 2) sarà necessario collegare a **0** (V_{SS}) gli ingressi A<B e A>B e a **1** (V_{DD}) l'ingresso A=B, la stessa cosa andrà fatta per il primo della serie (quello associato ai bit meno significativi) se i comparatori utilizzati sono più di uno.

Le caratteristiche elettriche sono quelle tipiche della *famiglia logica CMOS*: la tensione di alimentazione V_{DD} può variare da **3V** a **15V**; le uscite assicurano lo stesso valore sia per la corrente *assorbita* I_{OL} a livello **0** che per quella *erogata* I_{OH} a livello **1**; i livelli di tensione su ogni uscita sono tipicamente uguali alla V_{DD} per la V_{OH} (a livello alto) e alla V_{SS} ($=0V$) per la V_{OL} (a livello basso); la *potenza dissipata* è trascurabile (qualche μW); il *ritardo di propagazione* massimo t_{PLH} e t_{PHL} (con carico di **200kohm/50pF**) aumenta al crescere del valore dell'alimentazione. I dettagli per i 2 componenti sono raccolti in *Figura 23*.

Componente CMOS	Corrente I_{OL}, I_{OH} (mA)			Ritardo Propagazione t_{PLH}, t_{PHL} (ns)		
	5V	10V	15V	5V	10V	15V
4063	1	2,6	6,8	1250	500	350
4585	0,88	2,25	8,8	200	100	80

Figura 23 - 4-bit Magnitude Comparator CMOS: Caratteristiche dinamiche e di Corrente