di GIORGIO OBER (GIOBE2000)

l'angolo di Mr A.KEER

(parte ventiseiesima)

PROGETTARE con le PORTE LOGICHE

Bus Transceiver Register

La caratteristica bidirezionale del Bus Dati dei microprocessori e di molte logiche programmabili richiede la disponibilità di componenti speciali in grado di governare il flusso delle informazioni nei due sensi possibili, assicurando al tempo stesso la loro memorizzazione locale e le necessarie specifiche di corrente.

La descrizione dei componenti che basano il loro funzionamento sui Flip-Flop **D-Type** è ben lungi da essere completata!! Nell'ambito del progetto digitale c'è un forte bisogno di conservare memoria degli eventi, e questi dispositivi (non di rado surrogati anche dalla disponibilità una versione **D-Latch**) sono nati proprio per soddisfare questa esigenza; essi sono numerosissimi e per questo la loro descrizione richiede molto spazio e deve essere ineluttabilmente spalmata su numerose puntate.

Quelli più organizzati e complessi hanno specializzato le loro abilità soprattutto al servizio dei microprocessori, aiutandoli, in particolare, nella gestione delle informazioni in transito sui loro *Bus Dati*; per poter assolvere a questo compito sono tutti caratterizzati dalla presenza di uno strato di bufferizzazione, cioè non solo sono in grado di assicurare una corrente d'uscita a livello basso piuttosto elevata (e comunque inconsueta per lo standard TTL) ma anche di forzare le stesse uscite nello stato di alta impedenza.

La Tabella di *Figura 1* raccoglie l'elenco completo di questi dispositivi, tutti rigorosamente con uscite 3-state: **a**) alle prime tre categorie appartengono i ***Registri unidirezionali***, chiamati a memorizzare i dati (generalmente a 8 bit) in arrivo da un Bus in ingresso a beneficio di un Bus in uscita; nella versione ***Bus Interface*** sono in grado di gestire correnti decisamente importanti, ancor più grandi di quelle, già notevoli, della categoria; **b**) i ***Registers File*** contengono più di un ***Registro*** (definiti per questo "Banchi di Registri"), organizzando in modo *unidirezionale* la loro scrittura (dal Bus d'ingresso) e/o la loro lettura (verso il Bus d'uscita), anche simultaneamente: questa opportunità li rende diversi dalla ***RAM***, alla quale (per la struttura dei circuiti di indirizzamento, tipicamente "ad accesso casuale") assomigliano molto; **c**) i ***Bus Transceiver/Registers*** sono in grado di gestire in modo ***bidirezionale*** il flusso dati tra due Bus, provvedendo semplicemente a governane il transito oppure assicurandone anche la memorizzazione locale su due normali Registri, ciascuno dedicato al proprio Bus di riferimento; **d**) molto particolari sono infine i ***Read-Back Registers***, progettati specificamente per memorizzare su un unico normale Registro il contenuto di un Bus bidirezionale in ingresso a disposizione di un Bus in uscita, ma ora con la capacità di rilettura dei dati memorizzati "indietro" verso lo stesso Bus sorgente dei dati.

Giorgio Ober www.giobe2000.it **Progettare con le porte logiche** [Parte ventiseiesima]

Tipo di memoria	D-Type		D-Latch	
Registro a 4 bit	**74173**	non INV con Clear e Enable		
	74874 **74876** **74878** **74879**	doppio, non INV con Clear doppio, INV con Preset doppio, non INV con Clear doppio, INV con Clear	**74873** **74880**	doppio, non INV, con Clear doppio, INV, con Preset
Registro a 8 bit	**74374** **74574** **74534** **74564** **74576** **74575** **74577**	non INV non INV INV INV INV non INV con Clear INV con Clear	**74373** **74573** **74533** **74563** **74580** **74531** **74532** **74533** **74534** **74535** **74536**	non INV non INV INV INV INV non INV non INV INV INV INV INV
Bus Interface	**74821** **74822** **74823** **74824** **74825** **74826**	a 10 bit non INV a 10 bit INV a 9 bit non INV con Clear a 9 bit INV con Clear a 8 bit non INV con Clear a 8 bit INV con Clear	**74841** **74842** **74843** **74844** **74845** **74846**	a 10 bit non INV a 10 bit INV a 9 bit non INV, Clear e Preset a 9 bit INV, Clear e Preset a 8 bit non INV, Clear e Preset a 8 bit INV, Clear e Preset
Register Files	**74172**	doppio, 8x2 Multiple Port	**74670** **74870** **74871**	doppio, 4x4 doppio, 16x4 doppio, 16x4
Bus Transceiver/Register	**74646** **74648**	non INV INV	**74543** **74544**	non INV INV
Read-Back Register	**74996**	a 8 bit non INV con Clear	**74666** **74667** **74990** **74991** **74992** **74993** **74994** **74995**	a 8 bit non INV, Clear e Preset a 8 bit INV, Clear e Preset a 8 bit non INV a 8 bit INV a 9 bit non INV con Clear a 9 bit INV con Clear a 10 bit non INV a 10 bit INV

Figura 1 - Elenco dei Registri con uscite 3-state adatti alla gestione dei Bus Dati

Dei Registri per il servizio dei Bus unidirezionali abbiamo già parlato; in questa puntata tratteremo quelli che si occupano del flusso dati tra Bus bidirezionali, lasciando alla prossima quelli molto particolari di tipo *Read-Back*, progettati specificamente per memorizzare su un unico normale Registro il contenuto di un Bus bidirezionale in ingresso a disposizione di un Bus in uscita, ma ora con la capacità di rilettura dei dati memorizzati "indietro" verso lo stesso Bus sorgente dei dati di input; di questi componenti tratteremo in altra occasione.

Bus Transceiver/Registers (TTL): 74ALS646, 74ALS647, 74ALS648, 74ALS649, 74ALS543, 74ALS544

Il **74ALS646** (detto **Octal Bus Transceiver/Registers**) è un dispositivo bidirezionale con uscite 3-state non invertenti progettato per gestire in quattro modi diversi le informazioni in transito su due distinti bus a 8 bit; per questo 16 dei suoi 24 piedini sono destinati ad accogliere direttamente le 8 linee bidirezionali di ciascuno dei due bus; la *Figura 2* mostra il suo *pin-out* e la sua organizzazione interna.

Lo *schema funzionale* (*Figura 3*), pur relativamente complesso, aiuta a capire la sofisticata attività di questo dispositivo, affidata ad una manciata di linee di controllo: appare subito evidente la sua disponibilità a memorizzare le informazioni provenienti dai due bus su altrettanti Registri, per la presenza di 16 elementi di memoria ***D-Type*** (gli stessi usati nelle

L'angolo di Mr A.KEER [**Fare Elettronica** N° 313-314 07-08/2011 - **INWARE** Edizioni S.r.l.] 2

Giorgio Ober www.giobe2000.it **Progettare con le porte logiche** [Parte ventiseiesima]

RAM); ma il suo scopo è anche quello di alimentare uno dei due bus con i dati in arrivo dall'altro oppure con quelli assunti dal Registro ad essi corrispondente (supposto preventivamente caricato con dati validi).

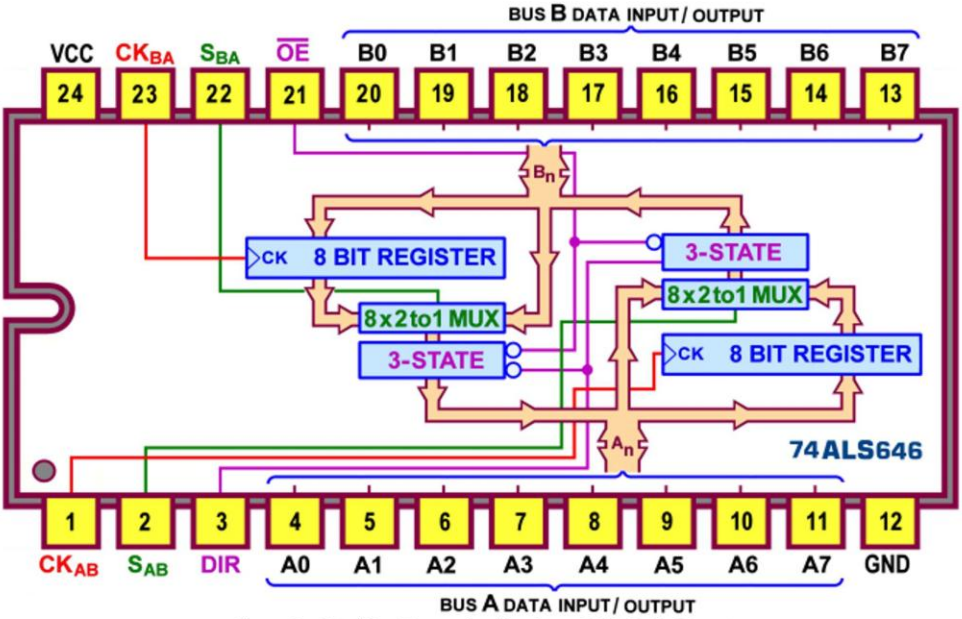

Figura 2 - Octal Bus Transceiver/Register, 74ALS646: Pin-out

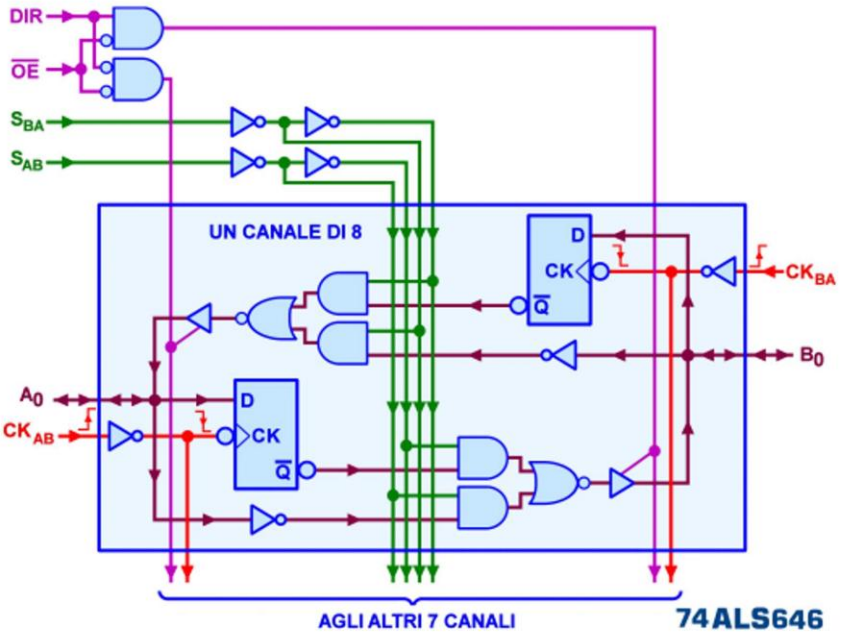

Figura 3 - Octal Bus Transceiver/Register, 74ALS646: Schema funzionale

L'angolo di Mr A.KEER [**Fare Elettronica** N° 313-314 07-08/2011 - **INWARE** Edizioni S.r.l.] 3

Giorgio Ober www.giobe2000.it **Progettare con le porte logiche** [Parte ventiseiesima]

Vediamo di approfondire i dettagli: intanto, il flusso dati sarà autorizzato solo in una delle due direzioni possibili, in funzione del valore della linea DIR, che provvederà a determinare quale bus dovrà ricevere gli 8 bit, supposta attiva (bassa) la linea di abilitazione Out Enable (OE=0); la combinazione in AND dei due controlli abiliterà il collegamento (in scrittura) di uno solo dei 2 multiplexer "da 2 a 1" (nella classica struttura AND-OR-NOT) rendendo trasparente il suo buffer 3-state e "scollegando" sostanzialmente l'altro (cioè forzandone l'uscita in alta impedenza); con DIR=0 sarà il Bus A ad essere servito mentre con DIR=1 il flusso dati avverrà in senso opposto, verso il Bus B .

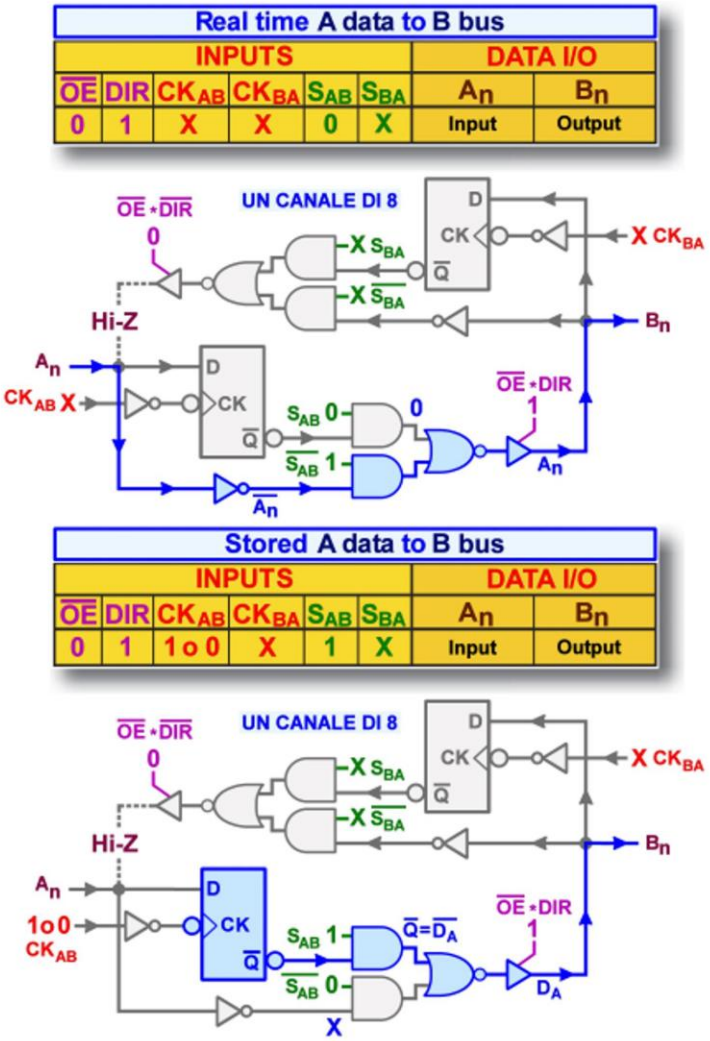

Figura 4 - Octal Bus Transceiver/Register, 74ALS646: Flusso dati da A a B

Le linee di selezione, S_{AB} o S_{BA}, stabiliscono se l'informazione a 8 bit da spedire al Bus *destinazione* (specificato dalla seconda lettera a pedice) sarà prelevata dall'altro Bus (*sorgente*) o dal Registro interno ad esso associato (entrambi specificati dalla prima lettera a

L'angolo di Mr A.KEER [**Fare Elettronica** N° 313-314 07-08/2011 - **INWARE** Edizioni S.r.l.] 4

Giorgio Ober www.giobe2000.it **Progettare con le porte logiche** [Parte ventiseiesima]

pedice); la *Figura 4* sintetizza questa fase (*Transparent Mode*) per il trasferimento verso il Bus B (OE=0, DIR=1) del dato proveniente direttamente dal Bus A (*Real time A data to B bus*, S_{AB}=0) oppure dal Registro interno A (*Stored A data to B bus*, S_{AB}=1).

Forzando DIR a massa (OE=0, DIR=0) viene messa in atto la situazione duale, con flusso dati da B ad A.

La *Figura 4bis* offre la situazione duale, con il flusso dati da B ad A.

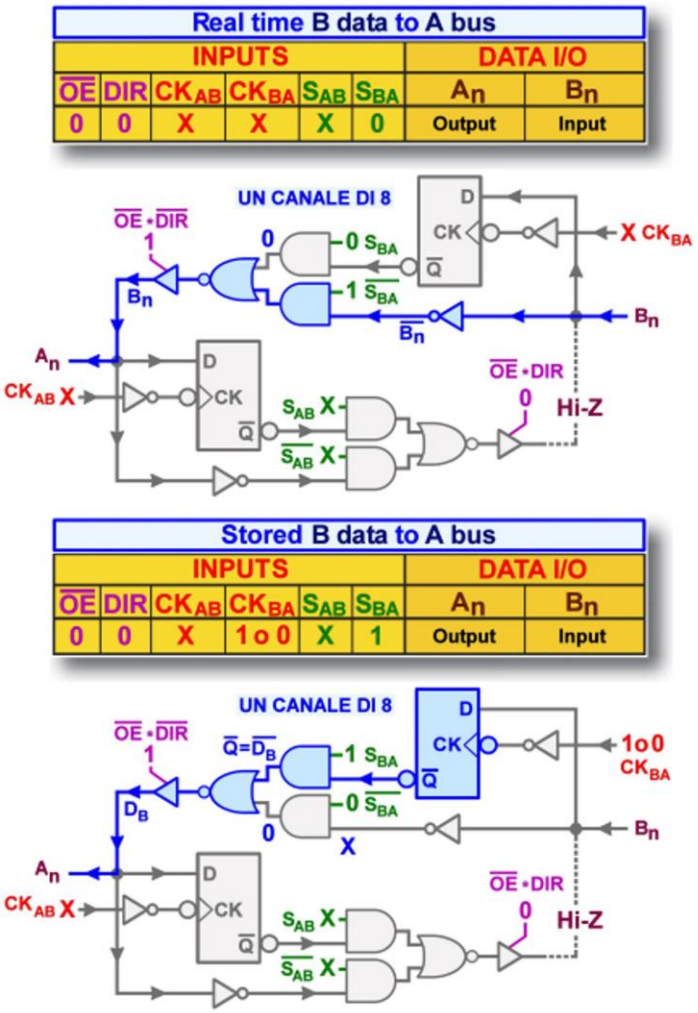

Figura 4 bis - Octal Bus Transceiver/Register, 74ALS646: Flusso dati da B a A

In generale possiamo notare che la funzione d'uscita di ciascuna porta non è possibile quando il prodotto logico (AND) di OE e DIR dà risultato 0: in questa circostanza il collegamento interno che consente la scrittura sul Bus è forzato in alta impedenza; a maggior ragione ciò si verifica quando il dispositivo è disabilitato (cioè con OE=1); la funzione di ingresso è invece

L'angolo di Mr A.KEER [**Fare Elettronica** N° 313-314 07-08/2011 - **INWARE** Edizioni S.r.l.] 5

Giorgio Ober www.giobe2000.it **Progettare con le porte logiche** [Parte ventiseiesima]

sempre abilitata, per cui i dati presenti sui bus potranno essere memorizzati in uno dei due Registri a 8 bit (o in entrambi), in presenza di ciascuna transizione da basso ad alto delle rispettive linee di clock, CK_{AB} o CK_{BA}.

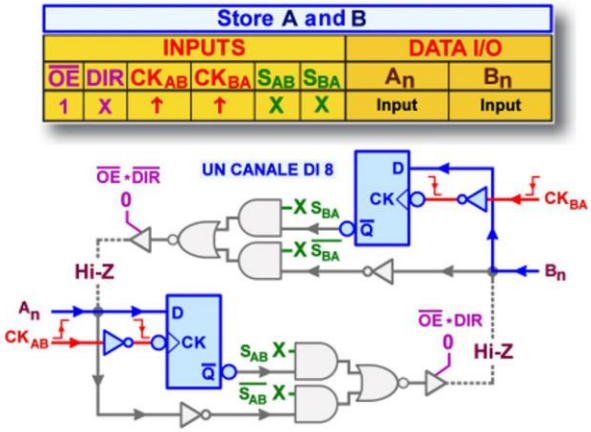

Figura 5 - Octal Bus Transceiver/Register, 74ALS646: Memorizzazione delle parole a 8 bit

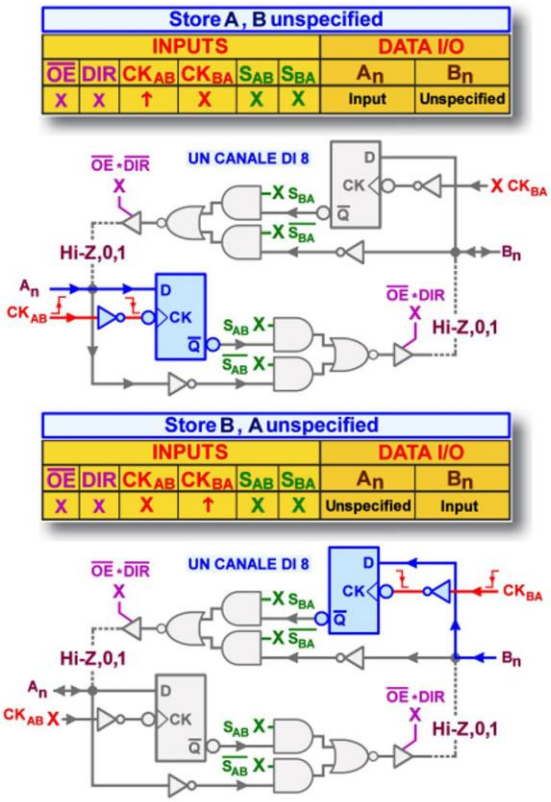

Figura 5bis - Octal Bus Transceiver/Register, 74ALS646: Memorizzazione con dato non specificato

L'angolo di Mr A.KEER [**Fare Elettronica** N° 313-314 07-08/2011 - **INWARE** Edizioni S.r.l.] 6

Giorgio Ober www.giobe2000.it **Progettare con le porte logiche** [Parte ventiseiesima]

La *Figura 5* mostra questo evento nel caso OE=1, DIR=X: la presenza del fronte di salita su entrambe le linee di clock provvede a memorizzare (*Transceiver Mode*) l'informazione di entrambi i Bus, ma è scontata anche la possibile presenza di uno solo dei fronti attivi, o di nessuno dei due.

La *Figura 5bis* mostra la situazione relativa alla memorizzazione del dato di uno solo dei Bus, dichiarando quello dell'altro "**non specificato**": **personalmente ho qualche dubbio** sul fatto che la linea di abilitazione sia specificata **OE=X** : il fatto che **OE*DIR** o che **OE*DIR POSSA NON ESSERE 0** potrebbe a mio avviso rendere inattendibile il dato del Bus sorgente, se non metterlo in grave situazone di corto !! DA VERIFICARE !!!

La *Figura 6* mostra la situazione di attesa (*Isolation Mode*) con abilitazione alta, OE=1, ma in assenza di fronti attivi sui clock: viene ribadito lo stato di input per entrambi i Bus, ma ovviamente non succede nulla.

Isolation, Hold storage							
INPUTS						DATA I/O	
$\overline{OE}$	DIR	CK_{AB}	CK_{BA}	S_{AB}	S_{BA}	A_n	B_n
1	X	1 o 0	1 o 0	X	X	Input	Input

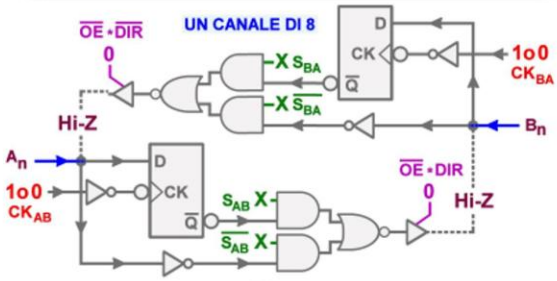

Figura 6 - Octal Bus Transceiver/Register, 74ALS646: Isolation Mode

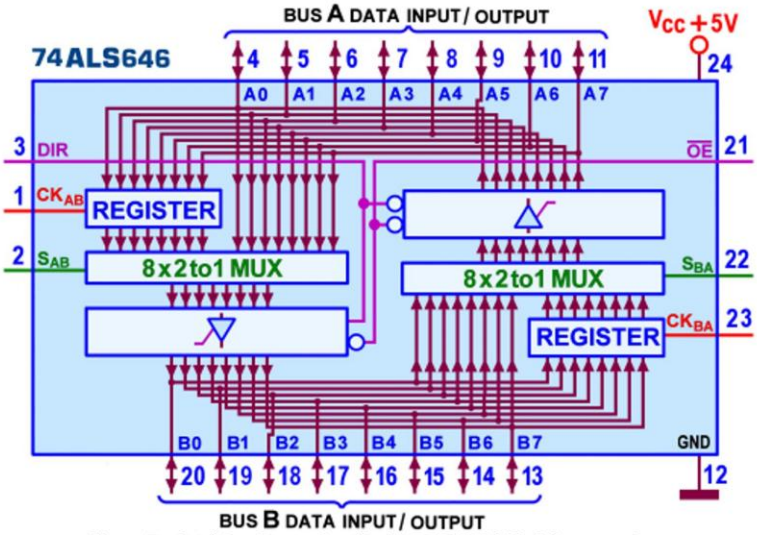

Figura 7 - Octal Bus Transceiver/Register, 74ALS646: Schema pratico

L'angolo di Mr A.KEER [**Fare Elettronica** N° 313-314 07-08/2011 - **INWARE** Edizioni S.r.l.] 7

Giorgio Ober www.giobe2000.it **Progettare con le porte logiche** [Parte ventiseiesima]

Nello *schema pratico*, proposto in *Figura 7*, ho ricreato il dettaglio dei flussi dati, a partire dai due Bus bidirezionali, A e B: possiamo notare che questo componente combina nello stesso chip l'azione di un **74LS245** (appunto un *Octal Bus Transceiver*, espressamente progettato per la comunicazione asincrona a due vie tra Bus Dati), di due **74LS374** (cioè di due *Octal Registers*, indipendenti tra loro e dedicati al rispettivo Bus) e di due doppi **74LS157** (un componente contenente 8 MUX "da 2 a 1" non esiste, ma può essere realizzato con due *Quadruple 2-to-1 Data Selector/Multiplexer*).

L'intrinseca complessità funzionale del dispositivo è ribadita dall'aspetto (proposto in *Figura 8*) del *simbolo logico* previsto dallo *standard IEEE*; come di consueto i numeri (da 1 a 7) associati ai segnali presenti nel blocco di controllo comune (posto in alto, nel simbolo) servono per identificare i segnali ad essi correlati, quasi tutti presenti in ciascuno degli 8 blocchi della parte inferiore del simbolo, identici tra loro e per i quali solo il primo è redatto con dettaglio.

In particolare: **a**) l'abilitazione **G3** chiama in causa le abilitazioni **EN1** e **EN2** (per questo caratterizzate entrambe dal numero **3**, nello stesso blocco di controllo) per sottolineare come il segnale OE influenzi il segnale DIR per stabilire quale delle due porte (identificate dal numero **1** o **2**) sarà abilitata alla disponibilità dei dati; per indicare che le uscite sono 3-state ciascuna di esse mostra (nel blocco inferiore, accanto al numero **1** o **2**) un triangolo rivolto verso il basso; **b**) il numero **4** o **6** affidato alle due linee di clock, **C4** e **C6** (CK_{BA} e CK_{AB}), identifica la linea di dato, **4D** (B_n) e **6D** (A_n), del registro correlato a ciascuna dei esse; **c**) il numero **5** o **7** associato alle due linee di selezione, **G5** e **G7** (S_{BA} e S_{AB}), identifica la coppia di linee (del MUX) da cui sarà assunto il bit da spedire in uscita.

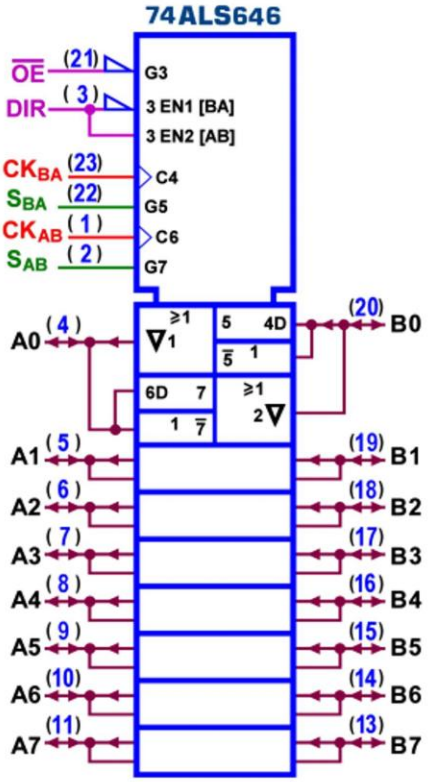

Figura 8 - Octal Bus Transceiver/Register, 74ALS646: Simbolo logico ANSI/IEEE Std. 91-1984

L'angolo di Mr A.KEER [**Fare Elettronica** N° 313-314 07-08/2011 - **INWARE** Edizioni S.r.l.] 8

Giorgio Ober www.giobe2000.it **Progettare con le porte logiche** [Parte ventiseiesima]

La potenza massima dissipata dal **74ALS646** è di **390 mW** (**825 mW**, per la versione **LS**); poiché il compito affidato ai componenti di questa categoria è quello di gestire al meglio i Bus Dati, la corrente massima gestibile in uscita è notevole: **15** mA (**I_{OH}**, erogata) e di ben **24** mA (**I_{OL}**, assorbita), con punte (Maximum rating) di **48** mA; in regime dinamico (con carico di **50**pF/**500**ohm) i ritardi di propagazione massimi, per entrambe le transizioni **t_{PLH}** e **t_{PHL}**, sono mediamente di **8 ns** (in transito tra i due Bus) e di **12 ns** (rispetto ad ogni uscita Q in presenza dell'azione delle linee di Clock o di Selezione); il valore minimo di *Setup Time*=**t_S=5** ns, mentre quello di *Hold Time* è trascurabile. Nella versione **LS** tutti i tempi sono di fatto triplicati.

Per questo componente è prevista una versione con la presenza, nella sigla, di un suffisso "-1", **74ALS646-1**, caratterizzata dal fatto di poter gestire una corrente assorbita in uscita doppia, portandola a ben **48** mA (con punte massime di **96** mA).

Il **74ALS648** è una versione logicamente identica a quella appena descritta, ma ora con un buffer **3-state invertente** sulle 8 uscite del MUX, come si vede nella *Figura 9*, che mostra il suo *pin-out*.

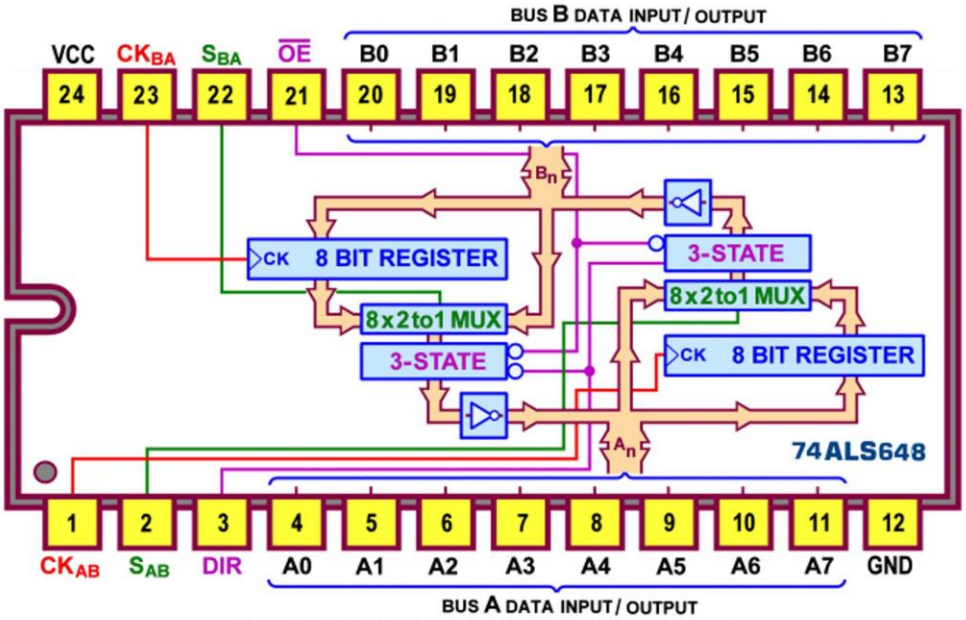

Figura 9 - Octal Bus Transceiver/Register, 74ALS648: Pin-out

In concreto, con la linea di abilitazione attiva (bassa, OE=0), il flusso dati è sempre autorizzato solo in una delle due direzioni, suggerita dal valore della linea DIR, ma ora il byte da spedire al Bus *destinazione* sarà il valore complementato di quello prelevato dall'altro Bus (*sorgente*) o dal Registro interno ad esso associato.

Lo *schema funzionale* di *Figura 9bis* evidenzia come ciò sia realmente ottenuto: il bit proposto sui due ingressi del multiplexer "da 2 a 1" (la struttura AND-OR-NOT) proviene ora direttamente dal Bus sorgente (*Real time data to bus*, S_{AB}=0) oppure dall'uscita diretta del Registro interno associato al Bus sorgente (*Stored data to bus*, S_{AB}=1), mentre nella versione trattata in precedenza era sottoposto ad inversione logica (nel primo caso) o prelevato dall'uscita negata del Flip-Flop ***D-Type*** (nel secondo caso).

L'angolo di Mr A.KEER [**Fare Elettronica** N° 313-314 07-08/2011 - **INWARE** Edizioni S.r.l.] 9

Giorgio Ober www.giobe2000.it **Progettare con le porte logiche** [Parte ventiseiesima]

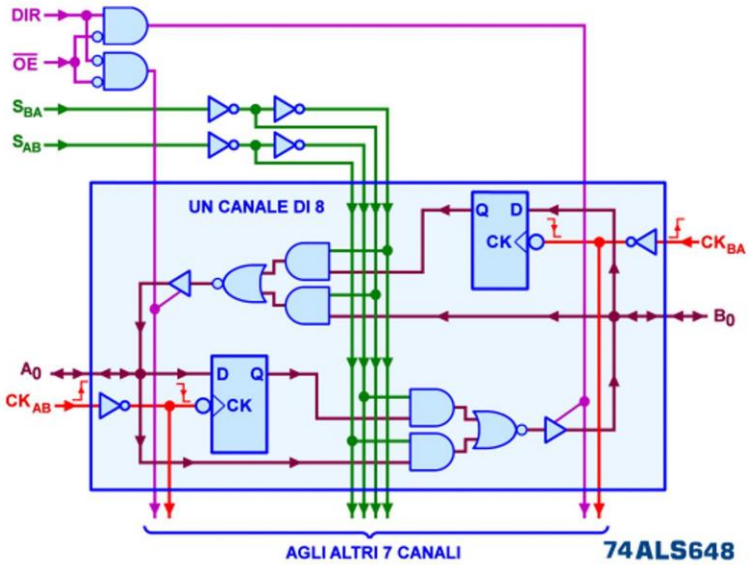

Figura 9bis - Octal Bus Transceiver/Register, 74ALS648: Schema funzionale

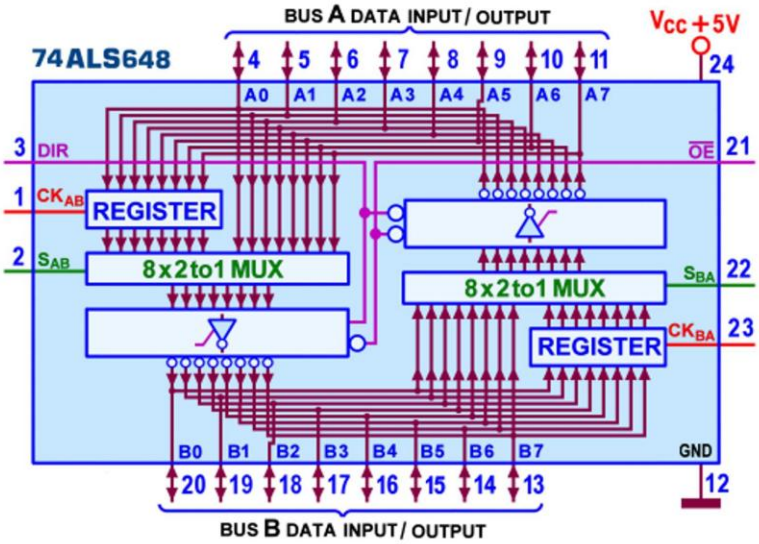

Figura 10 - Octal Bus Transceiver/Register, 74ALS648: Schema pratico

Nella direzione non autorizzata (o in entrambe le direzioni, se il dispositivo è disabilitato, OE=1) non cambia invece nulla, rispetto a prima: le informazioni provenienti dall'interno non potranno essere trasferite sui Bus *destinazione* con perché il collegamento che consente la loro scrittura è praticamente aperto (cioè in alta impedenza); in questo caso è comunque garantita la memorizzazione in uno dei due Registri a 8 bit (o in entrambi) del byte presente sui Bus *sorgente*, esattamente come prima, sul fronte di salita dei rispettivi segnali di clock, CK_{AB} o CK_{BA}.

L'angolo di Mr A.KEER [**Fare Elettronica** N° 313-314 07-08/2011 - **INWARE** Edizioni S.r.l.] 10

Giorgio Ober www.giobe2000.it **Progettare con le porte logiche** [Parte ventiseiesima]

Lo *schema pratico* di *Figura 10* aiuta a comprendere ogni possibile dettaglio funzionale e mette in evidenza le differenze.

La *Figura 11* conferma il modo differente di trattare le informazioni in transito sui due distinti Bus, dal complicato e sofisticato punto di vista del *simbolo logico* previsto dallo *standard IEEE*.

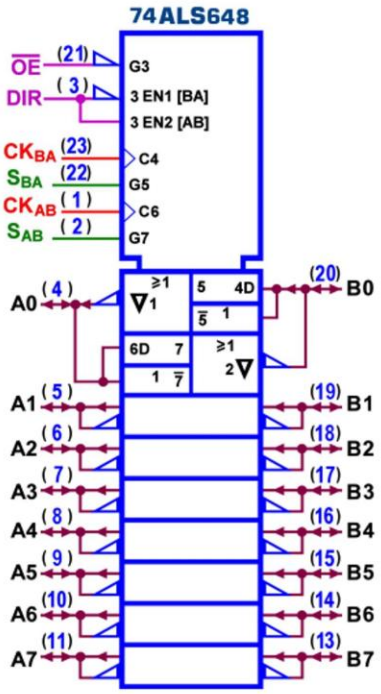

Figura 11 - Octal Bus Transceiver/Register, 74ALS648: Simbolo logico ANSI/IEEE Std. 91-1984

La cosa è ribadita dalla *Figura 12*, in cui si vede (per entrambi i componenti) la Tabella di Verità Comparativa offerta dai datasheet.

Le caratteristiche elettriche e dinamiche sono le stesse del modello con uscite non invertenti, sia nella versione **74ALS648** (**I_{OL}** max=**24** mA) che in quella **74ALS648-1** (**I_{OL}** max=**48** mA).

INPUTS						DATA I/O		OPERATING MODE	
$\overline{OE}$	DIR	CK_{AB}	CK_{BA}	S_{AB}	S_{BA}	A_n	B_n	74ALS646/74ALS646-1	74ALS648/74ALS648-1
0	0	X	X	X	0	Output	Input	Real time B data to A bus	Real time $\overline{B}$ data to A bus
0	0	X	1 o 0	X	1	Output	Input	Stored B data to A bus	Stored $\overline{B}$ data to A bus
0	1	X	X	0	X	Input	Output	Real time A data to B bus	Real time $\overline{A}$ data to B bus
0	1	1 o 0	X	1	X	Input	Output	Stored A data to B bus	Stored $\overline{A}$ data to B bus
X	X	↑	X	X	X	Input	Unspecified	Store A , B unspecified	Store A , B unspecified
X	X	X	↑	X	X	Unspecified	Input	Store B , A unspecified	Store B , A unspecified
1	X	↑	↑	X	X	Input	Input	Store A and B	Store A and B
1	X	1 o 0	1 o 0	X	X	Input	Input	Isolation, Hold storage	Isolation, Hold storage

Figura 12 - Octal Bus Transceiver/Register, 74ALS646/74ALS648: Tabella comparativa

L'angolo di Mr A.KEER [**Fare Elettronica** N° 313-314 07-08/2011 - **INWARE** Edizioni S.r.l.] 11

Giorgio Ober www.giobe2000.it **Progettare con le porte logiche** [Parte ventiseiesima]

Allo stesso gruppo appartengono il **74ALS647** e il **74ALS649**; per essi valgono le considerazioni appena proposte rispettivamente per il **74ALS646** e il **74ALS648**, ai quali sono logicamente uguali ma ora con uscite *Open Collector*.

Tra i dispositivi bidirezionali progettati per gestire le informazioni in transito su due distinti Bus a 8 bit c'è anche il **74ALS543** (detto **Octal Registered Transceiver**), con uscite **3-state non invertenti**; la *Figura 13* mostra il suo *pin-out* e la sua organizzazione interna.

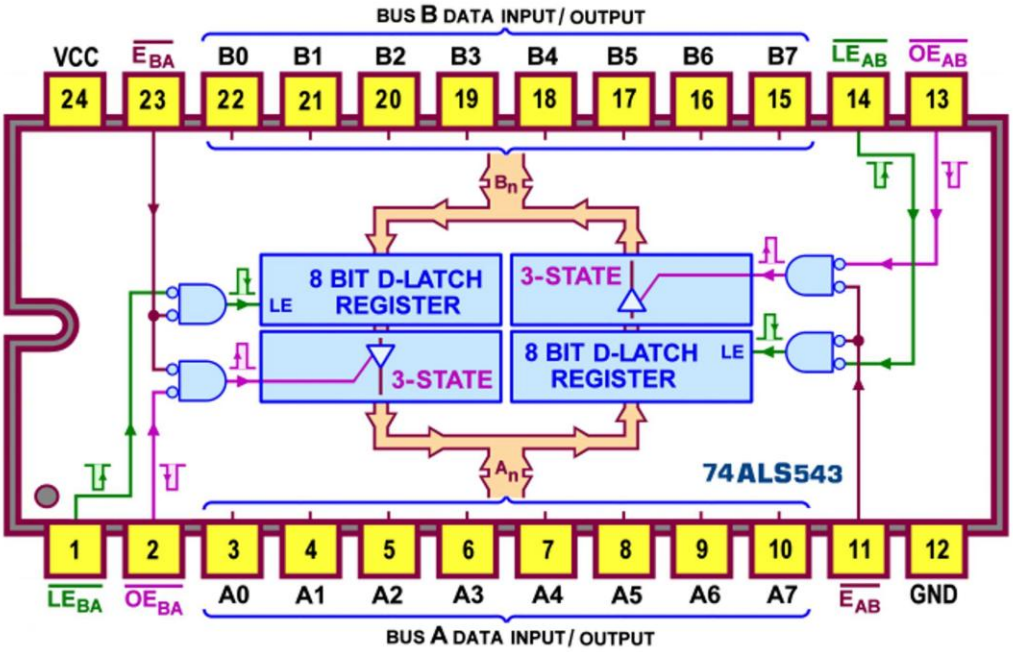

Figura 13 - Octal Bus Registered Transceiver, 74ALS543: Pin-out

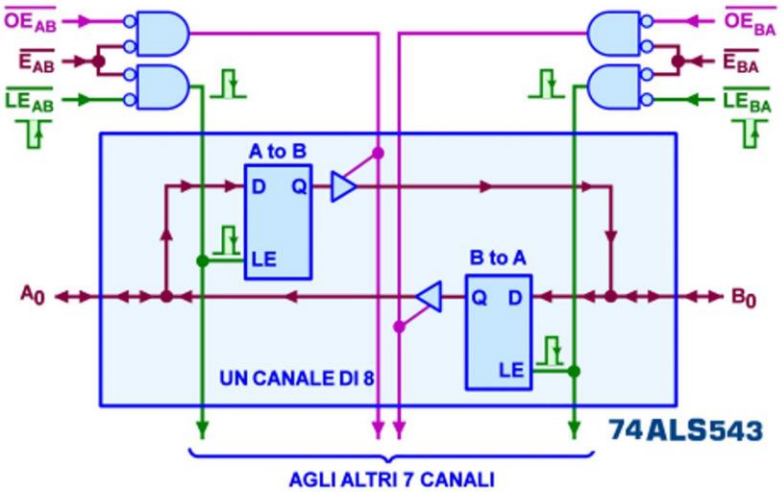

Figura 14 - Octal Bus Registered Transceiver, 74ALS543: Schema funzionale

L'angolo di Mr A.KEER [**Fare Elettronica** N° 313-314 07-08/2011 - **INWARE** Edizioni S.r.l.] 12

Giorgio Ober www.giobe2000.it **Progettare con le porte logiche** [Parte ventiseiesima]

Questo componente è meno sofisticato dei precedenti perchè (come si vede dallo *schema funzionale* di *Figura 14*), per realizzare il suo compito, non richiede la presenza di multiplexer; la ragione della sua minore complessità è anche il suo "limite", in quanto per memorizzare le informazioni provenienti dai due bus utilizza ora Registri realizzati con 16 elementi di memoria ***D-Latch***, la caratteristica dei quali, come è noto, è quella di "inseguire" in uscita il valore dell'ingresso D per tutto il tempo in cui loro abilitazione LE rimane a 1, memorizzando quello presente nell'istante corrispondente al fronte di discesa di LE.

Le due sezioni sono perfettamente simmetriche e, per il controllo del flusso dati, dispongono di linee separate; ad esempio, con riferimento al flusso di dati dal Bus A al Bus B, la prima cosa da assicurare è che il segnale di *Abilitazione* (Enable, E_{AB}) sia basso: solo in questo caso sarà possibile inserire i dati nelle linee d'ingresso (A0-A7) o per prelevarli dalle linee d'uscita (B0-B7), garantendo la transizione desiderata in funzione dello stato logico delle altre due linee di controllo.

Di certo se E_{AB} è alto (*Disabled Mode*) le due porte AND sono entrambe chiuse, rendendo irrilevante qualunque eventuale variazione degli ingressi (dato che gli 8 D-Latches sono in fase di memorizzazione, non consentendo alcuna variazione delle uscite) e le uscite stesse non sono accessibili (essendo il relativo buffer 3-state in alta impedenza).

Posto dunque E_{AB}=0 la funzione assicurata dipenderà dallo stato delle linee di *Abilitazione del Latch* (Latch Enable, LE_{AB}) e di *Abilitazione delle Uscite* (Output Enable, OE_{AB}); se sono entrambe basse il dato proveniente dal Bus A sarà trasferito direttamente verso il Bus B (*Real time A data to B bus*, *Transparent Mode*); in fatti, la condizione LE_{AB}=0 fa sì che i dati provenienti dal Bus A attraversino continuamente il Registro (per l'effetto "trasparenza" tipico delle memorie Latches con cui è realizzato), mentre la condizione OE_{AB}=0 rende "trasparenti" anche i buffer 3-state sulle uscite.

Il flusso dati dal Bus A al Bus B verrà interrotto solo fornendo un fronte di salita su LE_{AB}: questo breve impulso provvederà a memorizzare l'ultimo dato in transito attraverso il Registro, ferme restando le specifiche che obbligano a mantenere stabili dati sulle linee d'ingresso D per un tempo almeno uguale al *Setup Time*, *prima* dell'arrivo della sua transizione da basso ad alto; da questo momento (e per tutto il tempo in cui LE_{AB}=1) viene attuata la condizione di *Stored A data to B bus*, *Hold Mode*.

Naturalmente le linee d'ingresso non sono soggette ad alcuna limitazione, per cui si potrà provvedere alla memorizzazione anche senza coinvolgere il Bus B (tenendo chiuso il canale d'uscita con OE_{AB}=1); così come si potrà lasciare il componente in stato di attesa (*Isolation* o *Disabled Mode*) forzando a 1 entrambe le linee, OE_{AB}=1 e LE_{AB}=1, ottenendo lo stesso effetto prodotto dalla condizione E_{AB}=1, già considerata.

La Tabella di Verità di *Figura 15*, riassume ogni considerazione funzionale relativa a questo componente; da notare che la presenza degli asterischi rossi in prossimità di alcuni valori in ingresso serve a ribadire la necessità di assicurare, per essi, una permanenza sul Bus A per un tempo almeno uguale al *Setup Time*.

L'angolo di Mr A.KEER [**Fare Elettronica** N° 313-314 07-08/2011 - **INWARE** Edizioni S.r.l.] 13

Giorgio Ober www.giobe2000.it **Progettare con le porte logiche** [Parte ventiseiesima]

INPUTS				OUTPUTS	OPERATING MODE
$\overline{E_{AB}}$ or $\overline{E_{BA}}$	$\overline{OE_{AB}}$ or $\overline{OE_{BA}}$	$\overline{LE_{AB}}$ or $\overline{LE_{BA}}$	A_n or B_n	B_n or A_n	
0	0	0	1	1	Real time A data to B bus [Transparent]
0	0	0	0	0	
0	0	↑	1 [*]	1	Stored A data to B bus [↑ Latch + 1 Hold]
0	0	↑	0 [*]	0	
0	0	1	X	non cambia	
↑	0	0	1 [*]	Hi-Z	Isolation, Hold storage [Latch + Disabled]
↑	0	0	0 [*]	Hi-Z	
1	X	X	X	Hi-Z	Isolation, Hold storage [Disabled]
X	1	X	X	Hi-Z	

Figura 15 - Octal Bus Registered Transceiver, 74ALS543: Tabella di Verità

Il controllo inverso del flusso di dati, dal Bus B al Bus A, si opera allo stesso modo ma fa ovviamente riferimento ai segnali d'ingresso E_{BA}, OE_{BA} e LE_{BA}.

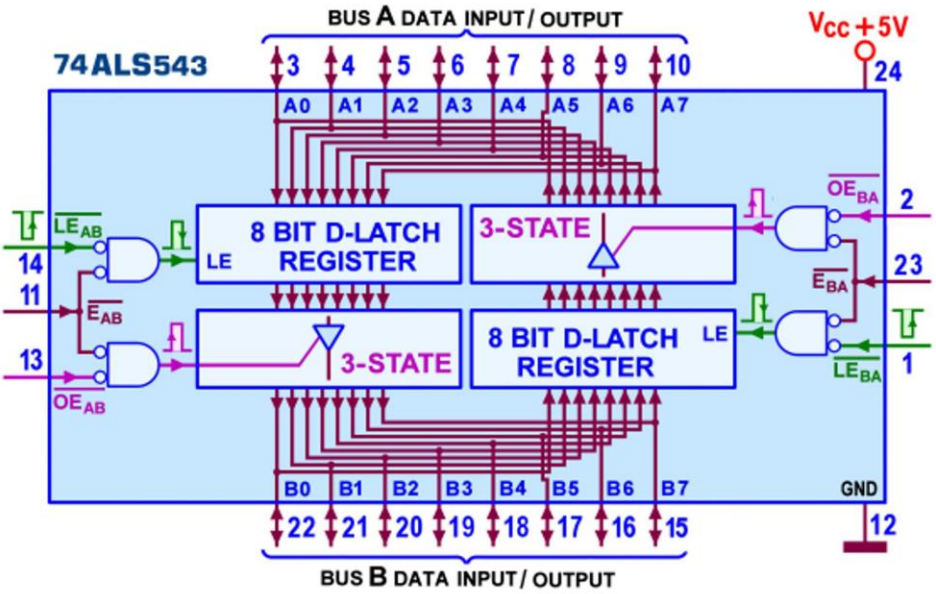

Figura 16 - Octal Bus Registered Transceiver, 74ALS543: Schema pratico

Lo *schema pratico* di *Figura 16* ripropone la dotazione interna di questo componente: esso può essere pensato come la combinazione (nello stesso chip) di un **74LS245** (*Octal Bus Transceiver*) con due **74LS373** (la versione ***D-Latch*** di un *Octal Registers*).

La *Figura 17* mostra il *simbolo logico* previsto dallo *standard IEEE*; , relativamente meno complesso di quello dei componenti trattati all'inizio.

L'angolo di Mr A.KEER [**Fare Elettronica** N° 313-314 07-08/2011 - **INWARE** Edizioni S.r.l.] 14

Giorgio Ober www.giobe2000.it **Progettare con le porte logiche** [Parte ventiseiesima]

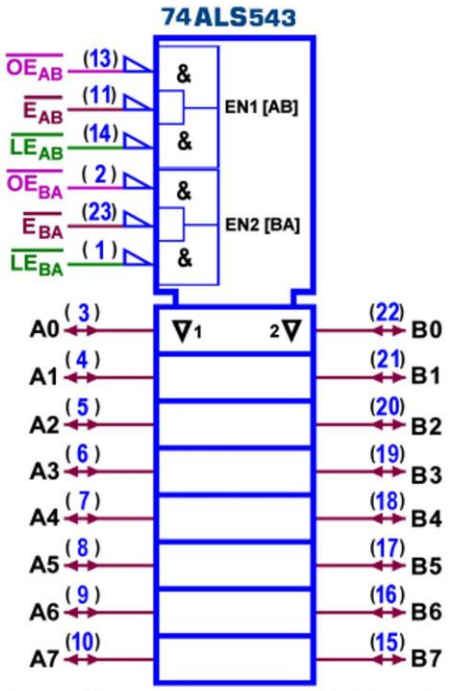

Figura 17 - Octal Bus Registered Transceiver, 74ALS543: Simbolo logico ANSI/IEEE Std. 91-1984

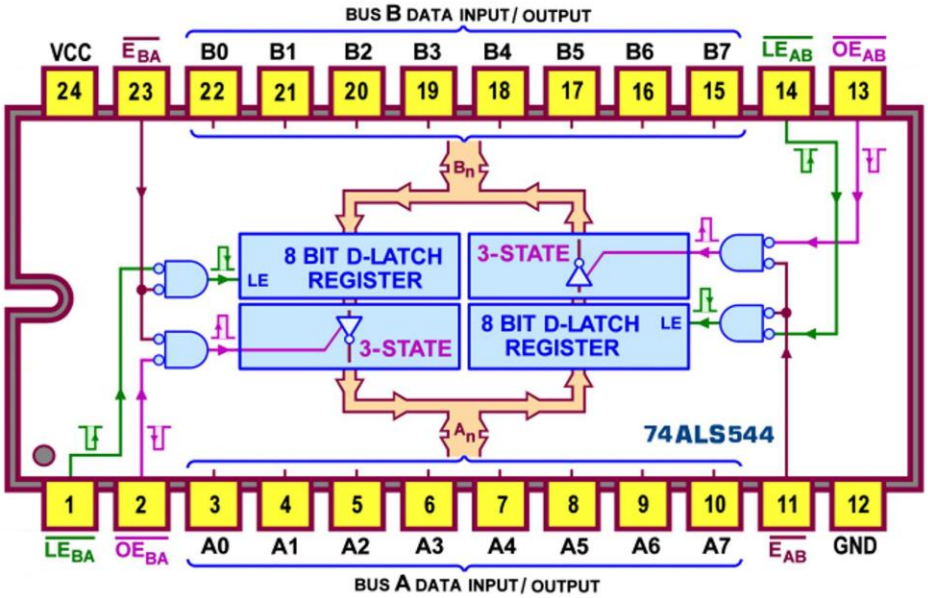

Figura 18 - Octal Bus Registered Transceiver, 74ALS544: Pin-out

La potenza massima dissipata dal **74ALS543** è di **440 mW**; poiché il compito affidato ai componenti di questa categoria è quello di gestire al meglio i Bus Dati, la corrente massima

L'angolo di Mr A.KEER [**Fare Elettronica** N° 313-314 07-08/2011 - **INWARE** Edizioni S.r.l.] 15

Giorgio Ober www.giobe2000.it **Progettare con le porte logiche** [Parte ventiseiesima]

gestibile in uscita è notevole: **15** mA (**I_{OH}**, erogata) e di ben **24** mA (**I_{OL}**, assorbita), con punte (Maximum rating) di **48** mA; anche per questo componente è prevista una versione con suffisso "-1" nella sigla, **74ALS543-1**, in grado di assicurare una corrente assorbita di ben **48** mA (con punte massime di **96** mA). In regime dinamico (con carico di **50**pF/**500**ohm) i ritardi di propagazione massimi, per entrambe le transizioni **t_{PLH}** e **t_{PHL}**, sono mediamente di **13 ns** (in transito tra i due Bus) e dagli **11 ns** ai **15 ns** (rispetto ad ogni uscita Q in presenza dell'azione di ciascuna delle tre linee di Abilitazione); il valore minimo di *Setup Time*=**t_S**=**10**ns.

Il **74ALS544** è la versione dello stesso dispositivo bidirezionale con uscite **3-state invertenti**; la *Figura 18* mostra il suo *pin-out* e la sua organizzazione interna.

Per esso valgono esattamente tutte le considerazioni fatte per la versione con uscite non invertenti, comprese le caratteristiche statiche e dinamiche.

Lo *schema funzionale* di *Figura 18bis* e la *Tabella di verità* di *Figura 18ter* evidenziano come la nuova situazione delle uscite.

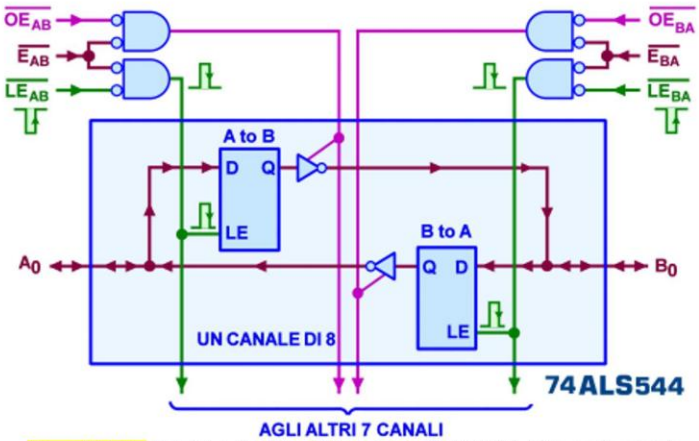

Figura 18 bis - Octal Bus Registered Transceiver, 74ALS544: Schema funzionale

INPUTS				OUTPUTS	OPERATING MODE
$\overline{E}_{AB}$ or $\overline{E}_{BA}$	$\overline{OE}_{AB}$ or $\overline{OE}_{BA}$	$\overline{LE}_{AB}$ or $\overline{LE}_{BA}$	A_n or B_n	$\overline{B}_n$ or $\overline{A}_n$	
0	0	0	1	0	Real time A data to B bus [Transparent]
0	0	0	0	1	
0	0	↑	1 [*]	0	Stored A data to B bus [↑ Latch + 1 Hold]
0	0	↑	0 [*]	1	
0	0	1	X	non cambia	
↑	0	0	1 [*]	Hi-Z	Isolation, Hold storage [Latch + Disabled]
↑	0	0	0 [*]	Hi-Z	
1	X	X	X	Hi-Z	Isolation, Hold storage [Disabled]
X	1	X	X	Hi-Z	

Figura 18 ter - Octal Bus Registered Transceiver, 74ALS544: Tabella di Verità

L'angolo di Mr A.KEER [**Fare Elettronica** N° 313-314 07-08/2011 - **INWARE** Edizioni S.r.l.] 16

Giorgio Ober www.giobe2000.it **Progettare con le porte logiche** [Parte ventiseiesima]

In particolare, nella *Figura 19* (*schema pratico*) e nella *Figura 20* (*simbolo IEEE*) si possono apprezzare le differenze imposte dagli inverter del buffer 3-state.

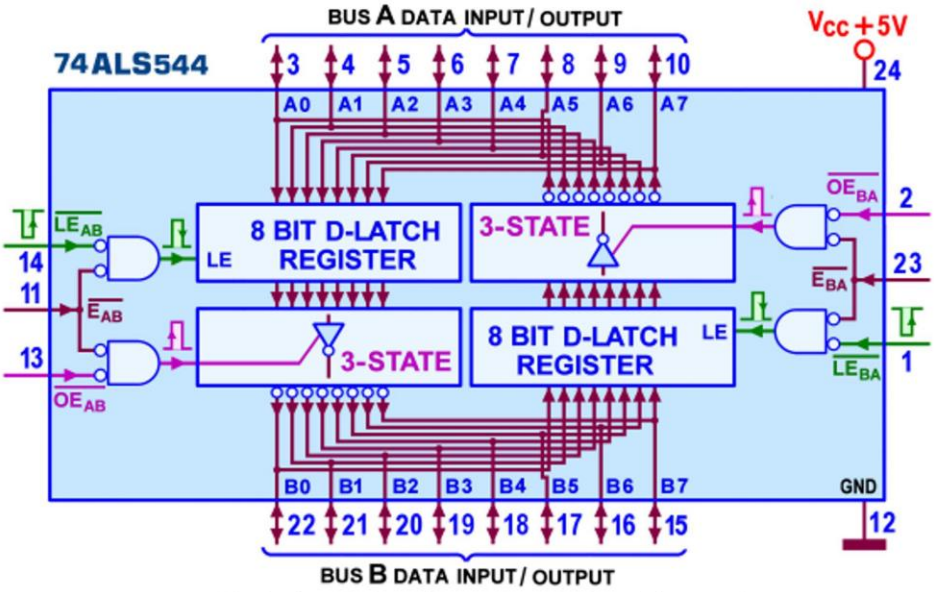

Figura 19 - Octal Bus Registered Transceiver, 74ALS544: Schema pratico

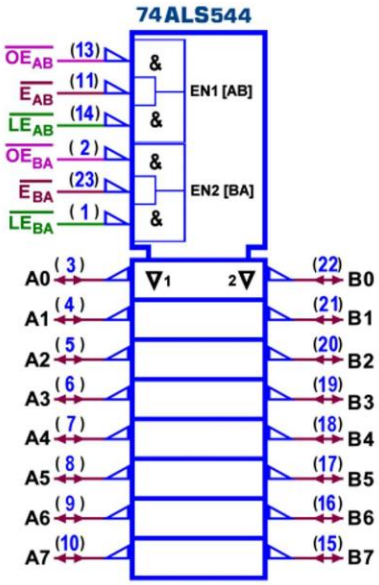

Figura 20 - Octal Bus Registered Transceiver, 74ALS544: Simbolo logico ANSI/IEEE Std. 91-1984

In chiusura voglio aggiungere un componente "fuori tema" (non essendo dotato di uscite bufferizzate di tipo 3-state) ma per certi versi in assonanza con i precedenti per via del multiplexer "da 2 a 1" con cui gestisce due Bus in ingresso, in modo monodirezionale e

L'angolo di Mr A.KEER [**Fare Elettronica** N° 313-314 07-08/2011 - **INWARE** Edizioni S.r.l.] 17

Giorgio Ober www.giobe2000.it **Progettare con le porte logiche** [Parte ventiseiesima]

comunque solo per memorizzarne localmente il valore; si tratta del **SN74LS398** (**Quad 2-Port Register Multiplexer with Storage**); la *Figura 21* mostra il suo *pin-out*.

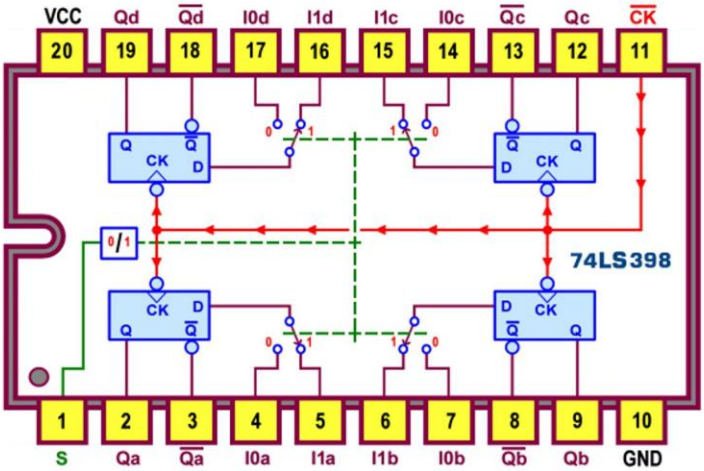

Figura 21 - Quad 2-Port Register/Multiplexer, 74ALS398: Pin-out

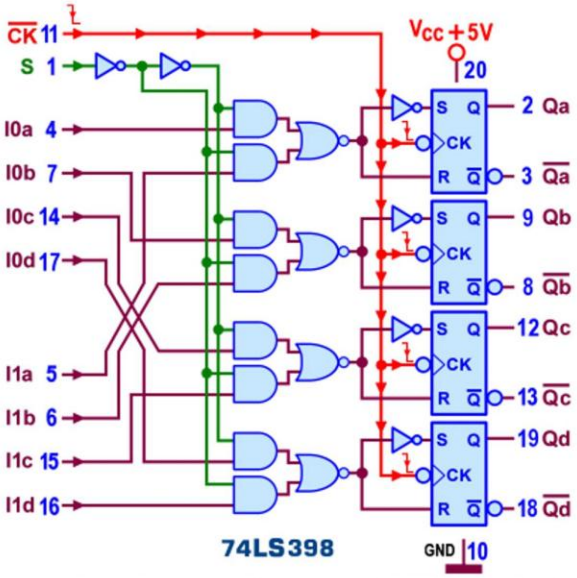

Figura 22 - Quad 2-Port Register/Multiplexer, 74ALS398: Schema funzionale

La *Figura 22* (*schema funzionale*) ne mostra i dettagli in modo più esplicito: si nota la disponibilità di un Registro a 4 bit (realizzato con altrettanti **Flip-flop D-Type**, *edge-triggered*), che può essere alimentato da due distinti Bus a 4 bit; la presenza del multiplexer permette di selezionare (con la linea di controllo comune, Select, S) la parola presente sul Bus 0 (con S=1) o sul Bus 1 (con S=0) e di trasferirla sulle uscite in corrispondenza della transizione da alto a basso della linea di sincronismo (Clock).

L'angolo di Mr A.KEER [**Fare Elettronica** N° 313-314 07-08/2011 - **INWARE** Edizioni S.r.l.] 18

Giorgio Ober www.giobe2000.it **Progettare con le porte logiche** [Parte ventiseiesima]

Niente di straordinario, rispetto a quanto visto finora, ma l'interessante possibilità (mettendone due in cascata, *Figura 23*) di gestire i Bus dati (a 8 bit) di due dispositivi programmabili, rendendo utilizzabile il contenuto di uno dei due sia in forma diretta che in forma negata; al solito va sottolineato che, per un funzionamento prevedibile e sicuro, è necessario che gli ingressi dei Dati (I) e di Selezione (S) siano stabili per un determinato tempo (*Setup Time*) prima dell'arrivo del fronte di discesa del clock.

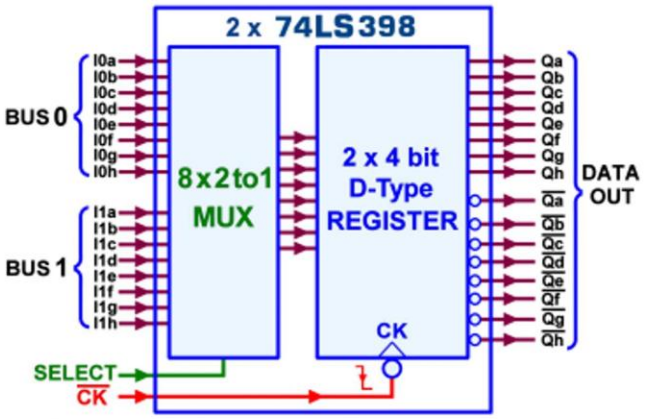

Figura 23 - Quad 2-Port Register/Multiplexer, 74ALS398: Gestione di 2 Bus a 8 bit

La potenza massima dissipata dal **74LS398** è di **105 mW** e i ritardi di propagazione massimi sono **27 ns** (t_{PLH}) e **32 ns** (t_{PHL}) tra i due Bus) e di **12 ns**; il valore minimo di *Setup Time* (t_S) è di **25** ns per la linea di Selezione e di **15** per i Dati, mentre quello di *Hold Time* (t_H) è trascurabile per la prima e di **5** ns per i Dati.

Di questo componente esiste una versione più compatta, priva della disponibilità delle uscite negate e quindi strutturata in un contenitore da 16 pin; si tratta del **74LS399** (il cui *pin-out* è visibile in *Figura 24*) e una una versione analoga a quest'ultima ma con diversa disposizione, il **74LS298** il cui *pin-out* è visibile in *Figura 25*.

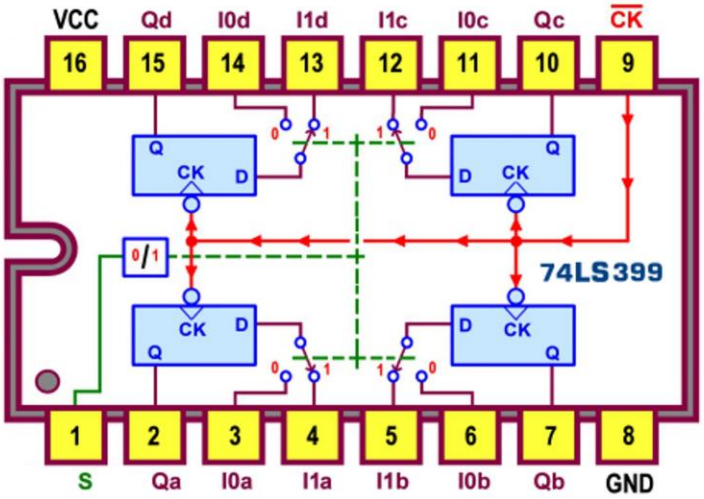

Figura 24 - Quad 2-Port Register/Multiplexer, 74ALS399: Pin-out

L'angolo di Mr A.KEER [**Fare Elettronica** N° 313-314 07-08/2011 - **INWARE** Edizioni S.r.l.] 19

Giorgio Ober www.giobe2000.it **Progettare con le porte logiche** [Parte ventiseiesima]

Lo *schema funzionale* del **74LS399** è disponibile in *Figura 24bis*.

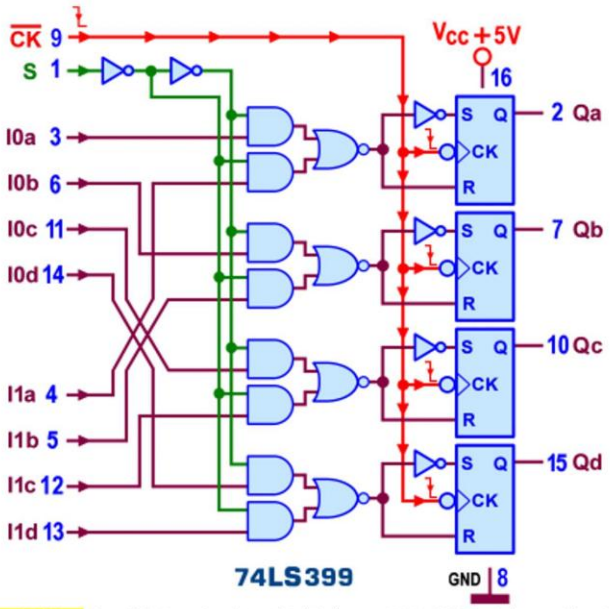

Figura 24 bis - Quad 2-Port Register/Multiplexer, 74ALS399: Schema funzionale

Per entrambi valgono le stesse considerazioni (funzionali, statiche e dinamiche) fatte per la versione con uscite anche invertite.

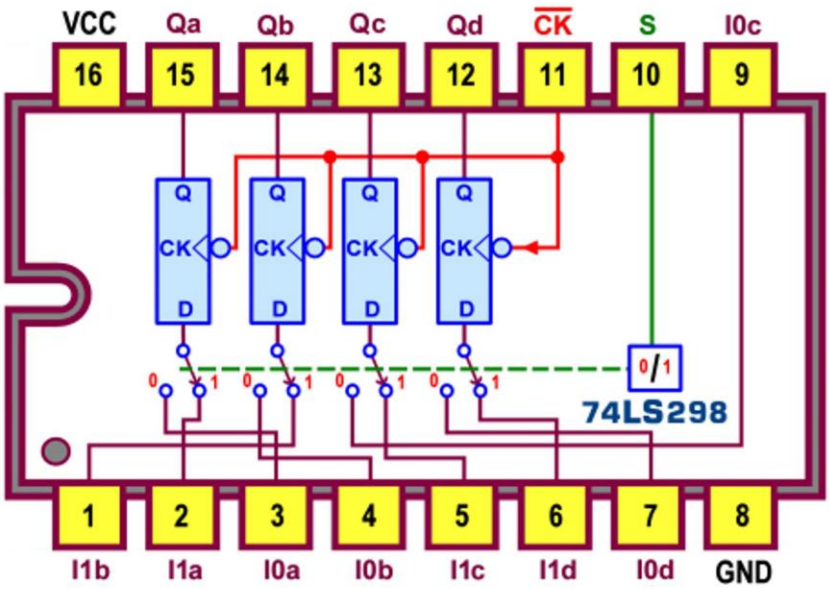

Figura 25 - Quad 2-Port Register/Multiplexer, 74ALS298: Pin-out

L'angolo di Mr A.KEER [**Fare Elettronica** N° 313-314 07-08/2011 - **INWARE** Edizioni S.r.l.] 20

Giorgio Ober www.giobe2000.it **Progettare con le porte logiche** [Parte ventiseiesima]

Lo *schema funzionale* del **74LS298** è disponibile in *Figura 25bis*.

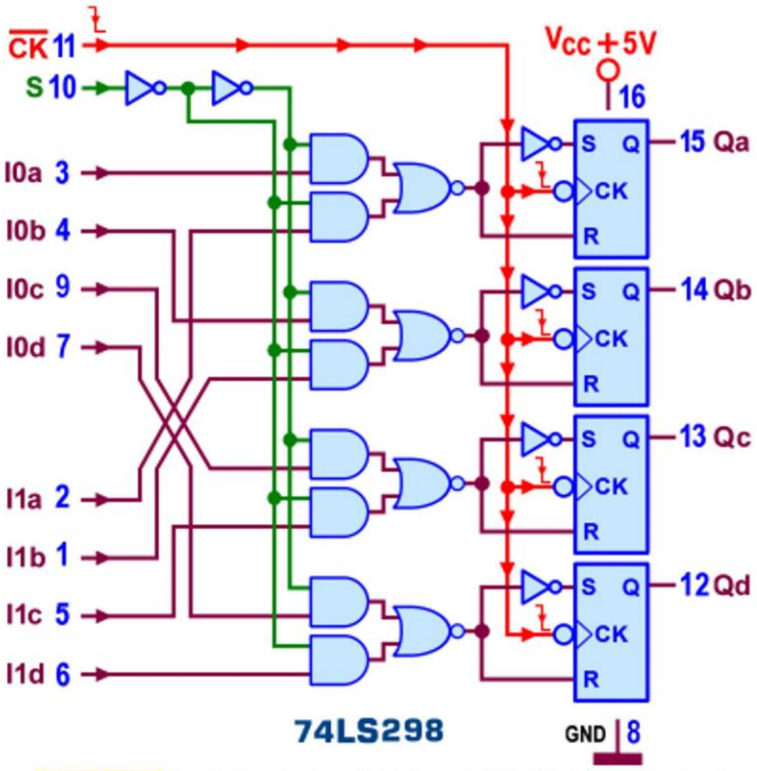

Figura 25 bis - Quad 2-Port Register/Multiplexer, 74ALS298: Schema funzionale

L'angolo di Mr A.KEER [**Fare Elettronica** N° 313-314 07-08/2011 - **INWARE** Edizioni S.r.l.] 21