di GIORGIO OBER (GIOBE2000)

l'angolo di Mr A.KEER

(parte tredicesima)

PROGETTARE con le PORTE LOGICHE

Sommatori

Tra le macchine combinatorie destinate a fornire supporto al calcolo numerico i sommatori occupano un posto di primaria importanza; scopriamone i segreti e il modo migliore per utilizzarli.

Sappiamo da tempo che le operazioni logiche di *somma* e *prodotto* non hanno nulla da spartire con quelle aritmetiche, anche se portano lo stesso nome; la realizzazione delle macchine aritmetiche si può dunque ricondurre a quella di un qualunque altro progetto digitale, a partire dalla minimizzazione delle funzioni booleane dei loro ingressi.

Cominceremo con l'analisi di quelle chiamate a esercitare la somma aritmetica di numeri binari.

Sommatori (TTL): 7480. 74LS183. 7482. 74LS83. 74LS283

In occasione della presentazione dell'operatore fondamentale **OR** ci siamo chiesti la ragione della disponibilità commerciale della sua variante logica **XOR**, arrivando alla conclusione che esso rappresenta il modo (giustificato dalla sua *Tabella di Verità*) di esprime la *Somma* aritmetica di 2 numeri di 1 bit senza *Riporto*.

Intavolando il progetto completo di un sommatore ad 1 bit si devono dunque prevedere 2 funzioni, una per la *Somma* ed una per il *Riporto*; la *Figura 1* mostra la sequenza dei valori assunti dalle 2 funzioni in corrispondenza delle 4 possibili combinazioni delle 2 variabili d'ingresso A_0 e B_0, rappresentanti i numeri binari (a 1 bit) da sommare tra loro.

INGRESSI		USCITE	
A	B	Riporto	Somma
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

$(A)_2+(B)_2=(A+B)_2$
$(0)_2+(0)_2=(00)_2$
$(0)_2+(1)_2=(01)_2$
$(1)_2+(0)_2=(10)_2$
$(1)_2+(1)_2=(11)_2$

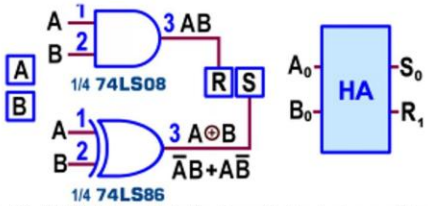
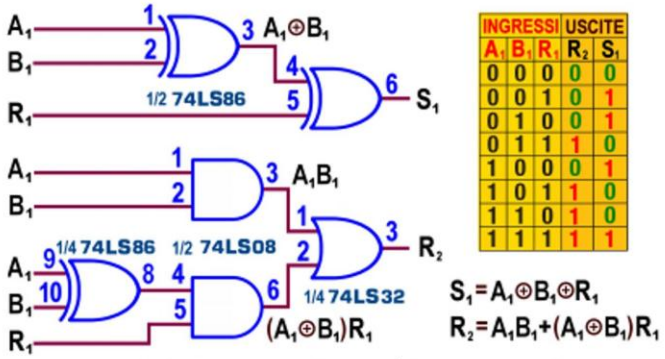


Figura 1 - 1-bit (Half) Adder: Tabelle di verità (in logica positiva) e schemi

Non è difficile riconoscere la funzione **AND** nella colonna destinata a tener conto del *Riporto* (R_1) e la funzione **XOR** in quella destinata a realizzare la *Somma* (S_0), per cui la realizzazione del nostro progetto (noto come *mezzo sommatore*, *Half Adder*, **HA**) è assolutamente banale; esso costituisce la base di partenza per creare sommatori di numeri espressi da una quantità di bit grande a piacere.

Va però sottolineato che la semplice struttura appena realizzata non è sufficiente per la *Somma* delle cifre binarie di peso superiore a quello dei bit meno significativi (A_0, B_0) dei 2 numeri: a partire da quelli di peso 1 (A_1, B_1) si dovrà tener conto anche dell'eventuale *Riporto* della *Somma* delle 2 cifre immediatamente precedenti.

Il nuovo progetto dovrà garantire ancora 2 funzioni d'uscita (*Riporto* R_2 e *Somma* S_1) ma a partire da 3 ingressi; la *Figura 2* mostra la Tabella di verità, le formule di progetto da essa dedotte e le relative reti logiche.



INGRESSI			USCITE	
A_1	B_1	R_1	R_2	S_1
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Figura 2 - 1-bit (Full) Adder: Tabelle di verità (in logica positiva) e schemi

L'insieme dei 2 circuiti è noto come *sommatore completo* (*Full Adder*, **FA**); le formule sono frutto di una normale rielaborazione a partire da quelle canoniche, entrambe chiamate a coinvolgere 4 mintermini; osservandole appare evidente che entrambe affidano una parte del lavoro alla **XOR** di A_1 con B_1 che, per questa ragione, può essere condivisa dai 2 circuiti.

La *Figura 3* mostra il **FA** dopo questo accorpamento.

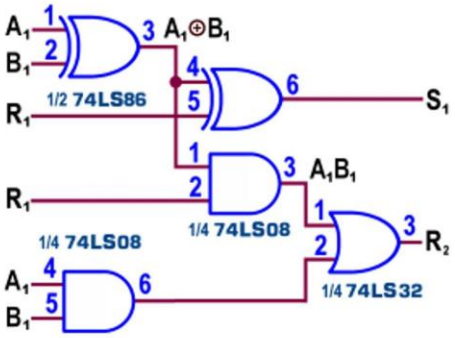


Figura 3 - 1-bit (Full) Adder: schema 1

Con un po' di attenzione è facile verificare (*Figura 4*) che il **FA** è in concreto costituito da 2 **HA** in cascata con in più una **OR**; la *Figura 5* mostra la sintesi a blocchi di questa situazione.

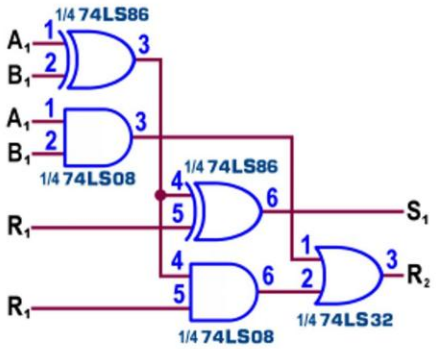


Figura 4 - 1-bit (Full) Adder: schema 2

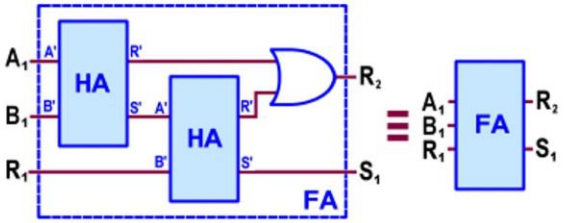


Figura 5 - 1-bit (Full) Adder: schema 3

Come anticipato, se i numeri da sommare hanno **n** bit, la coppia di quelli meno significativi (A_0, B_0) sarà affidata ad un **HA** mentre le rimanenti **n-1** coppie saranno gestite da altrettanti **FA**; la *Figura 6* mostra un sommatore a 4 bit (**n**=4) di questo tipo, detto ***Ripple Carry Adder*** (sommatori "*a propagazione del Riporto*") per il fatto che il *Riporto* prodotto da ciascun modulo viene coinvolto nella *Somma* dei bit del modulo immediatamente più significativo.

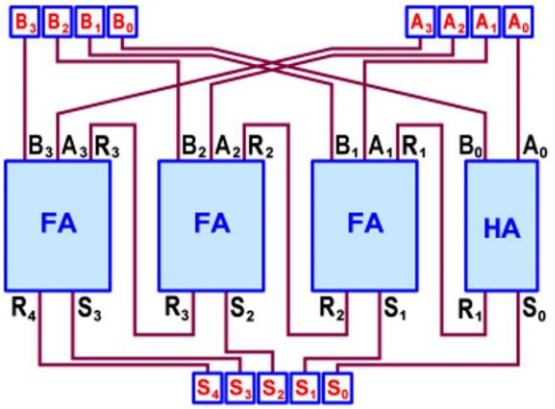


Figura 6 - 4-bit Ripple Carry Adder

La possibilità di collegare in cascata più moduli di tipo **FA** è alla base della realizzazione di sommatori grandi a piacere, ma relativamente lenti: è facile capre che il risultato $S_{n+1},\ldots,S_0$ sarà attendibile solo dopo che l'informazione associata al *Riporto* avrà attraversato tutti i moduli presenti, così che il tempo necessario sarà **n** volte più grande di quello richiesto da ciascuno di loro.

L'importanza e la praticità di questo piccolo circuito ha sollecitato i costruttori per renderlo disponibile in forma integrata fin dalla prima apparizione della famiglia **TTL standard**; il **7480** è un sofisticato **FA** progettato per garantire alta velocità nelle applicazioni che coinvolgono il progetto di *Sommatori Parallelo con Carry Seriale*; il dispositivo utilizza logiche DTL per gli ingressi e TTL per le uscite (*Somma* e *Riporto*) e una connessione Darlington sulle linee di Carry per minimizzarne i tempi di propagazione.

E' definito **Gated Full Adder** dai datasheet, per il fatto di offrire a ciascuno dei 2 ingressi (qui chiamati A e B) una notevole versatilità: entrambi sono sottoposti a gating con una porta **NAND** dedicata, governata rispettivamente dai segnali di controllo A_C (pin11) e B_C (pin2), e possono essere predisposti con la disponibilità di ben 3 linee d'ingresso, da combinare logicamente nel modo desiderato.

L'uscita *Somma* è disponibile in forma diretta e in forma negata, mentre l'uscita *Riporto* (C_{n+1}) è disponibile attiva bassa; la *Figura 7* mostra il suo *pin-out*.

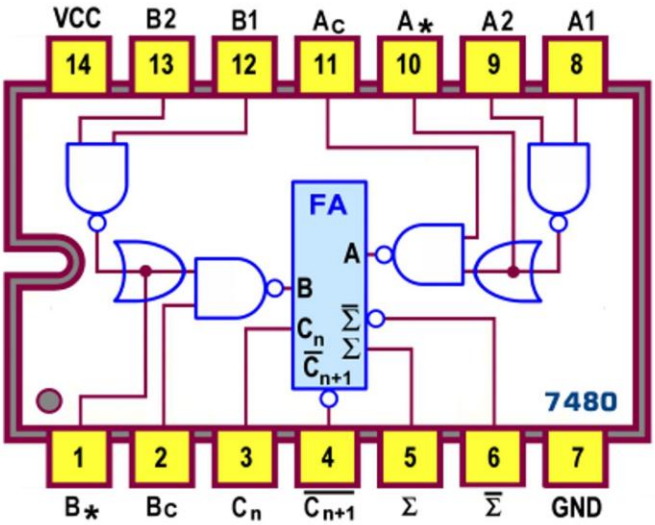


Figura 7 - 1-bit Gated Full Adder 7480: Pin-out

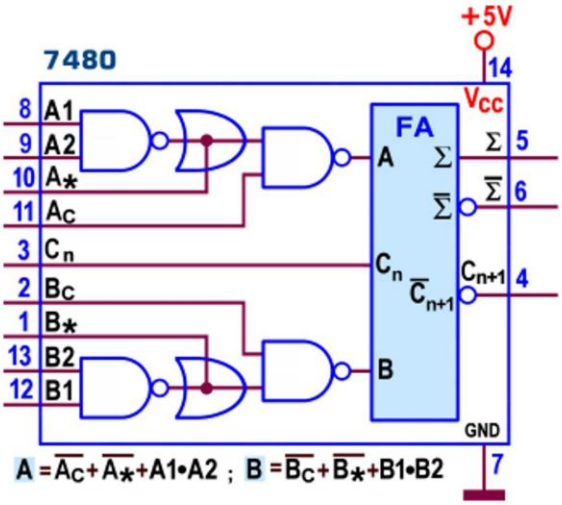


Figura 8 - 1-bit Gated Full Adder 7480: Schema funzionale

In essa ho messo in evidenza il dettaglio degli ingressi, estratto dallo *schema logico* (*Logic Diagram*) suggerito dai *datasheet* originali, riproposto anche nello *schema funzionale* di *Figura 8*, nella quale ho aggiunto anche le formule che aiutano a predisporre il livello logico delle 4 linee concorrenti al fine di fissare quello desiderato per entrambi.

Lo *schema pratico*, consigliato nella stesura dei progetti per la sua sintetica completezza, con il nome dei *segnali logici* che entrano e di quelli che escono e il *numero* dei piedini ad essi riservati, è proposto in *Figura 9*.

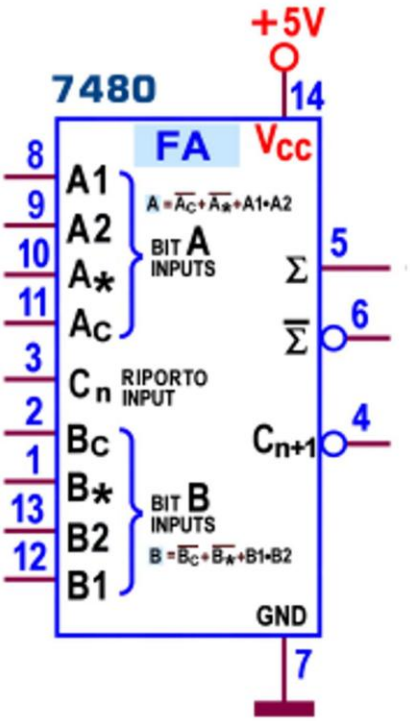


Figura 9 - 1-bit Gated Full Adder 7480: Schema pratico

La corrente massima assorbita dalle uscite del **7480** è quella tipica **TTL Standard** (**I_{OL}=16 mA**) mentre la potenza dissipata massima è di **175 mW**; il ritardo di propagazione massimo **t_{PLH}** e **t_{PHL}** (con carico di **400**ohm/**15**pF) necessario per avere uscite *Somma* stabili (dopo l'applicazione degli ingressi) è pari a **80 ns**.

Naturalmente è difficile pensare di utilizzare l'integrato **7480** per la costruzione di sommatori, ma esso mantiene una sua valenza dal punto di vista storico e didattico; lo stesso vale per l'integrato **74LS183**, che raddoppia la dotazione di **FA**; definito **Dual Carry-Save Full Adders** dai datasheet utilizza circuiti d'uscita di tipo Darlington ad alta velocità e con alto fan-out per minimizzare il ritardo di propagazione, attestato sui **15 ns** (per la transizione **t_{PLH}**) e sui **33 ns** (per quella **t_{PHL}**). La *Figura 10* mostra il suo *pin-out*, la *Figura 11* lo *schema funzionale* e la *Figura 12* lo *schema* pratico.

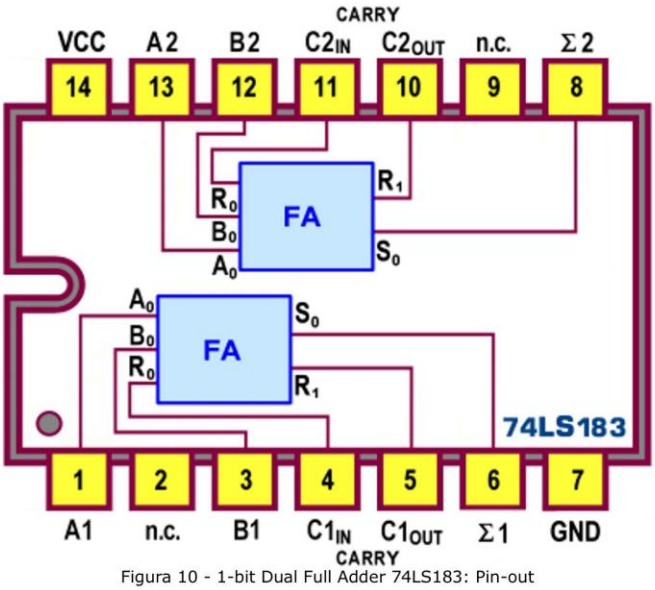


Figura 10 - 1-bit Dual Full Adder 74LS183: Pin-out

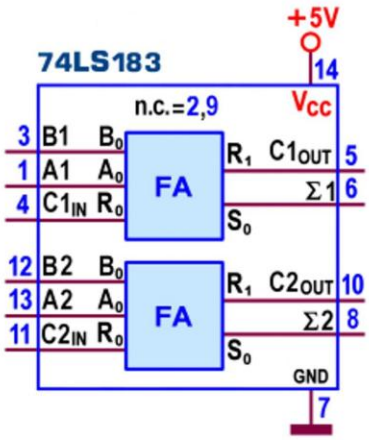


Figura 11 - 1-bit Dual Full Adder 74LS183: Schema funzionale

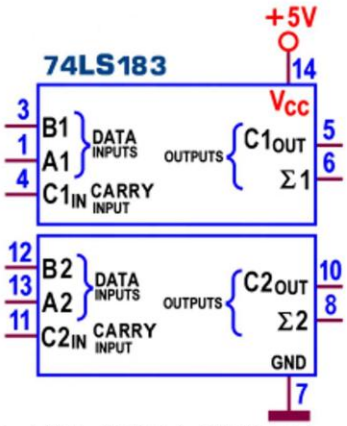


Figura 12 - 1-bit Dual Full Adder 74LS183: Schema pratico

La filosofia del **74LS183**, disponendo di 2 **FA** con ingressi e di uscite indipendenti, è quella di assicurare la libertà di utilizzarli se necessario anche separatamente, oppure di collegarli in cascata per realizzare un sommatore di 2 numeri a 2 bit.

Per questo scopo è comunque disponibile un primo dispositivo integrato, il **7482**, definito **2-bit Full Adder**, anch'esso appartenente alla categoria dei *Sommatori Parallelo con Carry Seriale* descritta in precedenza.

La *Figura 13* mostra il suo *pin-out* e la *Figura 14* lo *schema funzionale*; in entrambe ho messo in evidenza la struttura interna, basata su 2 **FA**.

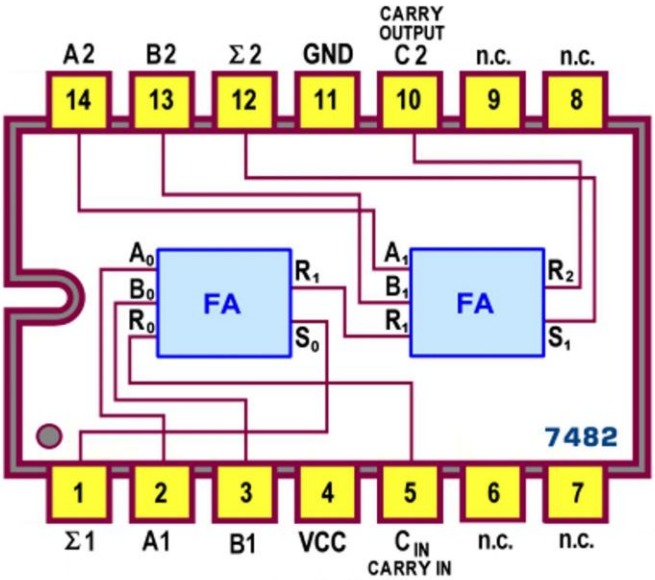


Figura 13 - 2-bit Full Adder 7482: Pin-out

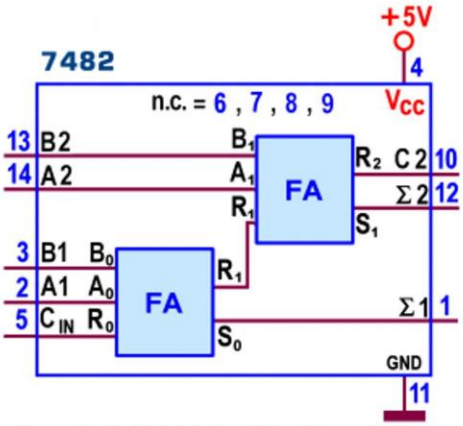


Figura 14 - 2-bit Full Adder 7482: Schema funzionale

Lo *schema pratico* è proposto in *Figura 15*; da notare in tutti gli schemi, la posizione insolita per i piedini d'alimentazione, tipica degli integrati TTL di prima generazione.

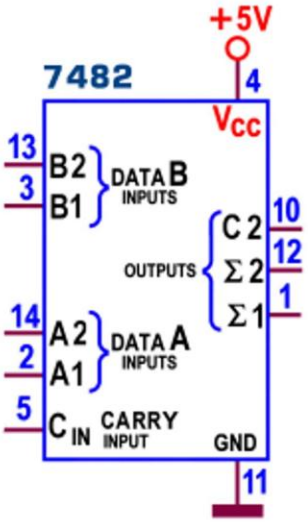


Figura 15 - 2-bit Full Adder 7482: Schema pratico

L'assenza di un **HA** al servizio dei bit meno significativi non deve stupire: è facile verificare (anche consultando la Tabella di verità di *Figura 2*) che, forzando a livello basso l'ingresso C_{IN}, il primo **FA** si trasforma in **HA**.

La generica disponibilità di 2 **FA** e la possibilità di gestire l'ingresso di *Riporto* del primo modulo apre invece *nuovi orizzonti*, consentendo di collegare in cascata più di un componente di questo tipo; la *Figura 16* si riferisce ad un sommatore di numeri a 4 bit realizzato con 2 integrati **7482**: l'accesso dei dati da sommare è diretto (parallelo) ma l'uscita *Carry* del dispositivo associato alla parte meno significativa è collegata in cascata (serie) all'ingresso *Carry* di quello successivo, così come peraltro succede per la gestione del *Riporto* interno, in ciascun integrato.

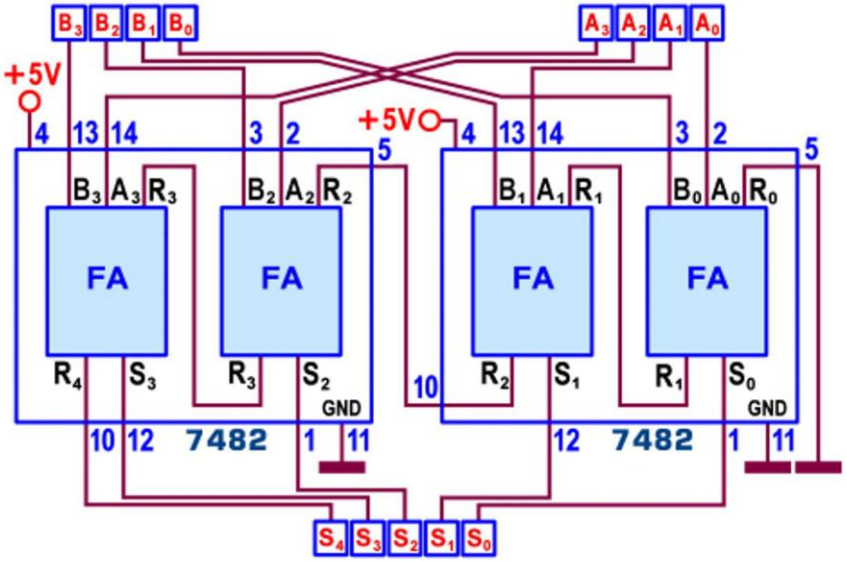


Figura 16 - 4-bit Ripple Carry Adder con due 7482

Per questa ragione il progetto è soggetto allo stesso svantaggio rilevato in quello simile, proposto in precedenza: per avere un risultato stabile è necessario attendere la propagazione del *Riporto* attraverso tutti e 4 i **FA** coinvolti; in questo caso il tempo complessivo è però più contenuto perchè 2 dei 4 collegamenti Ripple Carry avvengono dentro i dispositivi, cosìcché possiamo mettere in conto solo 2 volte il ritardo di propagazione di ciascun integrato, al massimo pari a **40 ns** (misurato con carico di **400**ohm/**15**pF).

La potenza massima dissipata dal **7482** è di **290 mW** e le caratteristiche elettriche sono quelle tipiche della serie **TTL Standard**.

Il problema della lentezza intrinseca dei sommatori di tipo ***Ripple Carry*** è stato risolto evitando di propagare serialmente il *Riporto* tra i vari moduli **FA** integrati; questa tecnica è detta di "*previsione del Riporto*" (***Carry Look Ahead***, ***CLA***) utilizza reti combinatorie in grado di generare in anticipo il valore del *Riporto* di ogni modulo sulla base del (e simultaneamente al) valore corrente di tutti gli ingressi di dato, già utilizzati *in parallelo* per fornire i singoli valori della *Somma*.

Ciascuna di queste reti è sostenuta da equazioni booleane facilmente deducibili dalla logica associata al valore di ogni singolo *Riporto* interno, danno luogo a circuiti comunque realizzati con porte logiche su 2 livelli, una "somma di prodotti" il cui numero di addendi e di variabili coinvolte aumenta esponenzialmente con la quantità di bit da sommare; questo pone di fatto un limite alla complessità delle reti ***CLA***, difficilmente realizzabili se i bit da trattare contemporaneamente sono più di 8.

In compenso il ritardo necessario per rendere disponibile ciascun *Riporto* può ora essere ricondotto a quello di 2 semplici porte logiche (la rete a 2 livelli) che diventa di 3 o 4 tempi/porta nel contesto globale di ogni modulo del sommatore, cioè nel passaggio dagli ingressi_dato a ciascuna uscita *Somma*.

Alla serie **TTL LS** appartiene il **74LS83**, definito dai costruttori **4-bit Binary Full Adder with Fast Carry**, per evidenziare di essere provvisto di *Carry veloce* (*Fast Carry*), realizzato con una logica di tipo ***Carry Look Ahead***; la *Figura 17* mostra il suo *pin-out*.

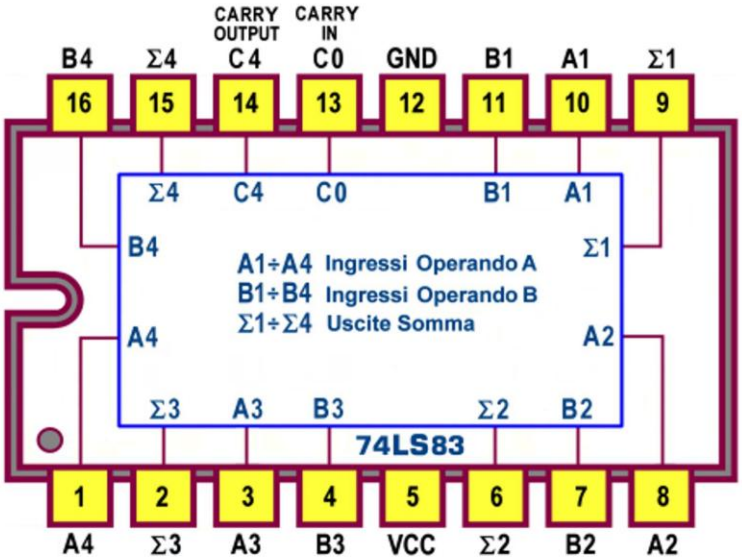


Figura 17 - 4-bit Fast Carry Full Adder 74LS83: Pin-out

Lo *schema funzionale* (*Figura 18*, *Logic Diagram*, suggerito dal *datasheet* della Motorola) è indispensabile per capire il meccanismo con cui sono ottenuti i valori d'uscita; tra i vari moduli

FA non esiste alcuna propagazione seriale di *Carry*: ciascun *Riporto* interno è invece ottenuto con rete logica dedicata e poi coinvolto con i bit di dato dello stesso peso.

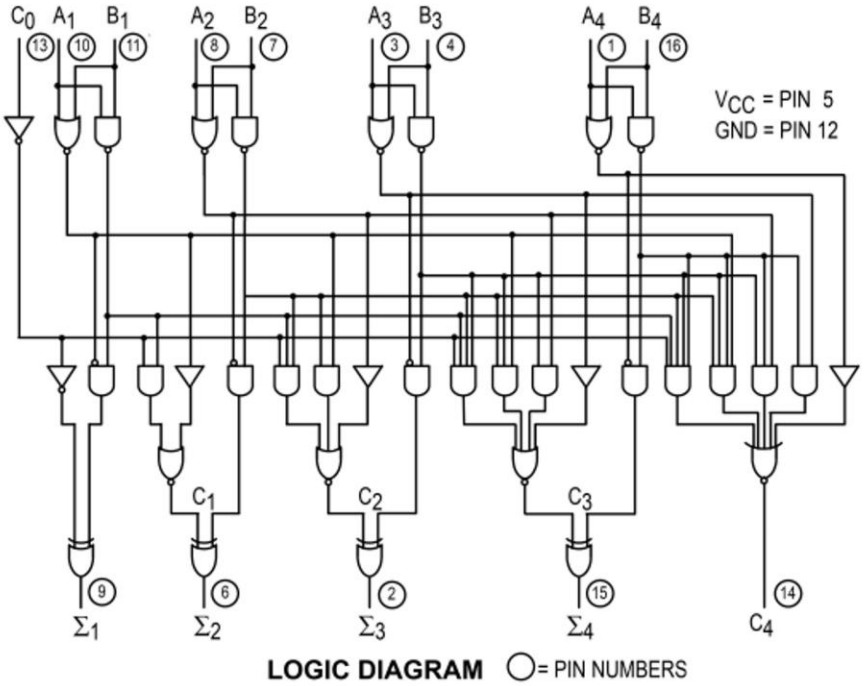


Figura 18 - 4-bit Fast Carry Full Adder 74LS83: Schema funzionale

Solo il *Riporto* finale (C_4) è reso disponibile fisicamente, per garantire il bit più significativo della *Somma* e per consentire l'eventuale utilizzo di più dispositivi in cascata.

Lo *schema pratico*, adatto per la stesura dei progetti, è disponibile in *Figura 19*.

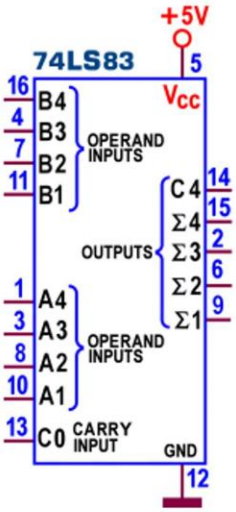


Figura 19 - 4-bit Fast Carry Full Adder 74LS83: Schema pratico

La configurazione funzionale del sommatore è ribadita anche da*l simbolo logic*o predisposto dallo *standard IEEE*, visibile in *Figura 20*; i numeri sugli ingressi degli addendi e sulle uscite della somma indicano il peso di ciascun piedino, inteso come potenza di 2.

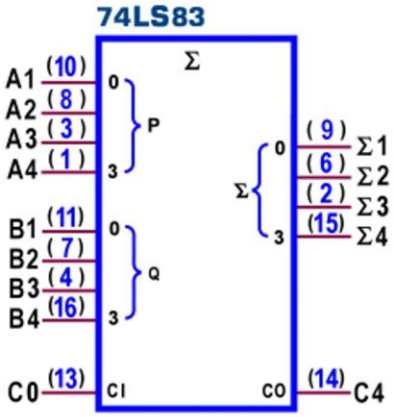


Figura 20 - 4-bit Fast Carry Full Adder 74LS83: Simbolo logico ANSI/IEEE Std. 91-1984

La corrente massima assorbita dalle uscite del **74LS83** è quella tipica **TTL LS** (**I_{OL}=8 mA**) mentre la potenza dissipata massima è di **195 mW**; il ritardo di propagazione massimo **t_{PLH}** e **t_{PHL}** tra gli ingressi di dato e le uscite della *Somma* (misurato con carico di **400**ohm/**15**pF) è di **24 ns** mentre quello tra ingressi dato e uscita Riporto C_4 è ancora minore (**17 ns** con carico di **780**ohm/**15**pF).

Per i progetti di sommatori di numeri con quantità di bit multiple di 4 è conveniente utilizzare il più recente **74LS283**, funzionalmente identico a quello appena descritto ma con piedinatura completamente diversa; tra l'altro la posizione dei terminali d'alimentazione (V_{CC} e GND) è ora al consueto posto. La *Figura 21* mostra il suo *pin-out*.

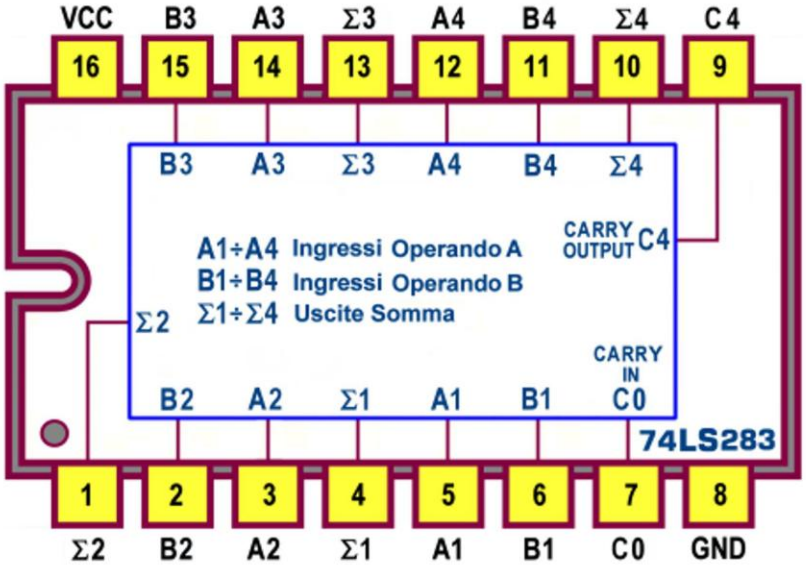


Figura 21 - 4-bit Fast Carry Full Adder 74LS283: Pin-out

In particolare la disponibilità interna delle tecniche di tipo ***Carry Look Ahead*** assicura la generazione del *Riporto*, a partire dalle 2 quaterne di bit degli addendi, tipicamente in **10 ns**;

lo *schema funzionale* (*Figura 22*) e lo *schema pratico* (*Figura 23*) sono gli stessi del **74LS83**, ovviamente con la nuova disposizione dei segnali sui piedini.

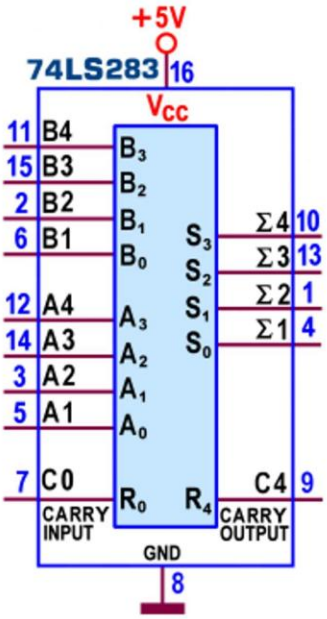


Figura 22 - 4-bit Fast Carry Full Adder 74LS283: Schema funzionale

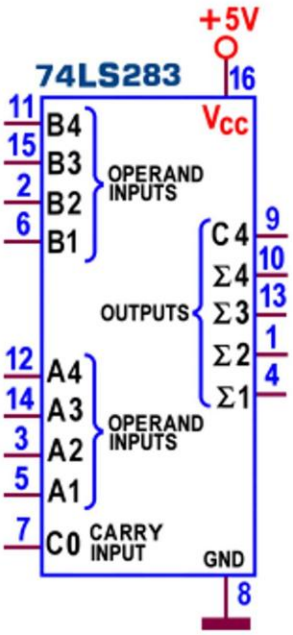


Figura 23 - 4-bit Fast Carry Full Adder 74LS283: Schema pratico

In chiusura realizziamo un sommatore di 2 numeri a 8 bit, ponendo in cascata 2 **74LS283** e collegando le linee di *Riporto* come indicato in *Figura 24*; i manuali assicurano tempi tipici di **25 ns** per ottenere risultato attendibile da questa applicazione, e di **45 ns** per sommare numeri a 16 bit.

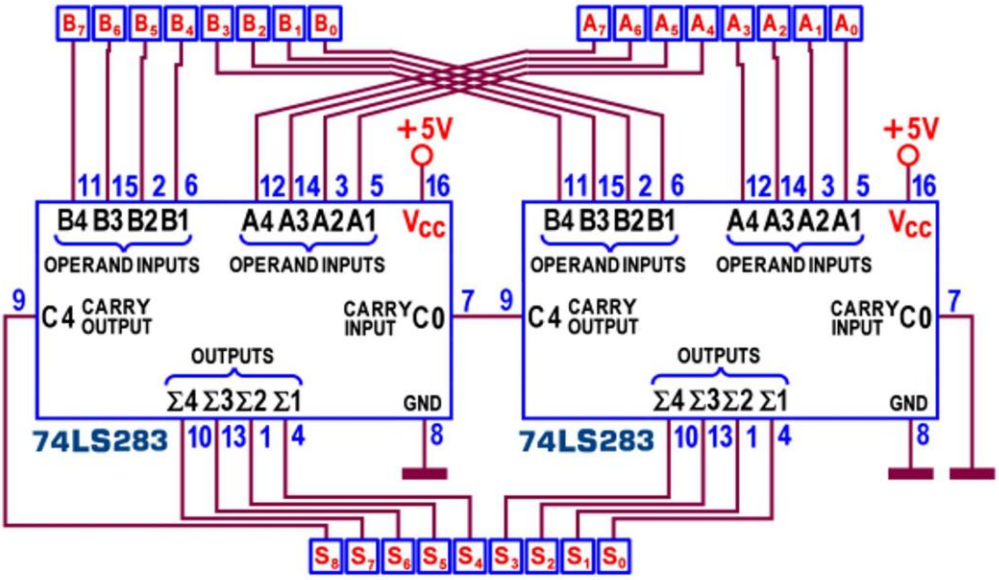


Figura 24 - 8-bit Fast Carry Adder con due 74LS283

Sommatori (CMOS): 4008

Anche la serie **CMOS** prevede un sommatore di 2 numeri a 4 bit: il **4008**, detto **4-bit Binary Full Adder**, anch'esso dotato (come i suoi simili TTL) di circuiti di tipo ***Carry Look Ahead*** adatti alla previsione del Carry, definiti "*High Speed Parallel Carry Out*" da alcuni datashet; la *Figura 25* mostra il suo *pin-out*, sostanzialmente uguale a quello del **74LS83** e del **74LS283**, ma ancora una volta con piedinatura diversa.

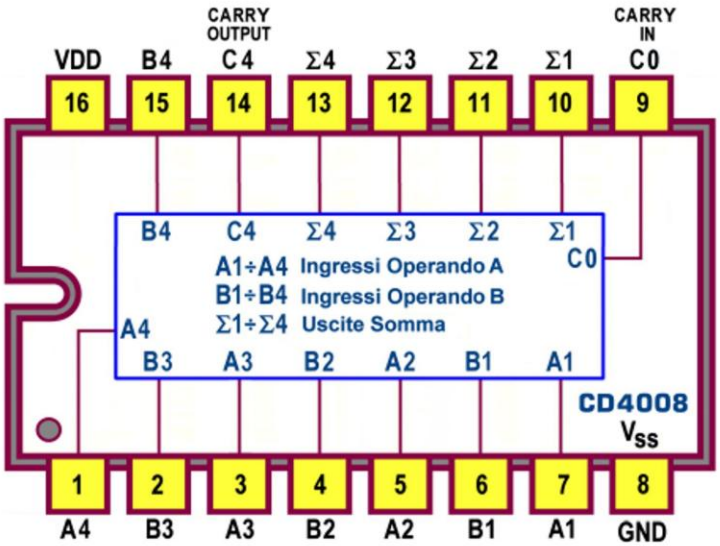


Figura 25 - 4-bit Binary Full Adder 4008: Pin-out

A questi integrati può essere ricondotta anche l'analisi logica dello *schema funzionale*, riconducibile a quello di *Figura 18* e sintetizzato in *Figura 26*.

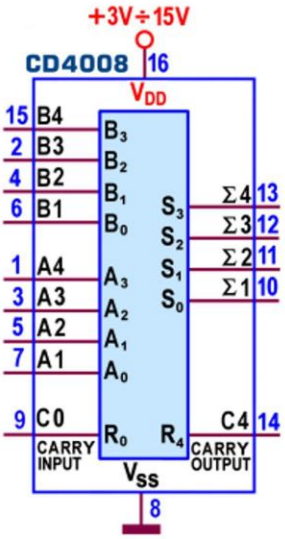


Figura 26 - 4-bit Binary Full Adder 4008: Schema funzionale

Come per gli altri componenti della famiglia **CMOS** la *potenza dissipata* è trascurabile mentre il *ritardo di propagazione* (*Propagation Delay Time*, $\mathbf{t_{PHL}}$ e $\mathbf{t_{PLH}}$), rilevato con carico di **200**kohm/**50**pF, mediamente si dimezza ad ogni incremento di **5V** della tensione di alimentazione $\mathbf{V_{DD}}$; per disporre di uscite stabili dopo l'applicazione degli addendi sono necessari al massimo da **300ns** ($\mathbf{V_{DD}}$=**5V**) a **80ns** ($\mathbf{V_{DD}}$=**15V**); i valori *tipici* sono sostanzialmente la metà.

Nella prossima puntata completeremo la rassegna con i sommatori BCD e con altre importanti macchine combinatorie in grado di assicurare il supporto alle altre operazioni aritmetiche.