

Esperienza 5 – Convertitori D/A e A/D con amplificatore operazionale.

Postazione N°

Cognome	Nome	CLASSE

Oscilloscopio:

Generatore di funzione:

1.0 – Concetti generali del Convertitore Digitale/Analogico (D/A)

Un convertitore digitale/analogico (**DAC: digital to analog converter**) è un circuito che fornisce in uscita una grandezza analogica proporzionale alla parola di n bit di ingresso.

Normalmente la grandezza analogica di uscita è una corrente che varierà tra un valore minimo e un valore massimo.

Per ottenere la tensione proporzionale alla corrente suddetta, si collega al DAC uno stadio con amplificatore operazione configurato come convertitore Corrente/Tensione (I/V) che fornirà in uscita una tensione proporzionale alla corrente e quindi alla parola di n bit in ingresso al DAC. Il convertitore I/V utilizzato può essere invertente (figura 1), non invertente (figura 2), differenziale (figura 3), a seconda del tipo di risposta che si desidera in uscita e a seconda dell'uscita o delle uscite in corrente del DAC.

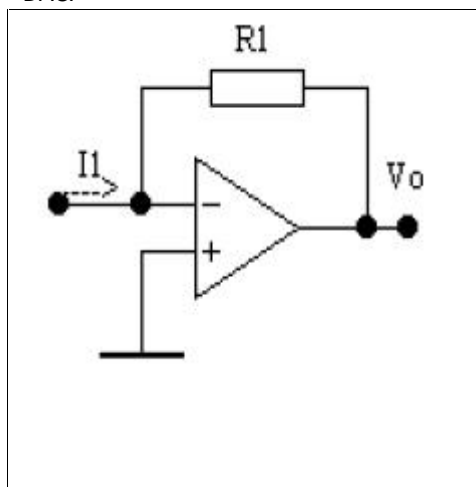


Fig. 1 – Convertitore I/V di tipo invertente

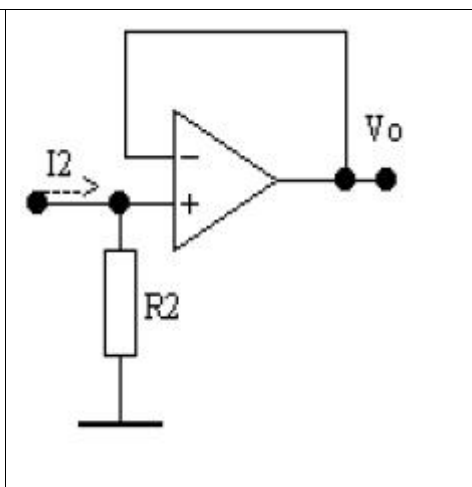


Fig. 2 – Convertitore I/V di tipo non invertente

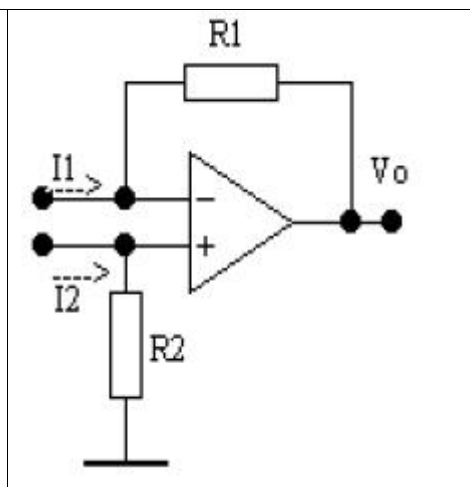


Fig. 3 – Convertitore I/V di tipo differenziale

La parola di n bit che dovrà essere messa in ingresso al DAC, nella maggioranza dei casi, sarà in codice binario (che è quello più comunemente usato), e si avranno 2^n combinazioni di ingresso, ad ognuna delle quali corrisponderà una grandezza analogica d'uscita ad essa proporzionale.

Essenzialmente, vi sono 2 tipi di convertitori D/A:

- Convertitore a resistori pesati;
- Convertitore a scala $R-2R$.

Al fine, poi, di sfruttare i vantaggi di tali convertitori e minimizzarne gli svantaggi, vengono utilizzati anche i convertitori a scala mista e a scala invertita.

1.1 - Convertitore D/A con resistori pesati

Il principio di funzionamento è quello di fare contribuire ogni bit della grandezza digitale con una corrente proporzionale al suo peso. Ciò si ottiene col circuito di figura (in questo caso a 4 bit).

Nello schema di fig. 4 due resistenze vicine stanno tra loro in un rapporto 2. Supponendo tutti i bit a 1 logico, cioè deviatori tutti collegati a VR che coincide con la tensione di riferimento, le correnti in ogni resistore sono:

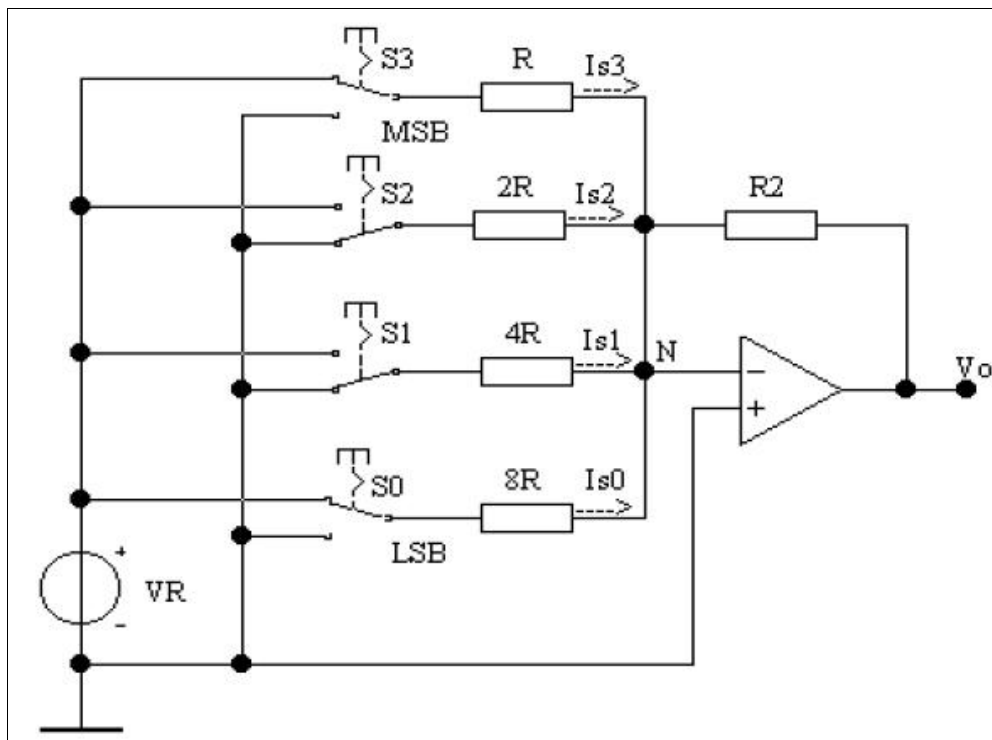


Fig. 4 – Convertitore D/A a 4 bit con resistori pesati

$$I_3 = \frac{V_R}{R} ; I_2 = \frac{V_R}{2R} = \frac{I_3}{2} ; I_1 = \frac{V_R}{4R} = \frac{I_3}{4} ; I_0 = \frac{V_R}{8R} = \frac{I_3}{8}$$

La tensione d'uscita V_o , applicando il principio di sovrapposizione degli effetti, risulta:

$$\begin{aligned} V_o &= -R_2 \cdot I_3 \cdot S_3 - R_2 \cdot I_2 \cdot S_2 - R_2 \cdot I_1 \cdot S_1 - R_2 \cdot I_0 \cdot S_0 = \\ &= -\frac{R_2}{R} \cdot V_R \cdot S_3 - \frac{R_2}{2 \cdot R} \cdot V_R \cdot S_2 - \frac{R_2}{2^2 \cdot R} \cdot V_R \cdot S_1 - \frac{R_2}{2^3 \cdot R} \cdot V_R \cdot S_0 = \\ &= -\frac{R_2}{R} \cdot \frac{V_R}{2^3} \{2^3 S_3 + 2^2 S_2 + 2^1 S_1 + 2^0 S_0\} \end{aligned}$$

I bit, cioè i segnali digitali, non possono pilotare direttamente gli ingressi del DAC, non avendo né la potenza necessaria né fornendo tutte la stessa tensione V_R , ma pilotano degli interruttori elettronici (in genere di tipo CMOS) collegando i resistori pesati a V_R se a 1 logico, a massa se a 0 logico.

Generalizzando, per un convertitore a N bit si avrà:

$$V_o = -\frac{R_2}{R} \cdot \frac{V_R}{2^{N-1}} \{2^{N-1} S_{N-1} + 2^{N-2} S_{N-2} + \dots + 2^1 S_1 + 2^0 S_0\}$$

Se si mette $S_0 = 1$ e tutti gli altri ingressi a 0, si ottiene il più piccolo incremento di tensione d'uscita e quindi il VLSB.

$$V_{oLSB} = -\frac{R_2}{R} \cdot \frac{V_R}{2^3}$$

Il VLSB è il più piccolo incremento della tensione d'uscita ed è definito, nel caso del convertitore a resistori pesati a N bit, come:

$$V_{oLSB} = -\frac{R_2}{R} \cdot \frac{V_R}{2^{N-1}}$$

esprimibile anche come:

$$V_{oMAX} = -\frac{R_2}{R} \cdot \frac{V_R}{2^{N-1}} 2^N + \frac{R_2}{R} \cdot \frac{V_R}{2^{N-1}} = V_{oFS} - V_{oLSB}$$

dove VoFS è il valore di fondo scala definito come:

$$V_{oFS} = -\frac{R_2}{R} \cdot \frac{V_R}{2^{N-1}} \cdot 2^N = V_{oLSB} \cdot 2^N$$

L'inconveniente di questo convertitore è che, al crescere del numero dei bit (oltre i quattro), risulta difficile integrare valori di resistori molto diversi tra loro in modo che abbiano lo stesso coefficiente termico, cioè che al variare della temperatura i resistori varino in maniera tra loro proporzionale.

1.2 - Circuito da esaminare e verificare

Prima di procedere all'assemblaggio dei componenti sulla basetta sperimentale in modo da realizzare il convertitore D/A a 4 bit occorre dimensionare i componenti del circuito.

In particolare risulta oltremodo scomodo dover lavorare con 4 deviatori a 1 via e 2 posizioni che determinano in totale $2^4 = 16$ differenti valori. Pertanto si sceglie di lavorare con semplice contatore binario a 4 bit di uscita. Da QA (uscita meno significativa → LSB che è quell'uscita che cambia stato con una maggiore frequenza rispetto a tutte le altre uscite), QB, QC e QD (uscita più significativa → MSB che è quell'uscita che cambia stato con una minore frequenza rispetto a tutte le altre uscite).

Il contatore proposto è il 7493 in tecnologia TTL nella configurazione modulo 16, ovvero possiede la capacità di conteggio in avanti dal valore 0 fino al valore 15 per poi riprendere da 0.

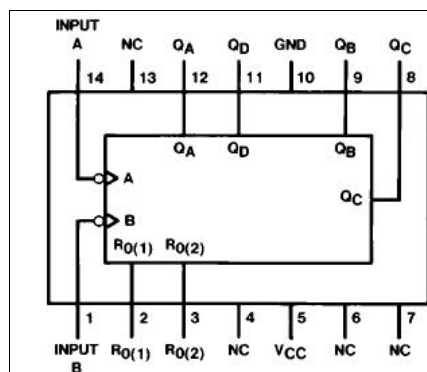


Fig. 5 – Piedinatura del 7493. Si noti che l'alimentazione non è la solita applicata ai pin 14 e 7 ma si dovrà collegare il pin 10 a GND (ground = massa) e il pin 5 a VCC = +5V in continua. I pin 4, 6, 7 e 13 marchiati come "NC" (no-connection = nessun collegamento) non devono essere collegati a nulla.

93A
Count Sequence
(See Note C)

Count	Outputs			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

Fig. 6 – Tabella con gli stati logici del 7493. E' importante ricordare che si necessita il collegamento tra l'uscita Qa (pin 12) e l'input B (pin 1) per ottenere un contatore asincrono in avanti modulo 16. Ovviamente il clock deve essere fornito sull'input A (pin 14) dell'integrato 7493.

93A
Reset/Count Function Table

Reset Inputs		Outputs			
R0(1)	R0(2)	Q _D	Q _C	Q _B	Q _A
H	H	L	L	L	L
L	X	COUNT COUNT			
X	L				

Note A: Output Q_A is connected to input B for BCD count.

Note B: Output Q_D is connected to input A for bi-quinary count.

Note C: Output Q_A is connected to input B.

Note D: H = High Level, L = Low Level, X = Don't Care.

Fig. 7 – Tabella con gli stati logici per azzerare le uscite del 7493.

Nel caso in particolare si vuole analizzare l'uscita di un DAC costituito da un contatore a modulo complessivo 16 costituito dall'integrato (SN7493). Tale contatore in realtà è costituito da 2 moduli (un modulo 2 e un modulo 8) collegati in cascata in modo da ottenere: $M = 2 * 8 = 16$

Il “conteggio” sarà regolato da un impulso di clock di 10 KHz che può essere ottenuto da un generatore di frequenza tarato su 10 kHz e con una uscita TTL compatibile, ovvero con un valore minimo coincidente a GND (0V o livello logico LOW) ed un valore massimo di +5V (livello logico HIGH). Le varie combinazioni di bit comanderanno gli switch digitali interni dell'integrato che provocheranno o meno il passaggio di corrente sulle varie resistenze. Come possiamo notare, i valori delle resistenze sono crescenti il doppio l'una rispetto all'altra a partire da R (1KΩ) per raggiungere 8R (8KΩ), cioè otto volte il valore di R.

Il nuovo schema elettrico si presenta come in fig. 8, in cui si evince facilmente che la serie di resistenze da R1 a R14 servono per ottenere i multipli del valore R15 da 1KΩ.

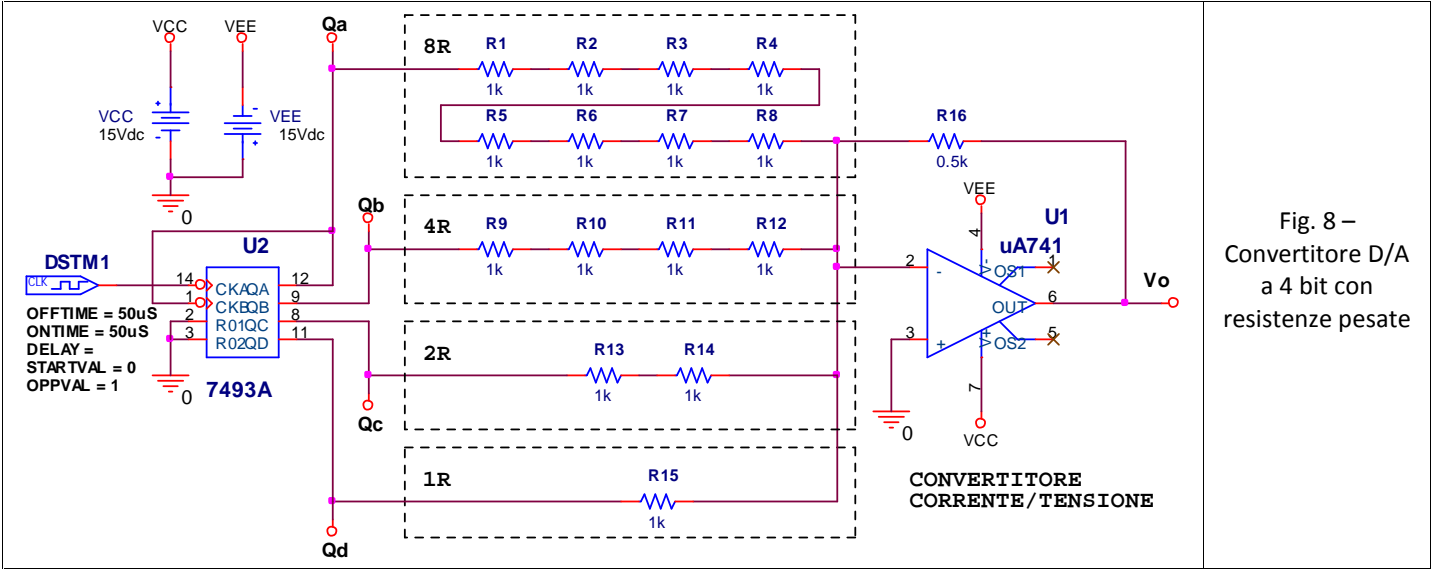


Fig. 8 – Convertitore D/A a 4 bit con resistenze pesate

1.3 - Procedimento della simulazione

Al fine di ben visualizzare le forme d'onda sull'oscilloscopio per tutte le frequenze esplicative del funzionamento del filtro, si sceglie una **frequenza di lavoro** abbastanza elevata (>100 Hz), per tale motivo si è scelto un generatore di clock con una frequenza di 10 KHz.

Sigla Componente	Valore nominale	Valore effettivo	Scarto %
R1 = R2 = R3 = R4 = R5 = R6 = R7 = R8 = R9 = R10 = R11 = R12 = R13 = R14 = R15Ω - ¼ w - 5%	Da misurare con il ohmmetro:	
R16Ω - ¼ w - 5%	Da misurare con il ohmmetro:	

Per ottenere un corretto risultato di simulazione del circuito Convertitore DAC (fig. 8) è necessario partire dal software **PSpice** (disponibile al seguente link: <http://www.istitutoprimolevi.gov.it/node/206> come applicativo interno al pacchetto **Orcad v.9.2 utilizzabile anche per il sistema operativo Windows 7 e Windows 8**) in modo che sia correttamente installato sul Personal Computer.

Nell'impostazioni dei valori dei componenti si utilizzi:

a) i valori reali dei resistori

b) nella fig. 9 si nota come si deve settare l'“Analysis Type” con “Time Domain (Transient)” e le opzioni “Run to time:” pari a 3,5ms = 3500μS che dovrà essere inserito come il valore “3500us”. Si utilizza un tempo che permetta almeno la rappresentazione grafica di due o più periodi completi. Considerando che il generatore DSTM1 lavora a 10KHz e ricordando che la tabella di conteggio del contatore è uguale a 16 differenti stati, per visualizzare due forme d'onda complete (16 per 2 = 32 stati) all'uscita dell'amplificatore operazionale (Vo) occorre un tempo $t = (1 / f) * 32 = (1 / 10000) * 32 = 3,2 \text{ ms}$ che, considerando anche il reset del contatore, verrà inserito con un valore coincidente a 3,5 ms.

c) si noti come la simulazione del convertitore D/A richieda una simulazione “mista”, ovvero sia con una componente digitale (7493) e sia con una componente analogica (uA741). Per quanto riguarda la componente digitale occorre ricordare che le uscite da Qa a Qd all'accensione non possiedono uno stato predefinito, per cui è assolutamente necessario per continuare la simulazione effettuare il reset del contatore 7493.

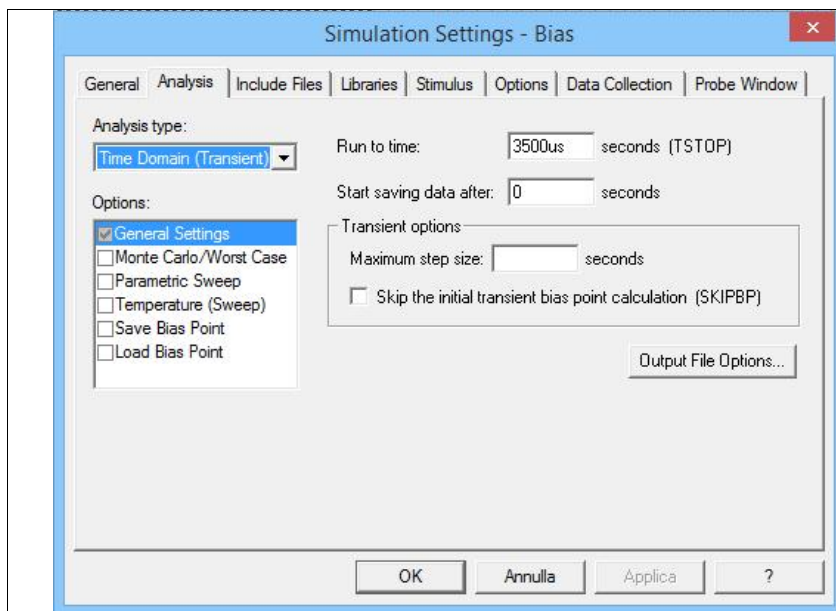


Fig. 9 - Esempio di configurazione per la simulazione con il programma PSpice di un Convertitore D/A a 4 bit

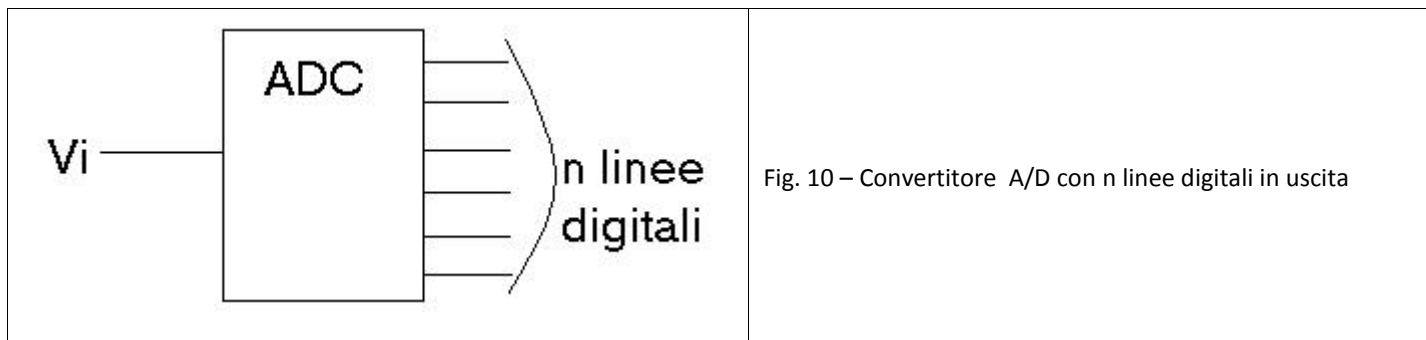
Le tracce da visualizzare ed esportare nel grafico della pagina successiva sono la **tensione di uscita del generatore** e la **tensione ai capi del condensatore**.

Si ricorda che la fase di esportazione si ottiene dal software, dopo aver visualizzato il grafico, dal menù in alto selezionando "File" → "Print Preview" → "Stampa". Inoltre, si ricorda che la stampa del grafico avviene su una pagina A4 mentre lo spazio disponibile per inserire il grafico è decisamente inferiore. Per ridurre le dimensioni una soluzione è quella di fotocopiare la stampa riducendone le dimensioni, oppure di salvare lo schermo intero con il tasto "Stamp" (quello accanto a "F12"). Aprire il programma "Paint" e incollare la schermata con CTRL+V, dopo aver selezionato, ritagliato e salvato solo la porzione di immagine contenente il grafico è possibile effettuare una stampa riducendo le dimensioni dell'immagine alla grandezza richiesta.

Incollare la stampa del diagramma temporale relativo ai seguenti punti del convertitore DAC: DSTM1, Qa, Qb, Qc, Qd e Vo

2.0 – Convertitore A/D

Un convertitore A/D è un dispositivo che, ricevendo in ingresso una tensione analogica, fornisce in uscita un codice binario ad n bit legato all'ampiezza della tensione di ingresso.



La definizione precedente evidenzia subito il principale aspetto di un convertitore A/D: i codici che possono essere rappresentati in uscita con n bit sono solo 2^n (ad es. con 3 bit possono essere rappresentate $2^3=8$ codici), mentre la tensione analogica di ingresso può assumere con continuità un'infinità di valori diversi; i codici devono quindi essere associati ad un intervallo di possibili valori della tensione di ingresso. Si parla in tal caso di quantizzazione della grandezza analogica.

L'operazione di quantizzazione implica ovviamente una perdita di informazione, dato che dal codice binario di uscita non è possibile risalire al valore preciso della tensione di ingresso, ma solo all'intervallo di valori associato a quel determinato codice. Ciò si traduce in un effetto chiamato rumore di quantizzazione.

Quindi i ADC convertono i valori di tensione in ingresso nel numero corrispondente espresso in binario. La Risoluzione (R) di un convertitore A/D è definita come la minima variazione della grandezza analogica in ingresso che provoca una variazione di un LSB (Least Significant Bit= bit meno significativo) nel numero di uscita: tale variazione è definita come quanto (Q).

La risoluzione R di un ADC coincide, dunque, col quanto Q.

$$Q = \frac{V_{FS}}{2^n}$$

con V_{FS} =Tensione di fondo scala; essa è una tensione di riferimento fornita al convertitore: essa individua il massimo valore in ingresso convertibile in binario. In figura è rappresentato il comportamento di un ADC a 3 bit; in uscita, dovranno essere rappresentati $N=2^3=8$ numeri compreso lo 0.

2.1 – Convertitore A/D parallelo (flash)

Il convertitore AD flash è un convertitore veloce. Infatti il risultato voluto si ottiene non attraverso un hardware a passi successivi ma in modo quasi istantaneo applicando direttamente la tensione di ingresso a un numero di comparatori pari al numero dei livelli di quantizzazione. In ciascun comparatore la tensione viene confrontata con la tensione corrispondente al livello di quantizzazione considerato.

In Fig. 11 è riportato lo schema di principio per un convertitore a tre bit.

La tensione da convertire V_a è applicata in parallelo a uno dei due ingressi di ciascun comparatore. La tensione all'altro ingresso è ottenuta ripartendo la tensione di riferimento V_{ref} in 2^n intervalli di ampiezza q, mediante delle resistenze tarate di valore R. Soltanto la prima e l'ultima resistenza hanno valori diversi (rispettivamente $R/2$ e $3R/2$) al fine di centrare l'intervallo di indifferenza rispetto al livello di quantizzazione: in tal modo infatti la prima tensione di riferimento è pari a $q/2$ e le successive aumentano di quantità sempre pari a q.

I valori di tensione così ottenuti costituiscono le soglie di scatto per i diversi comparatori.

Nell'esempio rappresentato in Fig. 11 il valore analogico da convertire V_a è compreso fra le soglie di scatto $4,5q$ e $5,5q$: in tal caso tutti i comparatori da 1 a 5 hanno uscita (per esempio) alta, mentre i restanti comparatori 6 e 7 hanno un'uscita bassa.

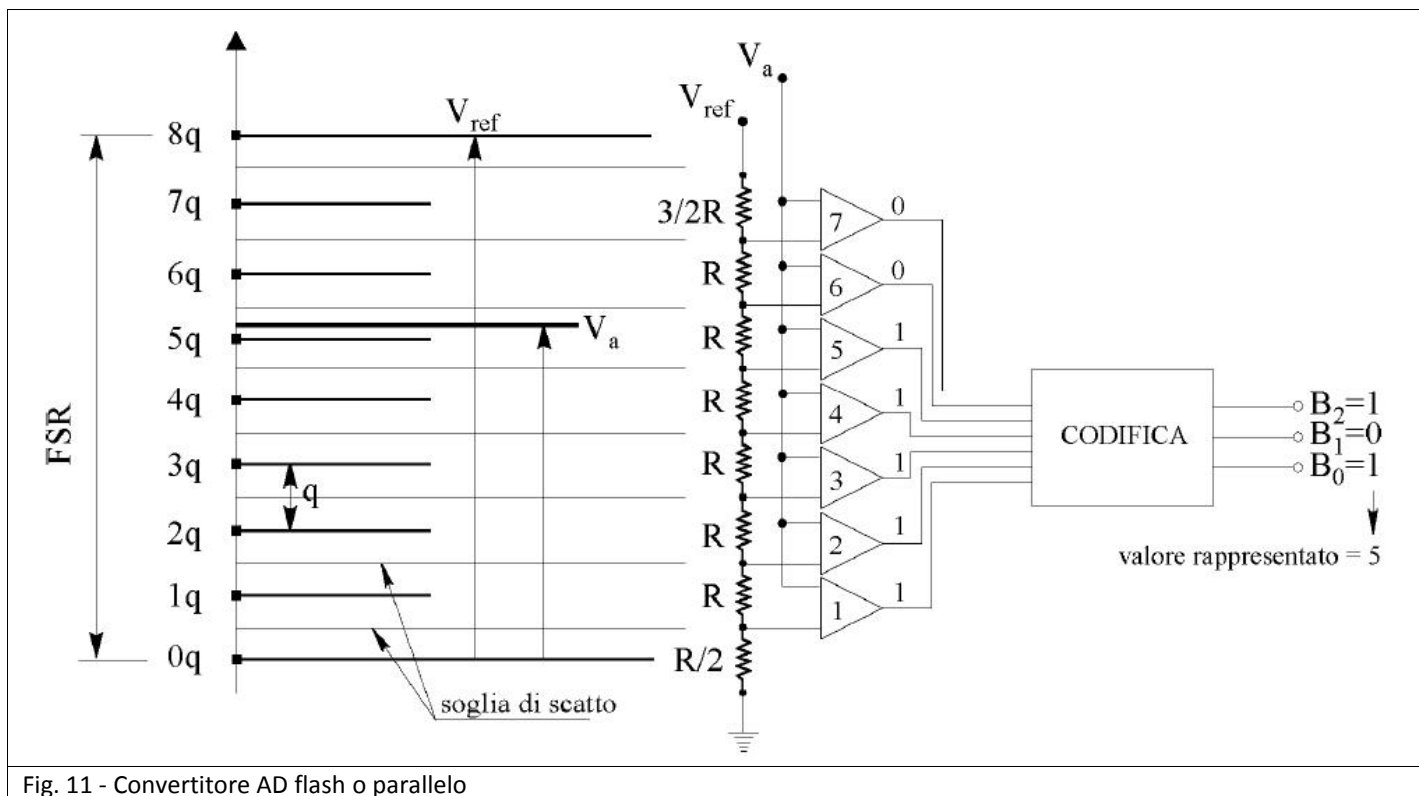


Fig. 11 - Convertitore AD flash o parallelo

L'insieme delle uscite di ciascun comparatore viene convertito dal blocco di codifica nella corrispondente parola binaria B2 B1 B0 (per un convertitore a tre bit).

L'elevata velocità di conversione è dovuta alla comparazione simultanea della tensione analogica V_a con tutti i possibili valori discreti di tensione.

A fronte dell'elevata velocità di conversione (valori tipici del tempo di conversione sono dell'ordine dei nanosecondi, corrispondenti a velocità di $100\div 1000$ Msample/s) sussistono difficoltà di realizzazione per convertitori con un numero elevato di bit. Ad esempio un convertitore a 10 bit richiederebbe l'impiego di $2^n - 1 = 1023$ comparatori (di norma integrati in un singolo chip).

Un valore tipico per questi convertitori è 8 bit.

2.2 – Codifica per il Convertitore A/D parallelo (flash)

Come si nota nella figura 11 è presente un blocco generico denominato "Codifica". Tale blocco, che risulta di tipo digitale perché i livelli in ingresso e in uscita possono assumere solo i due livelli: HIGH (livello Alto) oppure LOW (livello Basso), svolge una funzione fondamentale, cioè deve riconoscere quale comparatore è stato attivato (livello High in uscita) e quale comparatore non è stato attivato (livello Low).

Siccome si hanno più uscite attive nello stesso momento, non solo occorre decodificarle e interpretarle in modo corretto, ma si necessita di utilizzare un codificatore con priorità sugli ingressi.

L'integrato 74148 (figura 12) in tecnologia TTL possiede 8 ingressi digitali con priorità (dal valore 0 al valore 7) che saranno decodificati sulle 3 uscite (A_0 , A_1 e A_2) sempre di tipo digitale.

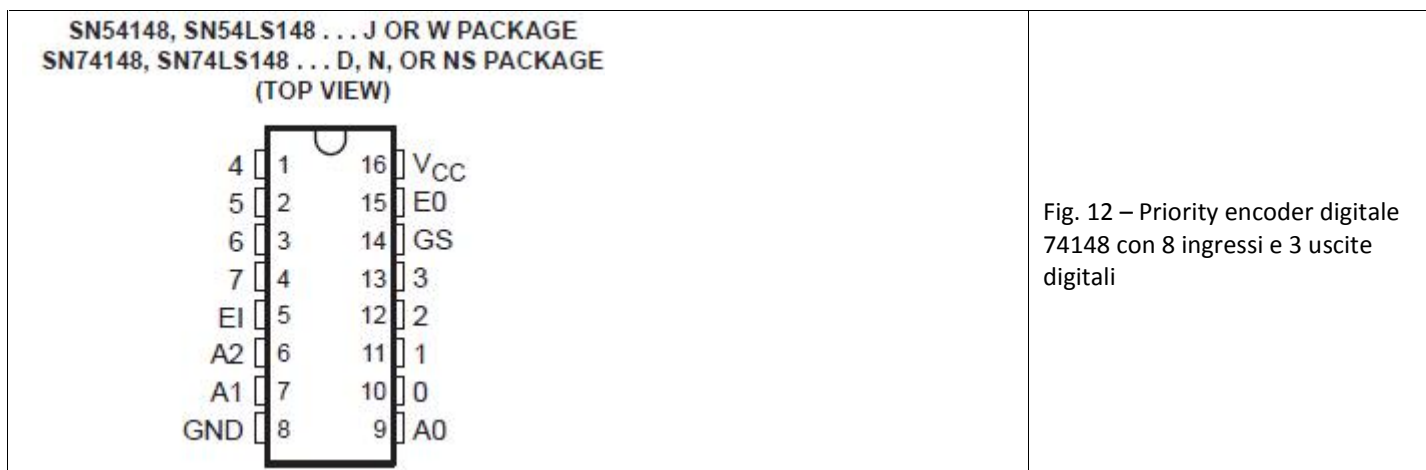


Fig. 12 – Priority encoder digitale 74148 con 8 ingressi e 3 uscite digitali

FUNCTION TABLE – '148, 'LS148														
EI	INPUTS								OUTPUTS					
	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO	
H	X	X	X	X	X	X	X	X	H	H	H	H	H	
L	H	H	H	H	H	H	H	H	H	H	H	H	L	
L	X	X	X	X	X	X	X	L	L	L	L	L	H	
L	X	X	X	X	X	X	L	H	L	L	H	L	H	
L	X	X	X	X	L	H	H	H	L	H	H	L	H	
L	X	X	X	L	H	H	H	H	H	L	L	L	H	
L	X	X	L	H	H	H	H	H	H	L	H	L	H	
L	X	L	H	H	H	H	H	H	H	H	L	L	H	
L	L	H	H	H	H	H	H	H	H	H	H	L	H	

H = high logic level, L = low logic level, X = irrelevant

Fig. 13 – Tabella di verità del Priority encoder digitale 74148

Dalla tabella di verità (figura 13) si evince che l'ingresso digitale "EI" permette di implementare un numero di ingresso superiore a 8 tramite l'utilizzo di più integrati collegati in serie. In pratica, se viene utilizzato un solo integrato 74148 come nell'esempio di figura 11, l'input EI dovrà essere collegato a livello "L" (Low → GND).

La prima considerazione da effettuare guardando la tabella di verità è che gli ingressi sono attivati con un livello "L" (Low) e che la priorità più elevata si ha collegando il comparatore operativo all'input "7" (pin 4 del 74148), di conseguenza l'input "0" (pin 10 del 74148) possiede la priorità meno elevata. La "X" nella tabella indica che il livello del rispettivo ingresso non è determinante per modificare lo stato delle uscite. In pratica qualsiasi valore assuma l'input non modifica lo stato dell'output, cioè è indifferente che ci sia un livello H oppure L sull'ingresso.

Ragionando sulla tabella si può dedurre la seguente valutazione:

- 1) Se tutti gli ingressi: "0", "1", "2", "3", "4", "5", "6" e "7" sono a livello H (High) le uscite valgono A2=1, A1=1 e A0=1
- 2) Se tutti gli ingressi: "0", "1", "2", "4", "5", "6" e "7" sono a livello H (High) mentre l'input "3" è a livello L (Low) si ottiene la seguente combinazione sulle uscite A2=1, A1=0 e A0=0. Si consideri in tale situazione che qualora venissero attivati anche gli ingressi "0", "1" e "2" ponendoli ad un livello Low la situazione delle uscite rimane sempre coincidente con A2=1, A1=0 e A0=0, ovvero non essendo questi ingressi prioritari rispetto a quello selezionato le uscite non sono modificate.
- 3) Le uscite A2, A1 e A0 forniscono un codice binario che risulta complementato rispetto agli ingressi. Ad esempio, se risulta attivo l'input "1" sarebbe logico ottenere il corrispondente valore binario sulle uscite, ovvero A2=0, A1=0 e A0=1. Mentre in realtà si otterrà il complemento delle uscite, cioè A2=1, A1=1 e A0=0.

L'integrato LM324 contiene nel suo interno quattro amplificatori operazionali con elevato guadagno e una compensazione di frequenza interna. Questo tipo di integrato è stato progettato per lavorare con una singola alimentazione e con un vasto range (da 3V a 30V) di valori della tensione di alimentazione.

Viste le apprezzabili caratteristiche dell'integrato e considerando che nello schema di figura 15 sono necessari 7 operazionali si ha la necessità di utilizzare solo 2 integrati di tipo LM324 per

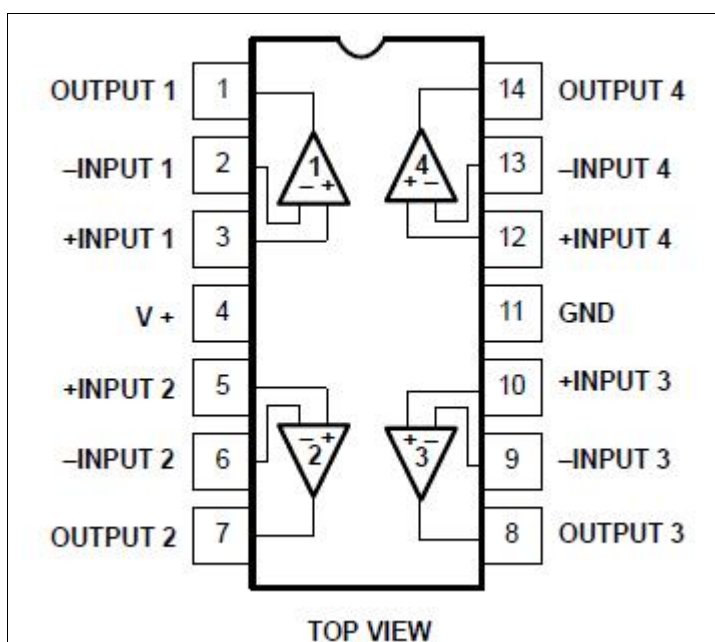


Fig. 14 – Quadruplo amplificatore operazionale LM324

FEATURES

- Internally frequency-compensated for unity gain
- Large DC voltage gain: 100dB
- Wide bandwidth (unity gain): 1MHz (temperature-compensated)
- Wide power supply range Single supply: 3VDC to 30VDC or dual supplies: ± 1.5 VDC to ± 15 VDC
- Very low supply current drain: essentially independent of supply voltage (1mW/op amp at +5VDC)
- Low input biasing current: 45nADC (temperature-compensated)
- Low input offset voltage: 2mVDC and offset current: 5nADC
- Differential input voltage range equal to the power supply voltage
- Large output voltage: 0VDC to VCC-1.5VDC swing

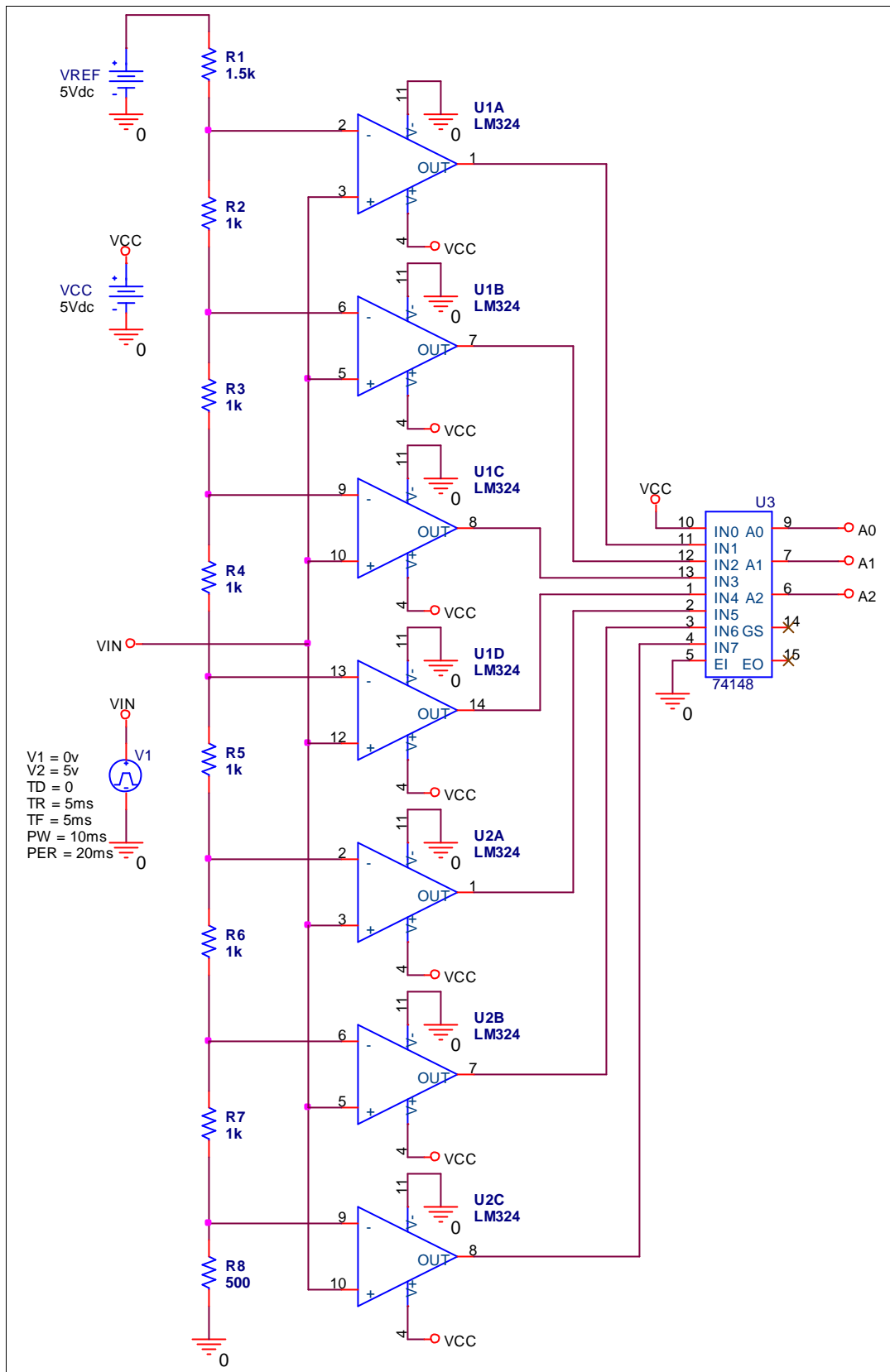


Fig. 15 – Convertitore A/D a 3 bit con priority encoder

2.3 - Procedimento della simulazione

Al fine di visualizzare le forme d'onda sull'oscilloscopio delle tre uscite digitali (A2, A1 e A0), quindi delle combinazioni possibili 2^n , dove $n=3$, si ottiene una tabella con 8 differenti valori. Pertanto si necessita la generazione di una tensione analogica che partendo dal valore di 0V raggiunga gradualmente la tensione massima di 5V da applicare all'ingresso denominato "VIN".

Nella simulazione si è scelto un generatore **V1** denominato "VPULSE" e presente nella libreria "SOURCE". La caratteristica del generatore è quella di poterlo configurare in modo da ottenere una rampa di tensione analogica utilizzando i seguenti parametri:

- 1) Il valore “**V1**” indica il livello della tensione di inizio, in questo caso si desidera partire da GND (0V)
- 2) Il valore “**V2**” indica il livello della tensione da raggiungere, in questo caso si desidera arrivare alla VREF (+5V)
- 3) Il valore “**TD**” indica il “**Time Delay**”, ovvero il tempo di ritardo da cui si inizia, in questo caso si desidera partire da 0 secondi (non indicando nulla si ottiene lo stesso valore)
- 4) Il valore “**TR**” indica il “**Time Rise**”, ovvero il tempo di salita, cioè il tempo necessario per passare dalla tensione specificata nel parametro “V1” a quella specificata nel parametro “V2”. In questo caso si desidera partire da 5ms.
- 5) Il valore “**TF**” indica il “**Time Fault**”, ovvero il tempo di discesa, cioè il tempo necessario per passare dalla tensione specificata nel parametro “V2” a quella specificata nel parametro “V1”. In questo caso si desidera partire da 5ms.
- 6) Il valore “**PW**” indica il “**Pulse Wide**”, ovvero la durata del tempo specificato nel livello “V2”, In questo caso si desidera utilizzare un valore pari a 10ms.
- 7) Il valore “**PER**” indica il “**Period**”, ovvero la durata del totale del tempo (periodo), In questo caso si desidera utilizzare un valore pari a 20ms.

Sigla Componente	Valore nominale	Valore effettivo	Scarto %
R1Ω - ¼ w - 5%	Da misurare con il ohmmetro:	
R2 = R3 = R4 = R5 = R6 = R7Ω - ¼ w - 5%	Da misurare con il ohmmetro:	
R8Ω - ¼ w - 5%	Da misurare con il ohmmetro:	

Per ottenere un corretto risultato di simulazione del circuito Convertitore ADC (fig. 15) è necessario partire dal software **PSpice** così come è stato spiegato al punto 1.3.

Nell'impostazioni dei valori dei componenti si utilizzi:

- a) i valori reali dei resistori
- b) nella fig. 16 si nota come si deve settare l’“**Analysis Type**” con “**Time Domain (Transient)**” e le opzioni “**Run to time:**” pari a 2 secondi che dovrà essere inserito come il valore “2” oppure “2s”.
- c) si noti come la simulazione del convertitore A/D richieda una simulazione “mista”, ovvero sia con una componente digitale (74148) e sia con una componente analogica (LM324). In questa configurazione dello schema elettrico non esiste nessun elemento di memoria digitale, quale potrebbe essere un flip-flop o altre memorie. Pertanto, il simulatore PSpice lavorando solo con encoder a priorità non necessita di un reset o di una configurazione di setup iniziale degli delle memorie.

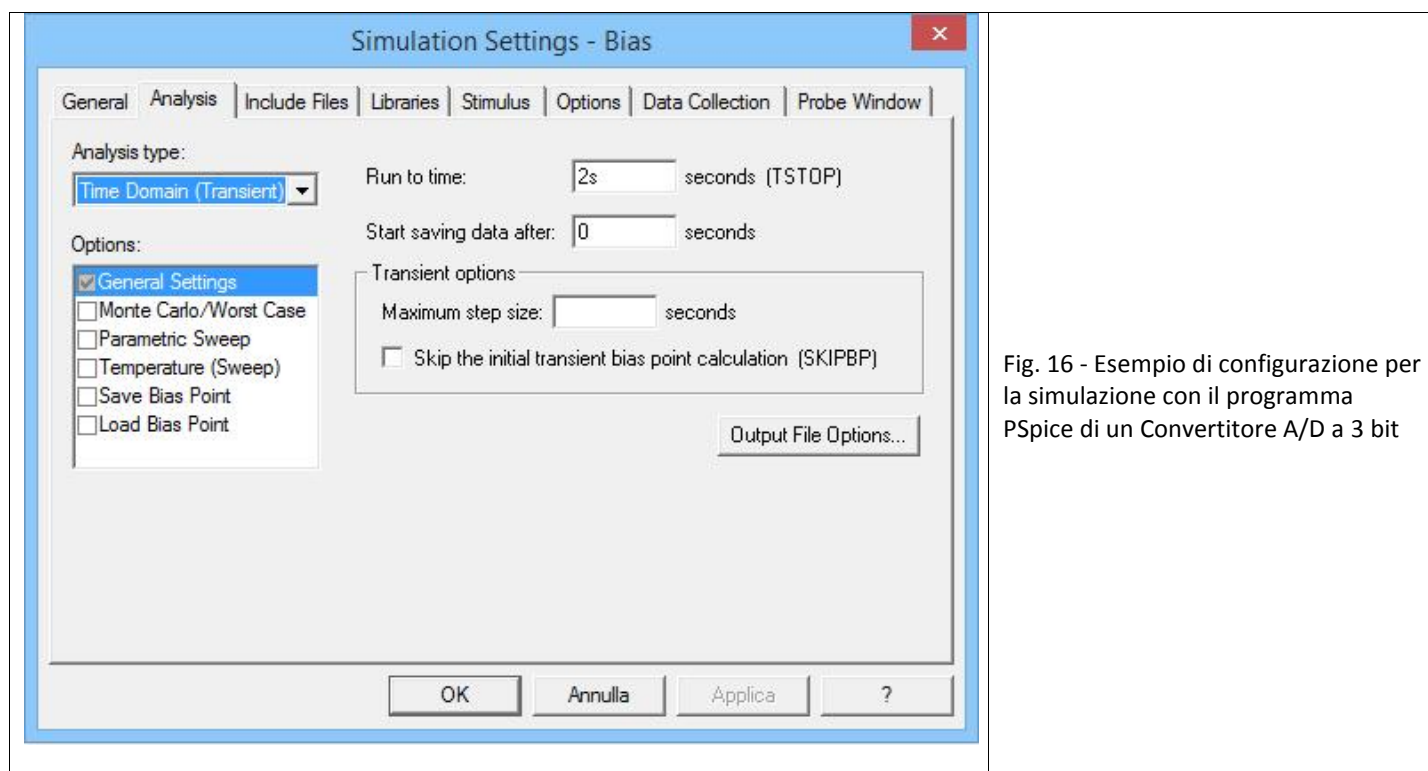


Fig. 16 - Esempio di configurazione per la simulazione con il programma PSpice di un Convertitore A/D a 3 bit

Le tracce da visualizzare ed esportare nel grafico della pagina successiva sono la **tensione di ingresso del generatore “VIN”**, cioè quella che simula la rampa di tensione e le **tensioni digitali presenti sulle uscite A2, A1 e A0**.

Incollare la stampa del diagramma temporale relativo ai seguenti punti del convertitore A/D: VIN, A2, A1 e A0

3.0 - Esercizio svolti sui convertitori ADC e DAC

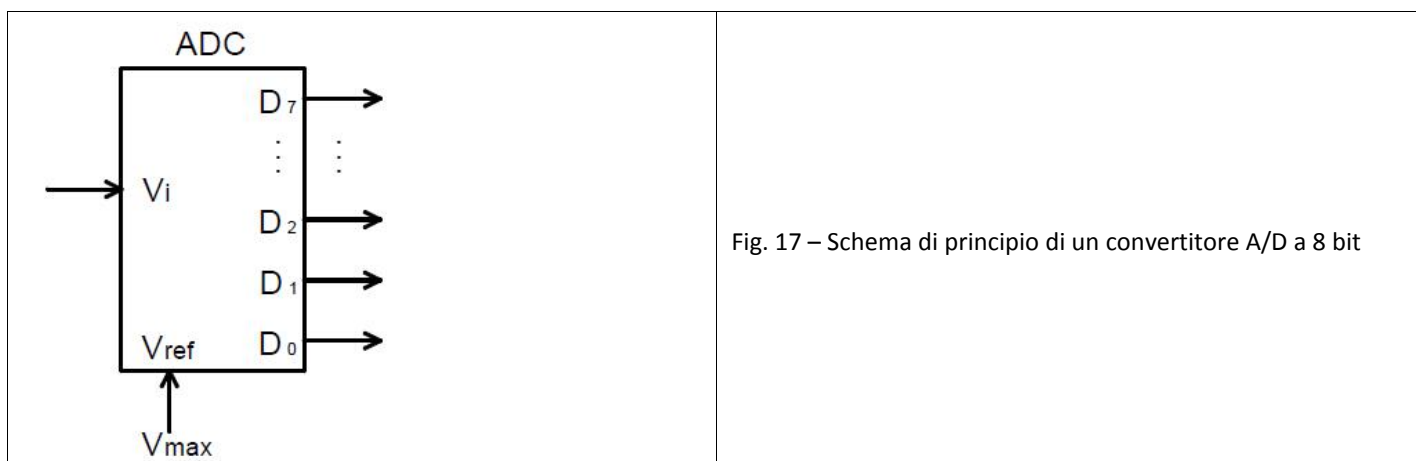
Si propongono una serie di esercizi svolti sui convertitori A/D e D/A

3.0.1 - Esercizio svolti n. 1 (convertitore ADC)

Calcolare l'intervallo di quantizzazione LSB, la risoluzione R e l'errore massimo di quantizzazione ϵ di un convertitore A/D con $n = 8$ bit di uscita e valore massimo della tensione d'ingresso $V_{\max} = 4$ V. Stabilire inoltre come si modificano i risultati nei due casi in cui si raddoppi il valore rispettivamente di V_{\max} o di n . Valutare infine il rapporto segnale/rumore di quantizzazione del convertitore in esame.

SOLUZIONE

La figura 17 seguente mostra il simbolo funzionale del convertitore in esame, nel quale è evidenziato anche il valore V_{\max} , detto anche valore di fondo scala, che viene generalmente fornito al convertitore su un apposito ingresso indicato con V_{ref} (Reference input voltage).



Nel processo di quantizzazione lineare, il valore di fondo scala è diviso in 2^n intervalli uguali, detti intervalli di quantizzazione, di ampiezza: $V_{LSB} = \frac{V_{max}}{2^n} = \frac{4}{2^8} = \frac{4}{256} = 15,625mV$

La risoluzione del convertitore è data, per definizione, dal valore di V_{LSB} normalizzato rispetto a V_{max} :

$$Ris = \frac{LSB}{V_{max}} = \frac{1}{2^8} = \frac{1}{256} = 3,9 \cdot 10^{-3}$$

mentre l'errore di quantizzazione massimo è pari alla metà di LSB:

$$V = \pm \frac{V_{LSB}}{2} = \pm \frac{15,625}{2} = \pm 7,813mV$$

o anche, direttamente:

$$V = \pm \frac{V_{max}}{2^{n+1}} = \pm \frac{4}{2^9} = \pm \frac{4}{512} = \pm 7,813mV$$

Se si raddoppia il valore di fondo scala, raddoppiano anche i valori di V_{LSB} e di ϵ , mentre se si raddoppia il numero di bit del codice di uscita si ha una drastica riduzione di V_{LSB} e di ϵ , nel rapporto di 2^n .

Per quanto riguarda il rapporto segnale/rumore di quantizzazione, esso vale:

$$S / N_q = 6 \cdot 8 = 48dB$$

nel caso di codice a 8 bit, e sale a $48 \cdot 2 = 96 dB$ se si raddoppia il numero di bit del codice di uscita, indipendentemente dal valore della tensione di fondo scala.

3.0.2 - Esercizio svolto n. 2 (convertitore ADC)

Determinare il numero binario all'uscita di un convertitore A/D con $n = 8$ bit e valore di fondo scala $V_{max} = 2 V$, quando il segnale analogico in ingresso vale $V_i = 1,3 V$.

SOLUZIONE

Il valore del numero N in uscita, nell'ipotesi di codice binario naturale a 8 bit, è determinato dal rapporto tra il valore della tensione V_i d'ingresso e il valore dell'intervallo di quantizzazione LSB . In formula:

$$N = INT \cong \left(\frac{V_i}{V_{LSB}} \right) \quad N = INT \cong \left(\frac{V_i}{LSB} \right)$$

dove la notazione $INT \cong (x)$ indica il numero intero più vicino a x .

Nel caso in esame si ha:

$$V_{LSB} = \frac{V_{max}}{2^n} = \frac{2}{2^8} = \frac{2}{256} = 7,8125mV$$

E quindi:

$$N = INT \cong \left(\frac{V_i}{V_{LSB}} \right) = \left(\frac{1,3}{7,8125 \cdot 10^{-3}} \right) = 166 = (10100110)_2$$

Ricordiamo la regola pratica per ottenere l'espressione binaria di un numero decimale: si procede per successive divisioni per 2 e si segna 1 in corrispondenza dei risultati dispari, e 0 in corrispondenza di quelli pari.

3.0.3 - Esercizio svolto n. 3 (convertitore ADC)

Calcolare l'intervallo di quantizzazione LSB di un convertitore A/D flash a $n=3$ bit, per un valore della tensione di fondo scala $V_{max} = 4V$. Dimensionare il partitore di tensione per il prelievo delle tensioni di soglia e determinare i valori di tali livelli di tensione ricavati dalla tensione di riferimento del convertitore.

SOLUZIONE

L'intervallo di quantizzazione è dato dal prodotto della tensione V_{max} per la risoluzione del convertitore. Quest'ultima, per $n = 3$ bit, vale:

$$Ris = \frac{LSB}{2^n} = \frac{1}{2^3} = \frac{1}{8} = 0,125$$

pertanto si ottiene:

$$LSB = R_{is} \cdot V_{\max} = 0,125 \cdot 4 = 0,5V$$

Dalla tensione di fondo scala, coincidente con la tensione di riferimento del convertitore, si ricavano, mediante tensioni di soglia con le quali viene confrontata la tensione analogica d'ingresso V_i , tramite altrettanti comparatori. Il partitore di tensione è formato da un resistore finale di resistenza R , da un resistore iniziale di resistenza $3R$ e da sei resistori intermedi di resistenza $2R$.

Scegliendo per il resistore finale: $R=1k\Omega$

il resistore iniziale e quelli intermedi devono valere rispettivamente $3 k\Omega$ e $2 k\Omega$.

Per quanto riguarda i livelli di tensione ottenuti dal partitore, i rispettivi valori sono dati in successione dalla relazione:

$$x \cdot V_{ref} / 2^{n+1} \text{ con } x = 1, 3, 5, \dots, (2^{n+1} - 3)$$

che fornisce un primo valore pari alla metà del passo di quantizzazione:

$$V_{ref} / 2^{3+1} = 4/16 = 0,25 \equiv V_{LSB} / 2$$

un secondo valore incrementato di 1 LSB;

$$3V_{ref} / 2^{3+1} = \frac{13 \cdot 4}{16} = 0,75V$$

e così via fino al settimo livello:

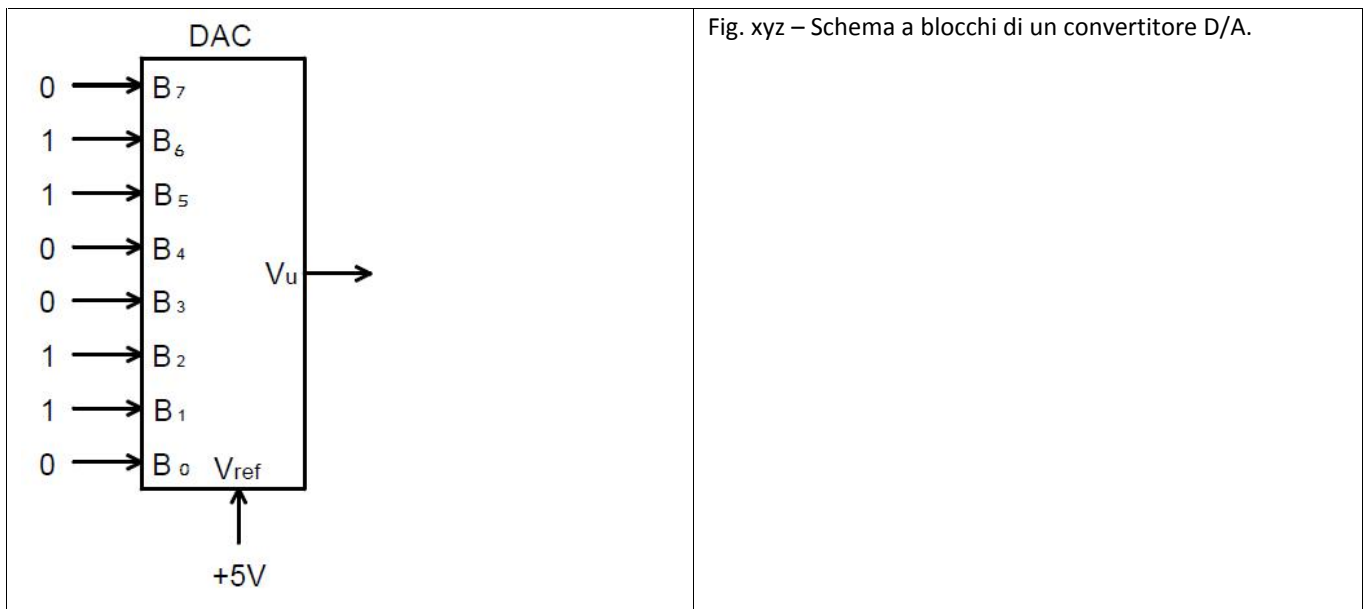
$$(2^{3+1} - 3)V_{ref} / 2^{3+1} = \frac{13 \cdot 4}{16} = 3,25V$$

3.0.4 - Esercizio svolto n. 4 (convertitore DAC)

Un convertitore D/A ad 8 bit ha una tensione di uscita compresa fra 0 e 5V. Calcolare i valori della risoluzione e del LSB del convertitore, e determinare il valore della tensione ottenuta in uscita in corrispondenza del codice binario in ingresso uguale a 01100110.

SOLUZIONE

In figura è rappresentato il simbolo funzionale del convertitore D/A assegnato, con l'indicazione del simbolo funzionale dell'ingresso di riferimento.



La risoluzione del convertitore dipende esclusivamente dal numero di bit del codice di ingresso e vale:

$$R_{is} = \frac{LSB}{2^n - 1} = \frac{1}{2^3 - 1} = \frac{1}{8} = 3,92 \cdot 10^{-3}$$

ovvero percentualmente:

$$Ris\% = \frac{LSB \cdot 100}{2^n - 1} = 0,392\%$$

Il passo di quantizzazione si ottiene moltiplicando la variazione massima della tensione di uscita per il valore della risoluzione:

$$V_{LSB} = V_{\max} \cdot Ris = 5 \cdot 3,92 \cdot 10^{-3} = 19,6mV$$

Per determinare la tensione di uscita del DAC in corrispondenza di una determinata combinazione del codice di ingresso, nell'ipotesi di codifica in binario puro a 8 bit, basta moltiplicare VLSB per il valore numerico della combinazione di codice assegnata:

01100110 (in binario) = 102 (in decimale)

$$\text{Quindi si avrà: } V_u = 102 \cdot V_{LSB} = 102 \cdot 19,6 \cdot 10^{-3} \cong 2V$$

3.0.5 - Esercizio svolto n. 5 (convertitore DAC)

In un DAC a $n = 4$ bit del tipo a resistenze pesate con $R = 2 \text{ k}\Omega$, la tensione di riferimento, generata internamente al convertitore, è $V_r = 5 \text{ V}$.

Calcolare la tensione di uscita in corrispondenza della combinazione di codice in ingresso: B3 B2 B1 B0 = 0 1 1 1

SOLUZIONE

In figura è riportato lo schema di principio del DAC in esame, con gli switch elettronici posizionati secondo la combinazione di codice assegnata.

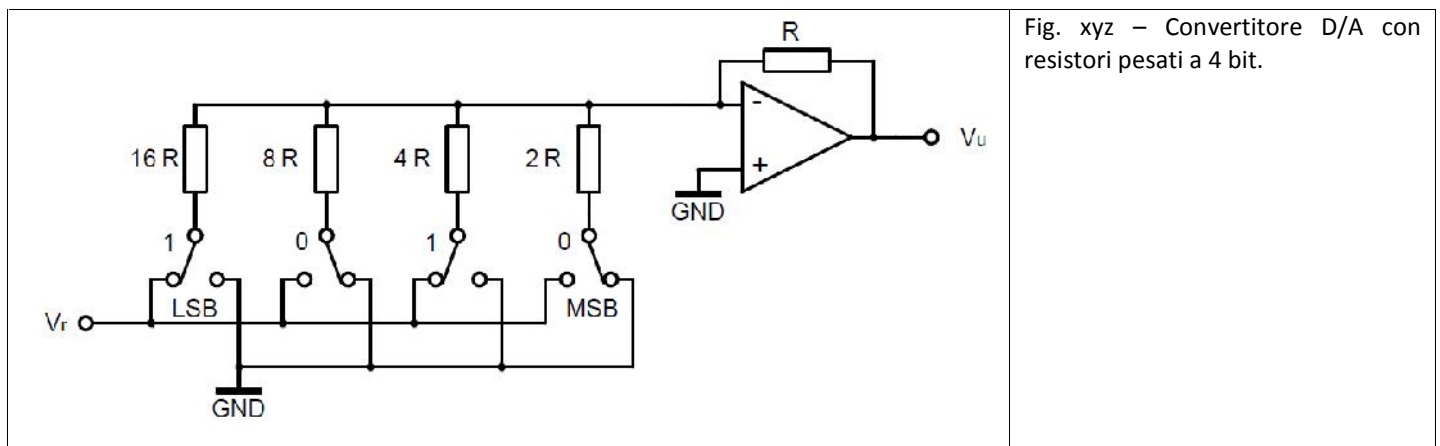


Fig. xyz – Convertitore D/A con resistor pesati a 4 bit.

Poiché l'ingresso invertente dell'amplificatore operazionale è a massa virtuale, la corrente I_i che scorre nell' i -esimo ramo della rete di pesatura quando il corrispondente bit è a 1, vale: $I_i = \frac{V_r}{R_i}$

Nel nostro caso sono percorsi da corrente i resistori $16R$ e $4R$, relativi rispettivamente ai bit B0 e B2; pertanto la corrente

$$\text{totale vale: } I = \frac{V_r}{16R} + \frac{V_r}{4R} = \frac{V_r}{16R}(1 + 4) = \frac{5 \cdot 5}{16 \cdot 2 \cdot 10^3} = 0,781mA$$

Si osservi che $16R = 2^4 R$ e che $1 + 4 = 5$ corrisponde al valore decimale N della combinazione di codice in ingresso: 0101 (in binario) = 5

L'espressione della I può pertanto essere generalizzata nella formula seguente: $I = \frac{N \cdot V_r}{2^n \cdot R}$

La tensione in uscita dall'AO in configurazione invertente risulta: $V_u = -I \cdot R = -0,781 \cdot 10^{-3} \cdot 2 \cdot 10^3 = -1,562V$

e può dunque essere espressa dalla formula: $V_u = -\frac{N \cdot V_r}{2^n}$

che fornisce infatti: $V_u = -\frac{5 \cdot 5}{2^4} = -\frac{25}{16} = -1,562V$

3.0.6 - Esercizio svolto n. 6 (convertitore DAC)

In un DAC a 4 bit del tipo a rete R-2R, realizzato secondo lo schema in figura 18, si ha $V_r=5V$, $R=4k\Omega$. Calcolare la corrente I_r fornita dal generatore della tensione di riferimento.

Determinare inoltre la tensione V_u all'uscita del convertitore in corrispondenza della combinazione di codice in ingresso: $B_3 B_2 B_1 B_0 = 0 1 1 1$

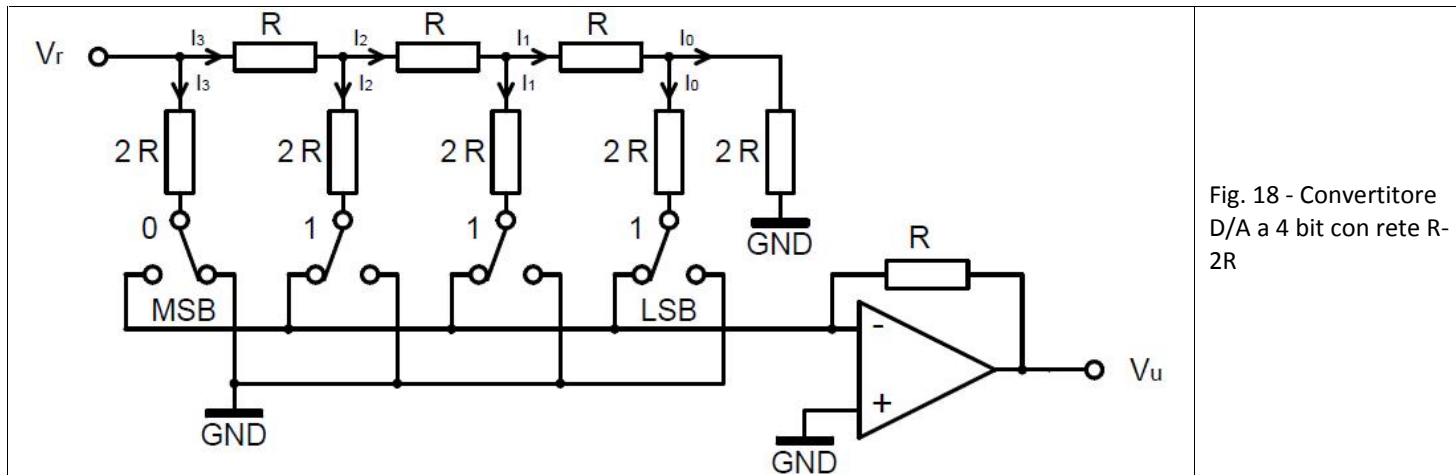


Fig. 18 - Convertitore D/A a 4 bit con rete R-2R

SOLUZIONE

Si ha $I_r = 2 I_3$, con $I_3 = V_r/2R$, indipendentemente dalla posizione degli interruttori della rete R-2R, dato che l'ingresso invertente dell'AO è a massa virtuale. La corrente erogata dal generatore della tensione di riferimento vale:

$$I_r = 2 \frac{V_r}{2 \cdot R} = \frac{V_r}{R} = \frac{5}{4 \cdot 10^3} = 1,25mA$$

a corrente a

Con la combinazione di codice assegnata, all'ingresso invertente dell'AO è espressa da:

$$I = I_2 + I_1 + I_0 = \frac{I_r}{4} + \frac{I_r}{8} + \frac{I_r}{16} = \frac{I_r}{4} (4 + 2 + 1) = \frac{7}{16} I_r = \frac{7}{16} \cdot \frac{V_r}{R}$$

e la tensione all'uscita del convertitore risulta:

$$V_u = -R \cdot I = -\frac{7}{16} V_r = -\frac{7}{16} 5 = -2,1875V$$

Osservando che i numeri 16 e 7 corrispondono rispettivamente a 2^n e al valore decimale N della combinazione di codice assegnata: 0111 (in binario) = 7

l'espressione della V_u può essere generalizzata scrivendo: $V_u = -\frac{N \cdot V_r}{2^n}$

come nei convertitori a resistenze pesate.

Da tale relazione si vede che il valore R della rete R-2R non influenza direttamente la risposta del convertitore. E' necessario però che esso sia rispettato da tutti i resistori della rete, con la stessa precisione e con lo stesso coefficiente di temperatura.

4.0 - Sistemi di acquisizione dati

4.1 - Configurazioni tipiche

L'impiego di tecniche numeriche per la rappresentazione dei segnali consente la successiva elaborazione in modo potente e flessibile. Nei sistemi di acquisizione dati il segnale associato alla grandezza fisica viene sottoposto dapprima a un processo di campionamento (circuiti sample & hold) e di quantizzazione (convertitori AD). Queste due operazioni sono comuni a ogni tipo di segnale e sono caratterizzate, rispettivamente, dalla velocità di campionamento e dalla risoluzione del convertitore AD.

Il trattamento dell'informazione numerica avviene mediante dispositivi logici. Tali dispositivi possono essere dedicati a una specifica applicazione e, in questo caso, svolgono solo i compiti previsti in sede di progetto, oppure possono impiegare architetture programmabili, in modo da consentire l'assegnazione di diverse funzioni di misura allo stesso hardware. In questo secondo caso, spesso, lo strumento viene identificato con la procedura di elaborazione dell'informazione contenuta nei dati acquisiti.

Bisogna tuttavia tener presente che, comunque, la qualità della misura rimane essenzialmente legata all'attendibilità e all'accuratezza dei dati campionati.

4.2 - Sistema di misura a ingresso singolo

Un sistema di misura digitale prevede, di norma, una fase di condizionamento preliminare del segnale in ingresso, al fine di renderlo idoneo alla successiva fase di campionamento e conversione in forma numerica. I dispositivi di condizionamento del segnale sono di natura molto diversa, in relazione al tipo di segnale da trattare.

Lo schema di un canale di acquisizione a singolo ingresso è rappresentato in Fig. 19, i compiti di gestione della misura sono assegnati a un microprocessore, che fornisce il segnale di campionamento al circuito di **Sample & Hold** (S/H oppure S&H) e successivamente il comando di inizio della conversione (start) al convertitore AD.

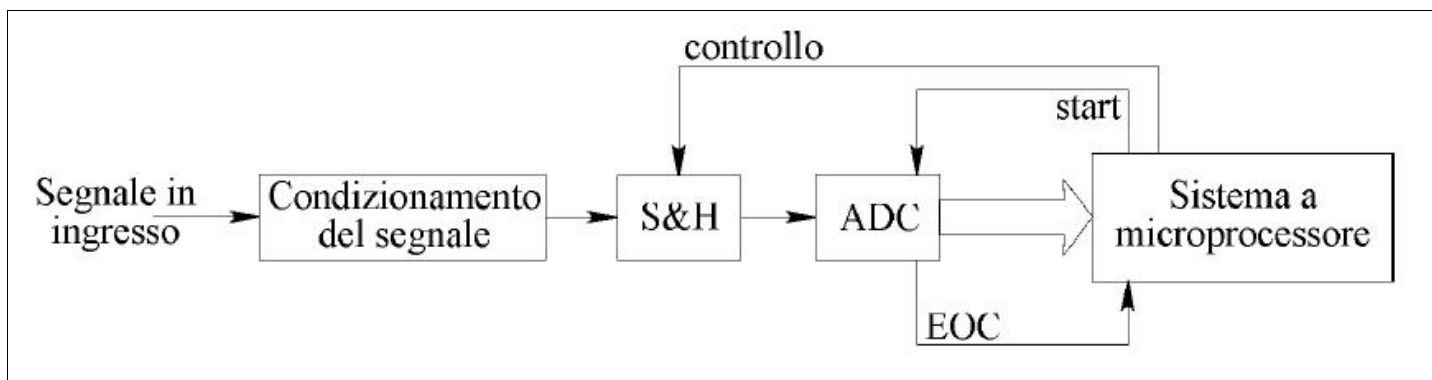


Fig. 19 – Sistema di acquisizione a singolo ingresso

Quest'ultimo, completata la conversione, restituisce al processore il controllo della procedura tramite il segnale End of Conversion, EOC.

La velocità di campionamento, con la quale può essere interrogato il segnale d'ingresso, è limitata dalla durata di tutti questi compiti. Infatti, deve consentire l'immagazzinamento del dato nel campionatore S&H (tempo di acquisizione), la successiva conversione nel dispositivo ADC (tempo di conversione), il trasferimento del numero in una opportuna area di memoria del sistema. Pertanto sarà importante stabilire la frequenza di campionamento f_c massima consentita, conoscendo i tempi necessari per l'esecuzione di tutte queste operazioni.

4.3 - Condizionamento del segnale

Accade sovente che i segnali di uscita dei sensori non siano omogenei per natura elettrica (corrente, tensione, resistenza, ecc.), per livello, e per tipo (tensione continua, alternata, pulsante, ecc.) per cui risulta difficile implementare una interfaccia comune tra i sensori e l'unità di governo.

Lo stadio di condizionamento del segnale comprende tutti i circuiti elettronici che trasformano i segnali di uscita dai trasduttori in un segnale elettrico di tipo omogeneo. Funzioni tipiche di questo stadio sono:

- l'attenuazione di segnali troppo elevati,

- la rettificazione ed il livellamento di segnali in alternata,
- la trasformazione in tensione di segnali in corrente o codificati nella variazione di resistività.
- l'eliminazione di disturbi elettromagnetici sovrapposti al segnale utile.
- l'isolamento galvanico dei dispositivi elettronici di elaborazione dalla fonte di segnale.

I circuiti di condizionamento si distinguono in:

- **Attivi** → se fanno uso di componenti amplificatori, per la messa in scala o l'isolamento.
- **Passivi** → se fanno uso solamente di componenti resistivi, condensatori, induttanze o trasformatori.

In relazione ai livelli delle grandezze elettriche di trasmissione dei segnali, esistono comunque delle standardizzazioni per l'ambiente industriale che permettono la connessione di dispositivi eterogenei per tipologia e per costruttore.

Ad esempio, i segnali analogici che debbano percorrere lunghe distanze vengono normalmente trasmessi con il cosiddetto **Loop di Corrente**, nell'intervallo **4÷20 mA**. I vantaggi di tale metodo di trasmissione sono:

- la possibilità di diagnosticare guasti o interruzioni, in quanto essendo il livello minimo a 4 mA, un segnale nullo viene identificato come rivelatore di un guasto.
- una maggiore insensibilità al rumore, in quanto i disturbi di tensione lungo le linee di trasmissione vengono attenuati dal regolatore di corrente.
- la possibilità di trasmettere ad una distanza maggiore a parità di accuratezza richiesta. Ad esempio, supponendo di voler inviare un segnale che abbia una banda di 10 Hz, in presenza di rumore "industriale" medio, con una accuratezza 0.5 %, si ottiene una distanza massima di 1500 m.

Altri livelli standard di segnale, normalmente impiegati quando le distanze di trasmissione non sono molto grandi (es. dal bordo macchina al quadro di controllo), sono 0 ÷ 5 V, 0 ÷ 10 V e ±10 V per i segnali analogici, 0 ÷ 24 V, oppure 0 ÷ 12 per i segnali digitali.

4.4 - Amplificatori

I trasduttori nelle applicazioni reali mostrano raramente una impedenza di uscita piccola ed una ampiezza del segnale di uscita conveniente alla sua successiva elaborazione. Occorre quindi un dispositivo che funga da "adattatore" elettrico tra i trasduttori e i moduli di elaborazione del segnale.

In questa sezione verrà discusso l'utilizzo di un amplificatore elettronico per eseguire questo tipo di adattamento.

Vediamo alcune problematiche che rendono necessario l'introduzione di un amplificatore di segnale:

- Tensione di uscita non idonea. L'uscita dei trasduttori in genere ha un livello basso oppure molto basso, non idoneo alla successiva elaborazione del segnale, ed in particolare, alla sua conversione in formato digitale.
- Elevata impedenza di uscita dei trasduttori. Una elevata impedenza di uscita può produrre errori rilevanti sul segnale acquisito. Lo stesso si può avere quando l'impedenza dei trasduttori con uscita differenziale non sia bilanciata sui due canali (sbilanciamento dell'impedenza di uscita).
- Tensione di modo comune elevata. Se il segnale di uscita dei sensori ha una tensione di modo comune elevata occorrerà utilizzare un dispositivo per estrarre l'informazione utile e eliminare la tensione di modo comune.
- Necessità di isolare elettricamente il trasduttore dal circuito di acquisizione. Tale necessità può essere richiesta per soddisfare criteri di sicurezza (protezione dei componenti, ma anche e soprattutto degli operatori), oppure per migliorare l'immunità ai disturbi del sistema di acquisizione. Infatti lunghi anelli di segnale, costituiti dalla coppia di conduttori di massa e di segnale, captano con molta facilità i disturbi ambientali.

Un ultimo motivo per l'isolamento consiste nella necessità di proteggere i circuiti elettrici del sistema di acquisizione da possibili danneggiamenti dovuti al collegamento con il trasduttore, ad esempio nel caso in cui il trasduttore sia inserito in circuiti in cui le grandezze elettriche sono associate ad elevata potenza.

4.5 - Tempo reale di conversione

Il campionamento ideale è istantaneo mentre un circuito reale ha un tempo di conversione finito ($t_{A/D}$). La conversione ha inizio al tempo 0 e si conclude dopo n microsecondi o millisecondi.

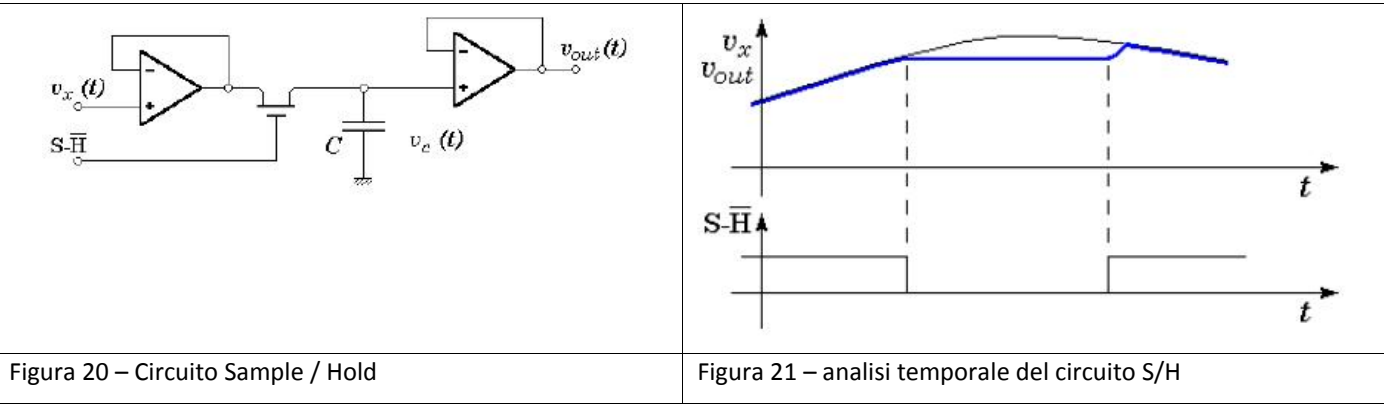
Durante questo tempo è indispensabile che il segnale da convertire sia costante o con una variazione inferiore a metà quanto (VLSB/2) altrimenti la conversione potrebbe essere imprecisa o, addirittura, impossibile.

Nasce l'esigenza di congelare la tensione in ingresso al convertitore per evitare problemi di identificazione delle tensione e rendere possibile la misura di grandezze tempo-varianti.

4.6 - Sample and Hold (S/H)

Per eliminare entrambi i problemi si utilizza un dispositivo che congela il segnale per il tempo necessario al completamento della quantizzazione: il circuito di mantenimento denominato “Sample / Hold” (S/H).

Il circuito mantiene in uscita il valore del segnale nell'istante nominale di campionamento, utilizzando un condensatore come dispositivo di memorizzazione (vedi figura 20 con schema semplificato).



In figura 22 sono stati evidenziati alcuni errori introdotti dal circuito di Sample / Hold

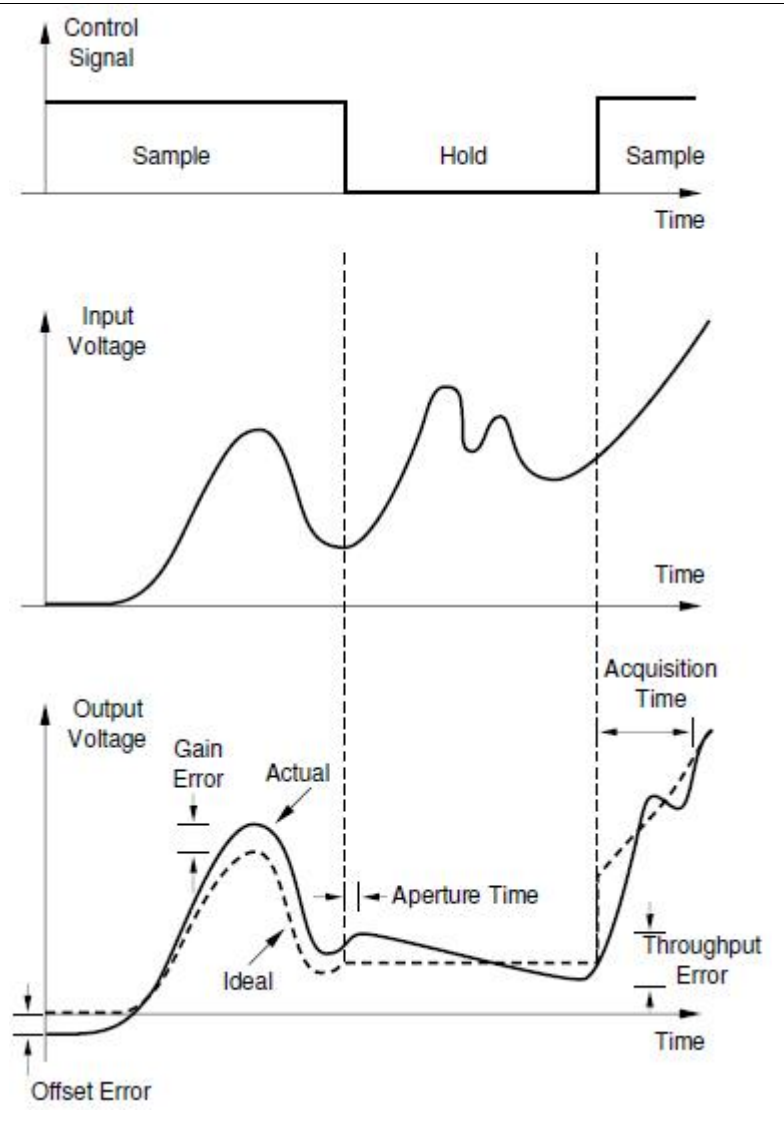


Figura 22 - Possibili errori introdotti dal dispositivo di Sample and Hold.

Il sistema di acquisizione viene programmato in modo che il circuito S/H si apra subito prima del convertitore memorizzando la tensione attraverso il fenomeno di carica del condensatore.

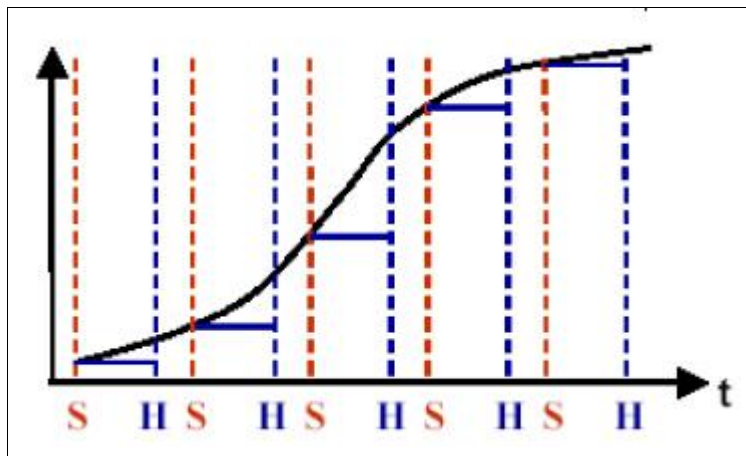


Figura 23 – Analisi temporale del circuito S/H

La tensione verrà convertita dall'A/D sfruttando il tempo di scarica del condensatore: nei primi istanti la tensione varia infatti minimamente.

Conclusa l'operazione di conversione il circuito viene richiuso.

Dopo la chiusura del circuito occorre attendere la completa ricarica prima di poter riattivare la fase di mantenimento.

4.7 - Sistemi di misura a più ingressi

Qualora il sistema di misura sia a più ingressi è presente un elemento nuovo, il circuito multiplexer (vedi Fig. 24), che ha il compito di collegare ciclicamente il campionatore S/H e il convertitore AD ai diversi canali in ingresso CH0, CH1, ... CH(N-1).

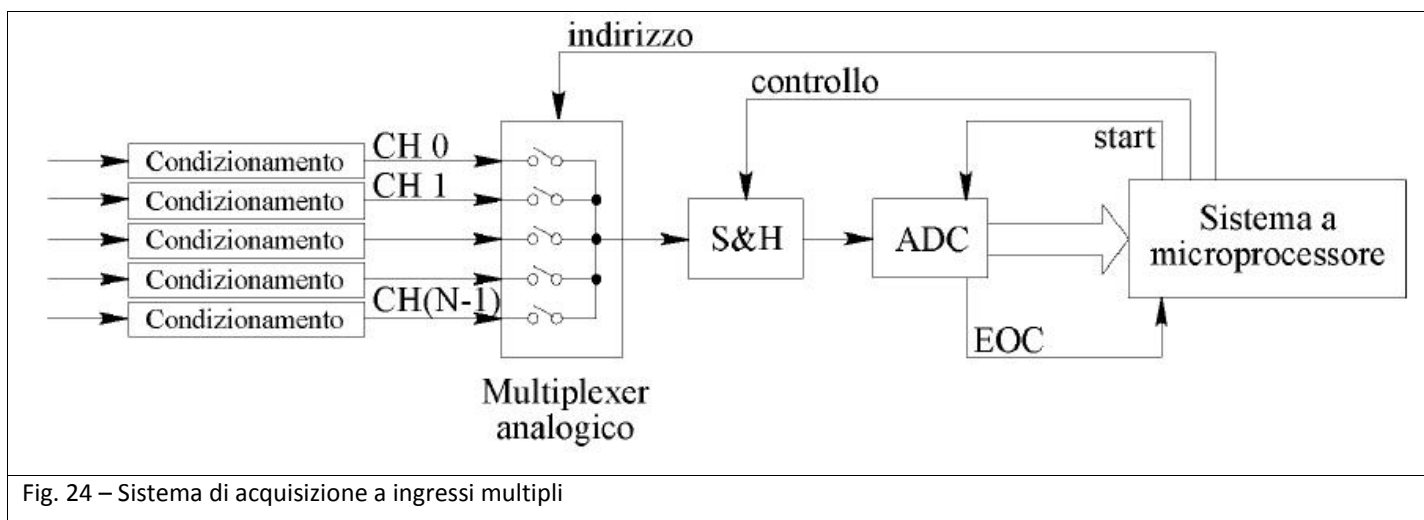


Fig. 24 – Sistema di acquisizione a ingressi multipli

Per un sistema di acquisizione dati che presenta, in generale, N canali in ingresso, detta f_c la frequenza di campionamento massima alla quale può operare il gruppo S/H e ADC, consegue che la massima frequenza con cui potrà essere campionato il canale i -esimo risulta $f_i = f_c / N$. Questo risultato vale solo in prima approssimazione, ammettendo trascurabile il tempo di commutazione del multiplexer da un canale al successivo. Nella realtà, anche considerando i problemi legati allo slew-rate del Sample / Hold nel passaggio tra un canale e il successivo, si dovrà assumere per la massima frequenza di campionamento su ciascun canale f_i un valore inferiore a f_c / N .

4.8 - Campionamento simultaneo

Nel sistema considerato in Fig. 19 i campioni dei diversi canali risultano presi in sequenza e pertanto non è possibile disporre di campioni simultanei di più forme d'onda. In pratica si perde una importante informazione relativa alla fase dei segnali acquisiti. D'altra parte certe applicazioni richiedono un campionamento simultaneo.

Questa esigenza può essere soddisfatta con lo schema di Fig. 25, impiegando tanti campionatori S&H quanti sono i canali in ingresso, pilotati dallo stesso segnale di controllo.

In tal modo gli N campioni di un'acquisizione risultano sincroni, mentre rimane comunque sequenziale la conversione AD. Tale soluzione non consente evidentemente di superare i limiti sulla massima frequenza di campionamento per il canale i-esimo, che rimane pari a quella stabilita nel caso precedente: $f_i < f_c / N$.

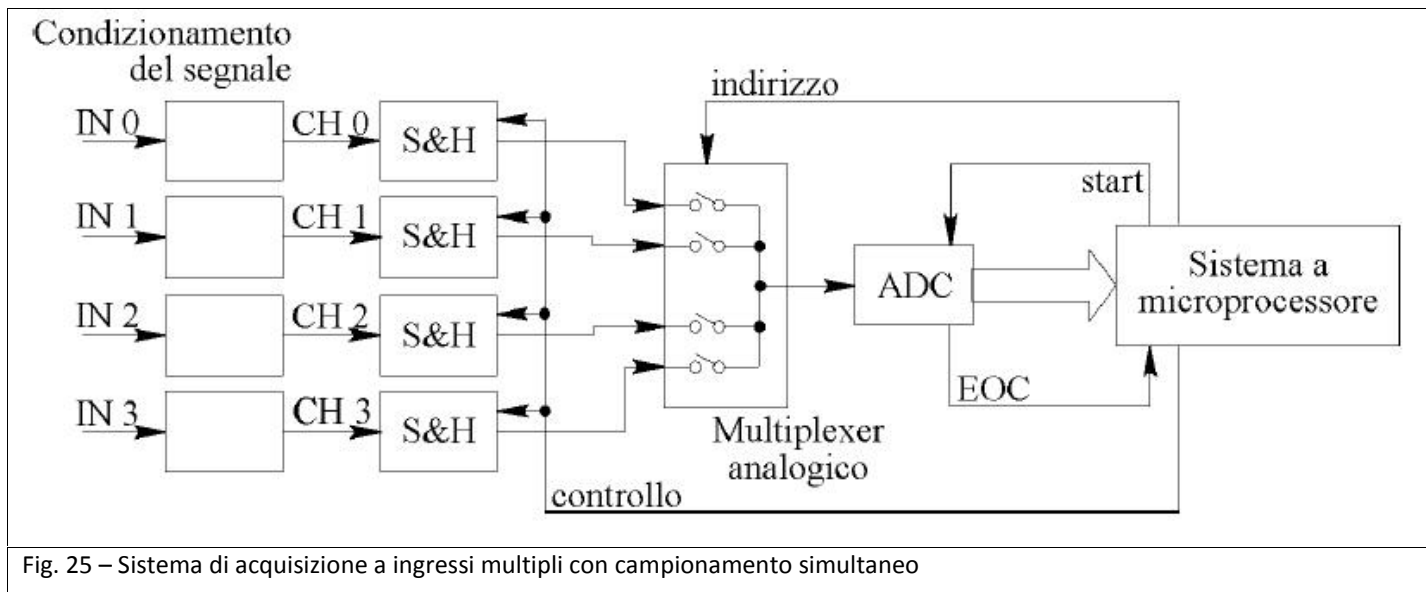


Fig. 25 – Sistema di acquisizione a ingressi multipli con campionamento simultaneo